

# Super AKI-80・キット

TMPZ84C015FB-10(東芝)使用  
256kSRAM搭載



Z80互換の複合CPU ( CPU,CGC,CTC,SIO,PIO内蔵 ) を使用  
システムクロック : 9.8304MHz(X'tal 19.6608MHz)  
82C256 ( 82C55 × 2相当 ) 使用、AKI-80のPIOを64ポートまで強化  
MAX232標準装備、1or2chのシリアル通信が可能  
電源 : DC5V単一  
超小型サイズ : 70 × 50 × 10mm

# Super AKI-80

*The Greatest 380 Cpu Board*

- ★Super AKI-80はTMP Z84C015 10MHzを核にI/Oポートを強化したZ80最強のボードです。
- ★Z84C015-10使用。  
Z84C015はZ80シリーズのCPU、PIO、SIO、CTC、CGCを収めたもので、Z80ソフトウェアフルコンパチです。  
超高速動作10MHzの物を使用し、システムクロックはボーレートにあわせた、9.8304MHzを採用しています。
- ★64パラレルポート。  
パラレルI/OにZ80PIO相等の16ポート及び82C265(8255×2ケ相等)の8×3×2=48ポートの計64ポート。
- ★MAX232搭載。  
RS232C用のレベルコンバータICを標準搭載し、1ch又は2chのシリアル通信が可能。
- ★バックアップSRAM  
RAMにはバッテリーバックアップ可能な256K(32Kbyte)SRAMを使用。
- ★特に半田付しにくい、フラットICは全て基板実装済みです。

CPU	Z80CPU-10MHz *	Central Processing Unit
PIO	Z80PIO-10MHz *	2組の8ビットパラレルポート
PPI	82C265-10	6組の8ビットパラレルポート
SIO	Z80SIO-10MHz *	2組の全二重シリアルポート
CTC	Z80CTC-10MHz *	4組のカウンタ/タイマ
CGC	Z80CGC-10MHz *	クロック発振器 4つのHALTモード
WDT	ウォッチドッグタイマ *	暴走検出用タイマ
CLOCK	9.8304MHz	9600Hz × 1024
RAM	256K SRAM	
ROM	64K, 128K, 256K	100nSec. 御用意ください。
その他	メモリーバックアップ。MAX232。リセットIC、S8054。	
サイズ	72mm×94mm×10mm (但しROM、リチウム、端子類未実装時)	

\*はZ84C015内蔵です。

パーツリスト	数	備考 代品等
SUPER AKI80 専用ボード	1	Z84C015-10 TMP82C265 256K SRAM 全フラットIC実装済
ADM232AAN	1	ICL232、LT1081、NJU6403等
S8054ALB	1	8054ALRの場合あり
NJM2930-5	1	5V低ドロップ三端子レギュレータ 7805等
11EQS04	2	整流用ショットキダイオード 相等品の場合あり
1S1588	1	スイッチングダイオード 相等品の場合あり
100 $\mu$ F	1	電解コンデンサ 6V以上
0.1 $\mu$ F	5	積層セラミックコンデンサ
1 $\mu$ F	8	積層セラミックコンデンサ (1 $\mu$ F~1.5 $\mu$ F)
10K $\Omega$	5	1/6Wカーボン抵抗
100K $\Omega$	1	1/6Wカーボン抵抗
19.6608MHz水晶	1	最大20MHzまで交換可
28PIN ICソケット	1	丸ピンタイプ
3.6Vリチウム電池	1	ある時だけのおまけ扱い。

256K SRAM相等品一覧			
HM62256	TC55256	TC55257	CXK58256
CXK58257	M5M5256	LH52256	MSM51257
$\mu$ PD43256	LC36256	SMR20256	MB84256

SUPER AKI-80 取り付け済みIC 一覧	
TMP Z84C015BF-10	Z80CPU及びZ80周辺IC内蔵
TMP82C265BF-10	8255相等×2個入り
74AC00	BC、VHCの場合あり
74AC32	BC、VHCの場合あり
74AC138	BC、VHCの場合あり
74HC14	

- パーツには十分に配慮しておりますが万が一不足の場合、製作前にお申し出ください。
- ICは全てCMOSです。取り扱いには十分気をつけてください。
- 基板は静電対策袋に入れてあります。

- マニュアルは三部構成になっています。

- ①SUPER AKI-80製作マニュアル
- ②Z84C015 ICデータブック
- ③82C265 ICデータブック

ICデータブックは製本していただく構成になっています。製本法はZ84C015 ICデータブック最終ページに記載してありますので、そちらをご覧ください。

★部品変更のお知らせ★

MAX232が最新のADM232AANになりました。  
 10 $\mu$ Fの電解コンデンサが0.1 $\mu$ Fで動作するようになりました。  
 さらに200KB/秒の高速転送レート対応になりました。  
 回路図、部品配置図で10 $\mu$ Fの所を0.1 $\mu$ Fにかえてご使用ください。

★SUPER AKI-80について

SUPER AKI-80は御好評いただいておりますAKI-80ゴールドの上位バージョンです。基本構成は、AKI-80に82C55を2個と、RS232ドライバを加えたもので、パラレルポートは64ポートと、ムカデのように手足をもちホストコンピュータなどとの通信も手軽に行なえます。CPUには最高速のZ80、10MHzを使用し、256K SRAM標準装備と、SUPERの名にふさわしいボードです。

ボードサイズは、AKI-80の2倍と大きくなりましたが、これはほとんどコネクタのためで、当社ユニバーサルボードAE-B2と同様サイズであり、拡張時に最適です。全部のフラットICは取り付け済みですので、半田付けはCRパーツ、大きなICのみの簡単キットです。

CPUにはZ80シリーズのCPU、PIO、SIO、CTC、CGCの10MHzタイプをワンチップに収めた東芝のZ84C015-10を使用しています。

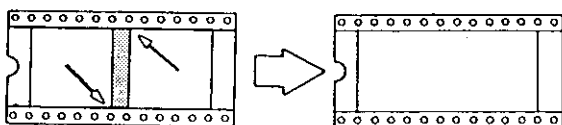
82C55の二個相等には東芝の82C265-10を使用しています。(以後PPIと略します) Z84C015、82C265共にICデータを同梱してありますので、参照してください。

また、Z80CPU及びI/Oの詳細については、このデータブックで十分に説明しきれぬものではありません。出版各社から販売されてるZ80関係書を参照いただきますようお願いいたします。

§参考：Z80ファミリハンドブック (CQ出版)

★製作

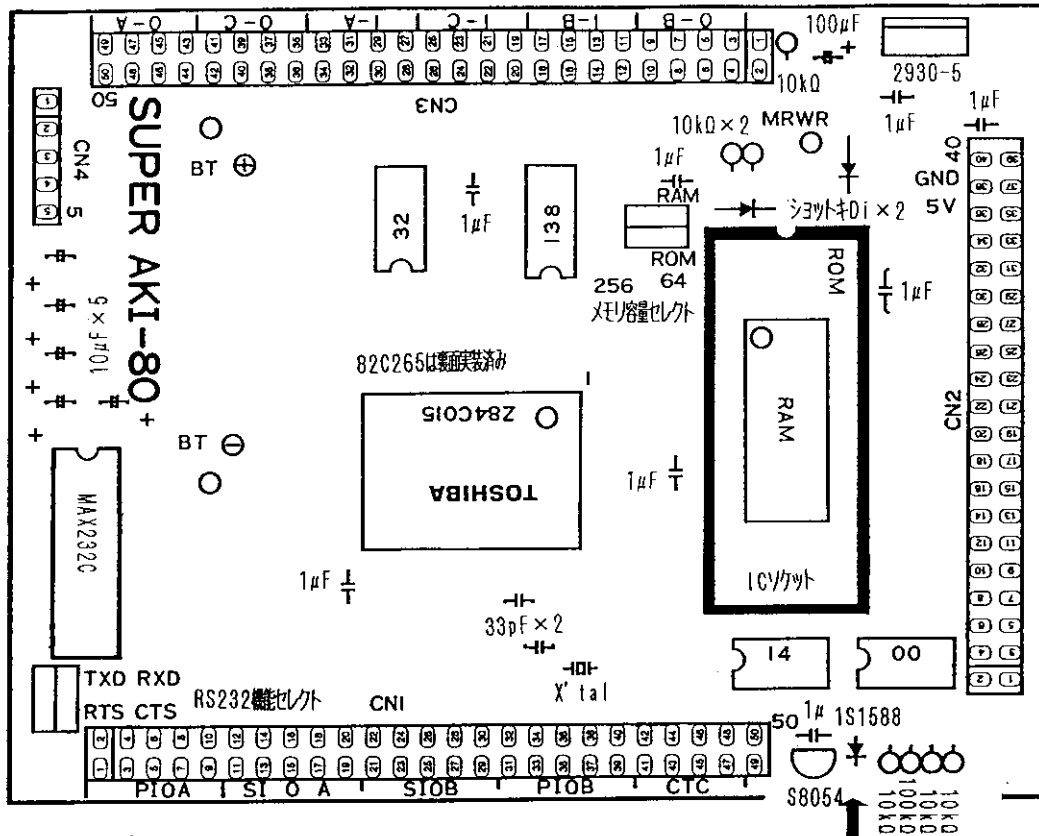
- ①まず回路図を完全に読破してください。電子製作の第一歩です。データライン、アドレスラインなどまとめて接続されるものは、一本の太い線にまとめて表記しています。AC32は負論理表記になっています。
- ②基板と部品配置図をよく照らし合わせ、十分部品配置を確認してください。
- ③SRAMはROM用ICソケットの内側に配置されます。そのためICソケットを加工します。「→」の部分で、ソケットの真ん中の棧(さん)をニッパで切断し、カッターできれいに仕上げます。



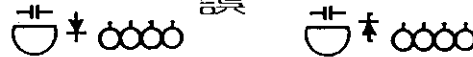
- ④セラミックコンデンサ、抵抗、水晶、ICソケットの順に取り付けます。セラミックコンデンサ、抵抗、水晶には向きはありません。1μFコンデンサの取り付けは、パターンのベタ部分に半田付けしますので、半田コテにはかなり熱量が必要です。十分にパターンを熱した後に半田を流し込んでください。ソケットは切り欠きマークをあわせてください。
- ⑤ダイオード、S8054、MAX232を取り付けます。半導体ですので、熱破壊しないよう素早く半田付けします。十分向きには注意してください。
- ⑥電解コンデンサ、NJM2930(7805)などの大きい部品を取り付けます。電解コンデンサは基板「+」印に合わせ取り付けます。

[ 部品配置図 ]

放熱器側

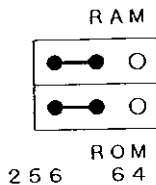


専用基板シルク印刷の1S1588の向きが逆に印刷されていました。お詫びいたします。正誤

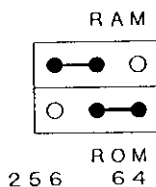


⑦メモリ容量セレクトを選択してください。メモリ容量にあわせ、RAM、ROM共に指定の穴をジャンパーショートします。これが正しく行なわれないと正常動作しません。

[ROMが256の場合]

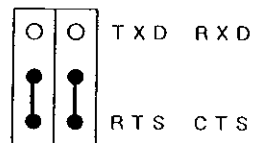


[ROMが64、128の場合]



⑧RS232機能セレクトを選択します。RS232使用の場合は制御 (RTS, CTS) 付一回線か、制御なし二回線です。

[制御付一回線]

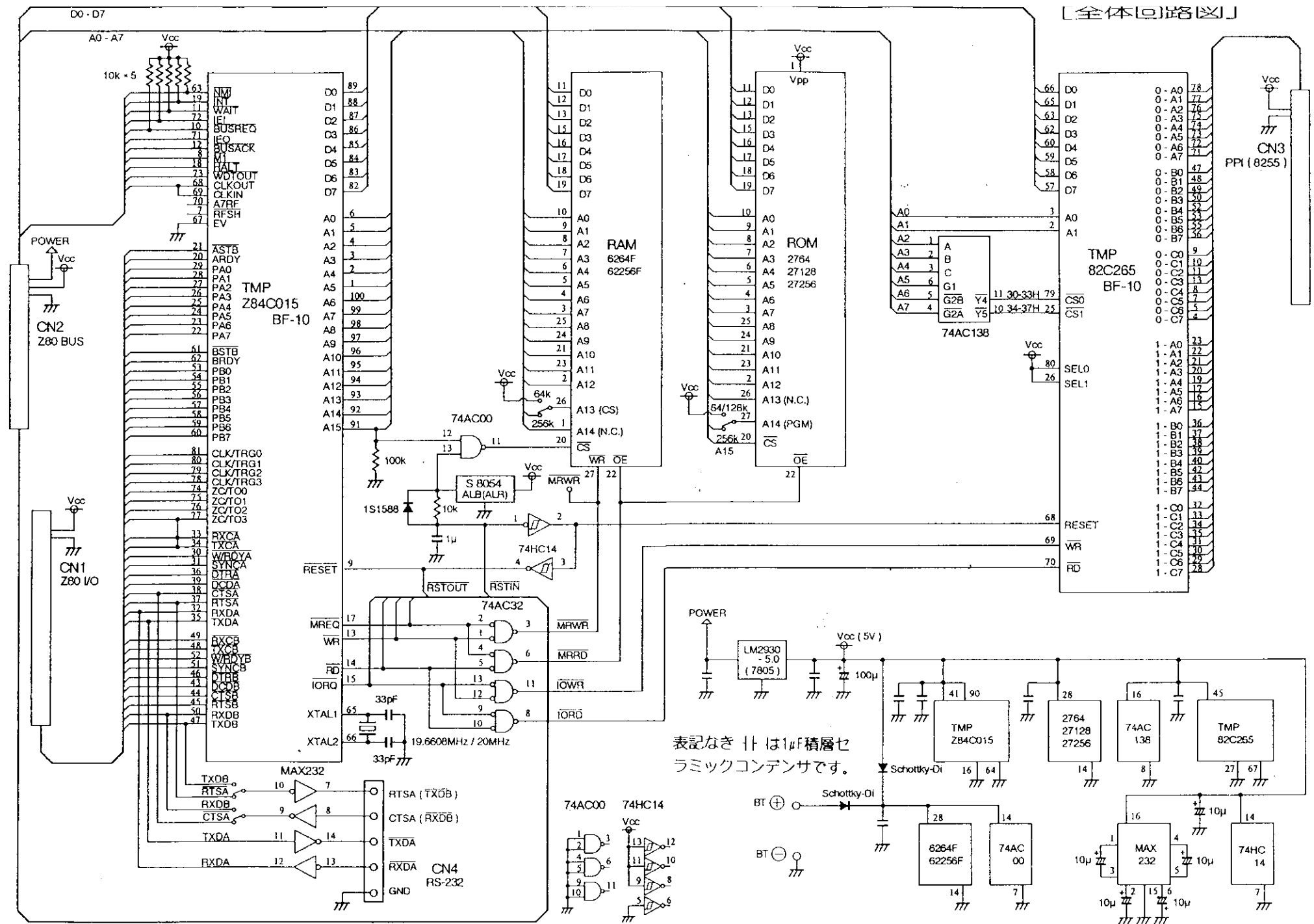


[制御なし二回線]



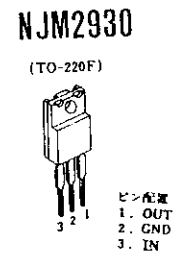
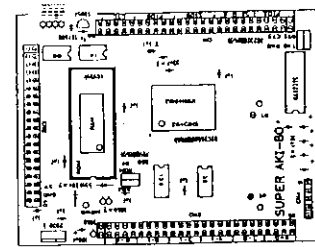
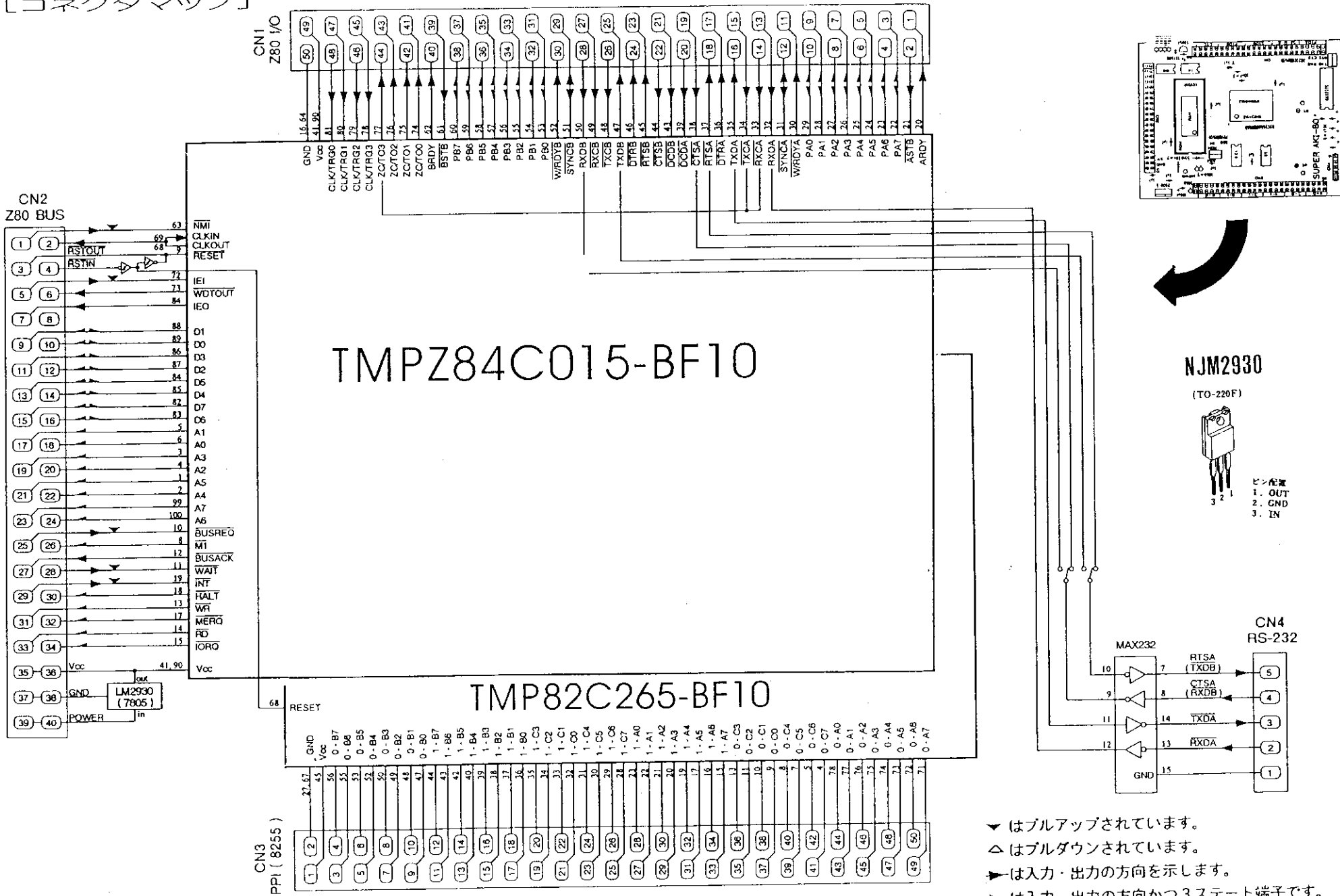
⑨コネクタやメモリバックアップをする場合はリチウム電池を取り付け、完成です。リチウム電池は3.6Vの物ならなんでもかまいません。

[全体回路図]



表記なきものは1µF積層セラミックコンデンサです。

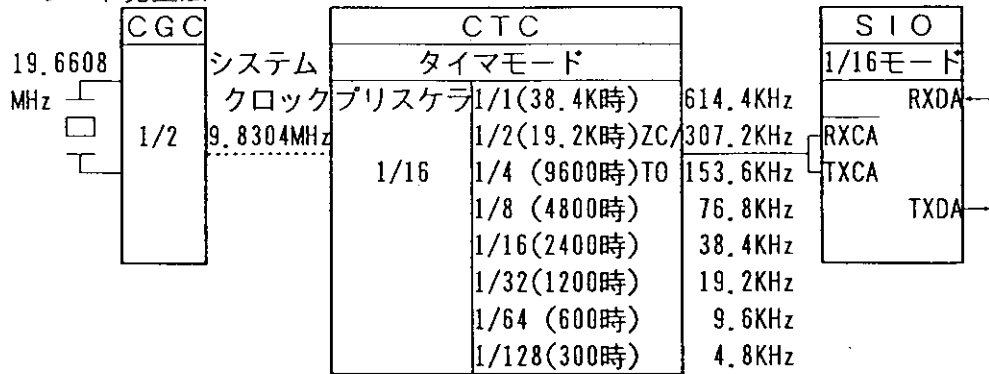
[コネクタマップ]



- ◀ はブルアップされています。
- △ はブルダウンされています。
- ▶ は入力・出力の方向を示します。
- ▶ は入力・出力の方向かつ3ステート端子です。
- ◀▶ は入出力端子を示します。
- ▶▶ は入出力端子かつ3ステート端子です。

■システムクロックとボーレートの関係■

◆ボーレート発生法



★RS232について

RS232ドライバは入力、出力各二回路ずつあります。各一回路はすでに占有されています。もう一回路をどう使うか決めなければなりません。RS232を使わない場合は決めなくて結構です。

- ①占有されているRS232ドライバはSIO AチャンネルのTXDA、RXDAに接続されています。
- ②SIO Aチャンネルのクロック入力TXCA、RXCAはCTC 3チャンネルのZC/TO3に接続されています。
- ③RS232機能セレクトで「制御付一回線」を選択した場合、SIO AチャンネルのRTSA、CTSAに接続されます。
- ④RS232機能セレクトで「制御なし二回線」を選択した場合、SIO BチャンネルのTXDB、RXDBに接続されます。
- ⑤SIO Bチャンネルのクロック入力TXCB、RXCBはどこにも接続されていません。必要に応じCTC3や、ボーレートジェネレータに接続してください。

★システムクロック及びCTCについて

SUPER AKI-80に付属しているXTALは19.6608MHzの物で、この周波数をCGCで二分周され、システムクロックである9.8304MHzになります。この周波数

はちょうどボーレートの2<sup>n</sup>倍になっておりCTCを使い簡単にボーレートジェネレータとすることができ、38.4K~300ボーが作れます。(図参照)

XTALには最高速で使いたい場合、20MHzの物、MIDIなどで使いたい場合、16MHz(31.25KHz×256)などに変更してもかまいません。

★電源について

電源には低ドロップ三端子レギュレータによる安定化回路がのっていますので、6V以上で100mA以上供給出来るものをご用意ください。安定化されてなくてOKです。電源に5Vを使用する場合、三端子レギュレータをパスしてください。リセット回路により、瞬間的にでも電源電圧が4.5Vを下回ると、リセットしてしまいますので、電源には出来るだけ余裕を持ってください。電源端子はCN2の37、38ピンがGND(電源-)39、40ピンがPOWER(電源+)です。

★ROMについて

ROMには2764、27128、27256タイプが使えます。スピードは100nSec以下の物をご用意ください。(システムクロック10MHzという高速でもアドレスデコーダがないため100nSecの物で間に合う)



★コネクタ部について

コネクタ部はCN1～CN4まであり、各機能ごとに別れています。

名 前	機 能	ピン数	内 容
CN1	Z80 I/Oコネクタ	50	Z84C015内蔵のP I O、S I O、C T Cの端子がまとめられています。
CN2	Z80 BUSコネクタ	40	Z804C015のD0~D7、A0~A7、制御信号がまとめられています。
CN3	82C265 P P Iコネクタ	50	82C265のI/Oポートがまとめられています
CN4	R S 2 3 2 コネクタ	5	R S 2 3 2の入出力端子がまとめられています。

CN1、CN3は端子数が多いので下部に名前が振ってあります。参考にしてください。CN3は82C265のピン配置の関係で、かなりランダムに配置されています。注意してください。(例) 0-Aはチップ0のAポートを差します。

各2.54mmピッチです。コネクタには2.54mmピッチで二列もしくは一列の物なら何でも使えます。

★P P I接続について

P P IのチップセレクトはI/O空間にアドレスを74AC138によりフルデコードされ、マッピングされています。P P Iの占有アドレスは30H～37Hで、その内の30H～33Hをチップ0(82C265のCE0)、34H～37Hをチップ1(82C265のCE1)が使用します。

P P Iのコマンド体系は、8255のそれとまったく同等で、何ら違いはありません。

[P P I I/Oアドレスマップ]

30H	チップ0	ポートA	データ
31H	チップ0	ポートB	データ
32H	チップ0	ポートC	データ
33H	チップ0	コマンド	
34H	チップ1	ポートA	データ
35H	チップ1	ポートB	データ
36H	チップ1	ポートC	データ
37H	チップ1	コマンド	

★デバッグ考

Z84C015(SUPER AKI-80)は基本的にはI C Eとの接続は出来ません。(Z84C015のエバリュエータモードを使用しても内部I/Oの割り込みをZ84C015の外部にだせないため)そのため、デバッグにはリモートデバッグ、ROM I C Eなどによるデバッグが適当です。(ボード上ROM 28pin付近にあるMRWR端子はROM I C E用の物です)何種類か専用の物を用意しておりますので御一考ください。

★ノイズ考

SUPER AKI-80は高速動作のため論理ICにACシリーズなどかなりノイズの発生しやすいものを使用しています。このため外部にAD/DAコンバータ等をつなげる場合、十分に電源のデカップリングをお願いいたします。AC138電源ピン(8, 16pin)間に最短距離で0.1~1μF積層セラミックコンデンサを取り付けると結構改善されます。試してみてください。

### [メモリマップ]

0000	64K ROM (0000~1FFF)	128K ROM (0000~3FFF)	256K ROM (0000~7FFF)
2000	イメージ		
4000			
6000		イメージ	
8000	256K SRAM (8000~FFFF)		
A000			
C000			
E000			
FFFF			

★メモリの割付けは、ROMは必ず0000h番地から、RAMは8000h~FFFFh番地です。

### [I/Oマップ]

10H	CTC	チャンネル0
11H	CTC	チャンネル1
12H	CTC	チャンネル2
13H	CTC	チャンネル3
18H	SIOA	送受データ
19H	SIOA	コマンド/ステータス
1AH	SIOB	送受データ
1BH	SIOB	コマンド/ステータス
1CH	PIOA	データ
1DH	PIOA	コマンド
1EH	PIOB	データ
1FH	PIOB	コマンド
30H	PPI	チップ0 Aポート データ
31H	PPI	チップ0 Bポート データ
32H	PPI	チップ0 Cポート データ
33H	PPI	チップ0 コマンド
34H	PPI	チップ1 Aポート データ
35H	PPI	チップ1 Bポート データ
36H	PPI	チップ1 Cポート データ
37H	PPI	チップ1 コマンド
F0H	ウォッチドックタイマ/スタンバイ	モード設定
F1H	ウォッチドックタイマ	コマンド
F4H	ディジーチェーン割り込み優先順位	設定

★I/Oアドレスは全てフルデコードされています。

当キットのハードウェアに関するご質問は封書か往復葉書にて下記の住所までお願いいたします。

スーパー アキエイティ マニュアル 秋月電子通商 〒158 東京都世田谷区瀬田5-35-6  
Z80 CPU BOARD「SUPER AKI-80」 by GO! Special Thanks for YAZAKI 1992-8-10

[コネクタ一覧表]

No.	CN 1	No.	CN 2	No.	CN 3	No.	CN 4
1	PIOA ARDY	1	BUS NMI	1	VCC	1	GND
2	ASTB	2	CLKOUT	2	GND	2	RXDA
3	PA7	3	RSTOUT	3	PPI 0-B	6	TXDA
4	PA6	4	RSTIN	4		7	CTSA (RXDB)
5	PA5	5	IEI	5		4	RTSA (TXDB)
6	PA4	6	WDTOUT	6		5	
7	PA3	7	IEO	7		2	
8	PA2	8	N. C	8		3	
9	PA1	9	D1	9		0	
10	PA0	10	D0	10		1	
11	SIOA W/RDYA	11	D3	11	PPI 1-B	6	
12	SNCA	12	D2	12		7	
13	RXDA	13	D5	13		4	
14	RXCA	14	D4	14		5	
15	TXCA	15	D7	15		2	
16	TXDA	16	D6	16		3	
17	DTRA	17	A1	17		0	
18	RTSA	18	A0	18		1	
19	CTSA	19	A3	19	PPI 1-C	2	
20	DCDA	20	A2	20		3	
21	SIOB DCDB	21	A5	21		0	
22	CTSB	22	A4	22		1	
23	RTSB	23	A7	23		5	
24	DTRB	24	A6	24		4	
25	TXDB	25	BUSREQ	25		7	
26	TXCB	26	M1	26		6	
27	RXCB	27	BUSAK	27	PPI 1-A	1	
28	RXDB	28	WAIT	28		0	
29	SYCB	29	INT	29		3	
30	W/RDYB	30	HALT	30		2	
31	PIOB PBO	31	WR	31		5	
32	PB1	32	MREQ	32		4	
33	PB2	33	RD	33		7	
34	PB3	34	IORQ	34		6	
35	PB4	35	VCC	35	PPI 0-C	2	
36	PB5	36	VCC	36		3	
37	PB6	37	GND	37		0	
38	PB7	38	GND	38		1	
39	BSTB	39	POWER	39		5	
40	BRDY	40	POWER	40		4	
41	CTC ZC/T00			41		7	
42	ZC/T01			42		6	
43	ZC/T02			43	PPI 0-A	1	
44	ZC/T03			44		0	
45	CLK/TLG3			45		3	
46	CLK/TLG2			46		2	
47	CLK/TLG1			47		5	
48	CLK/TLG0			48		4	
49	VCC			49		7	
50	GND			50		6	

## CMOS プログラマブル ペリフェラル インタフェース

TMP82C255AN-2 / TMP82C265AF-2

TMP82C255AN-10 / TMP82C265AF-10

## 1. 概要

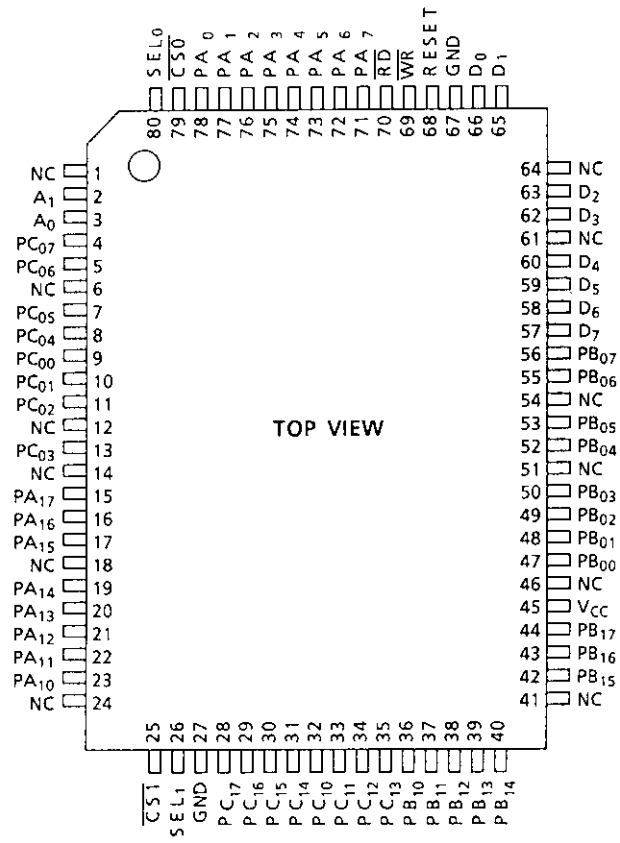
TMP82C255A, TMP82C265Aは、TMP82C55A 2個分相当の機能を備えた汎用中規模I/Oポートです。また、TMP82C265Aは、モータコントロールに便利のように、RESET直後にポート出力をイネーブルにすることが可能です。(TMP82C255Aは不可)

TMP82C255A, TMP82C265Aの主要機能と特長は次のとおりです。

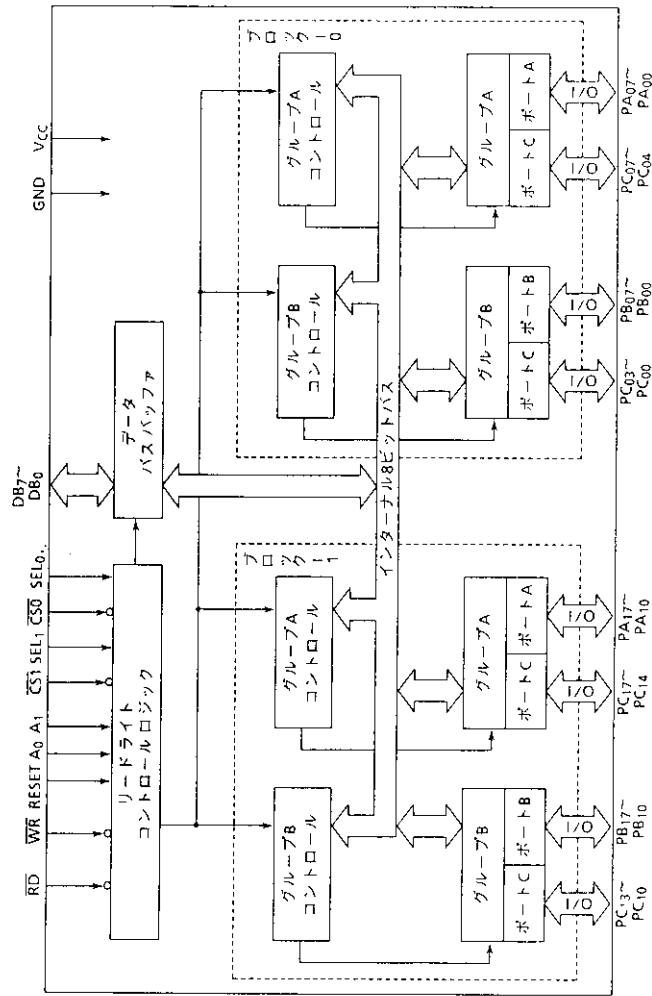
- (1) プログラム可能な48本(8ビット×6ポート)の入出力端子
- (2) TMP82C265Aは、出力モードと汎用モードとの切替え可能
- (3) 高速版有 (TRD=100ns MAX)
- (4) 低消費電力    動作時   : 3mA   標準  
                  静止時   : 10 $\mu$ A   最大
- (5) 3種の動作モード(モード0, モード1, モード2)
- (6) ビットセット/リセット機能(PC<sub>00</sub>~PC<sub>07</sub>, PC<sub>10</sub>~PC<sub>17</sub>の16ビット)
- (7) ダーリントトランジスタ直接駆動可能  
(-2.5mA 標準 @VEXT=1.5V, REXT=1.1K $\Omega$ )
- (8) 広範な動作温度   : -40 $^{\circ}$ C ~ +85 $^{\circ}$ C
- (9) パッケージ種類

TMP82C255AN	シュリンクDIP 64PIN
TMP82C265AF	FP 80PIN

# TMP82C265AF



TMP82C265A



#### 4. ピン名称と機能

ピン名称と機能は次の通りです。

表4.1 ピン名称と機能

ピン名称	ピン数	入/出力 3ステート	機 能
D <sub>0</sub> ~D <sub>7</sub>	8	3ステート 入出力	8ビットの3ステート双方向性データバス。MPUとのデータ転送時使用されます。またPPIに対するコントロールワード、PPIからのステータス情報の転送にも使用されます。
PA <sub>00</sub> ~PA <sub>07</sub>	8	3ステート 入出力	8ビット入出力ポートA。PA <sub>0</sub> とPA <sub>1</sub> があり、ソフトウェアによってモード設定および入出力の設定が出来ます。ポートAは出力ラッチバッファおよび入力ラッチを持っています。
PA <sub>10</sub> ~PA <sub>17</sub>	8		
PB <sub>00</sub> ~PB <sub>07</sub>	8	3ステート 入出力	8ビット入出力ポートB。PB <sub>0</sub> とPB <sub>1</sub> があり、ソフトウェアによってモード設定および入出力の設定が出来ます。ポートBは出力ラッチバッファおよび入力ラッチを持っています。
PB <sub>10</sub> ~PB <sub>17</sub>	8		
PC <sub>00</sub> ~PC <sub>07</sub>	8	3ステート 入出力	8ビット入出力ポートC。PC <sub>0</sub> とPC <sub>1</sub> があり、ソフトウェアによってモード設定および入出力の設定が出来ます。ポートCはモードコントロールによって2個の4ビットポートに分割でき、さらに、ポートA、ポートBのコントロール信号としても使用されます。この場合には、PC <sub>00</sub> ~PC <sub>02</sub> をPB <sub>0</sub> 、PC <sub>10</sub> ~PC <sub>12</sub> をPB <sub>1</sub> 用へ、PC <sub>03</sub> ~PC <sub>07</sub> をPA <sub>0</sub> 、PC <sub>13</sub> ~PC <sub>17</sub> をPA <sub>1</sub> 用のコントロール信号として使用します。
PC <sub>10</sub> ~PC <sub>17</sub>	8		
$\overline{CS0}$	1	入 力	チップセレクト入力。 $\overline{CS0}$ が'L'レベルで、PA <sub>0</sub> 、PB <sub>0</sub> 、PC <sub>0</sub> とMPUとのデータ転送が可能となり、 $\overline{CS1}$ が'L'レベルでPA <sub>1</sub> 、PB <sub>1</sub> 、PC <sub>1</sub> とMPUとのデータ転送が可能となります。 $\overline{CS0}$ かつ $\overline{CS1}$ が'H'レベルでは、データバスが高インピーダンス状態になり、プロセッサからのコントロールは無視されます。
$\overline{CS1}$	1		
A <sub>0</sub> , A <sub>1</sub>	2	入 力	ポートA, B, Cおよびコントロールレジスタの選択に使用します。通常はアドレスバスの下位2ビットに接続します。
$\overline{RD}$	1	入 力	リード信号。TMP82C265Aにだけ使用されています。'L'でポートに入力されているデータをMPUに転送します。
$\overline{WR}$	1	入 力	ライト信号。TMP82C265Aにだけ使用されています。'L'でMPUからPPIにデータあるいはコントロールワードを書込みます。
R/ $\overline{W}$	1	入 力	リード/ライト信号。TMP82C255Aにだけ使用されています。 $\overline{CS0}$ または $\overline{CS1}$ が'L'レベル時、R/ $\overline{W}$ が'H'レベルでリード状態、'L'レベルでライト状態となります。
SEL <sub>0</sub>	1	入 力	汎用モード/出力モード選択信号。TMP82C265Aにだけ使用されています。'H'レベルで汎用モードになり、'L'レベルではリセット直後からモード0出力モードに設定することができます。出力モードでは、モード0出力以外のモード書き込みできません。SEL <sub>0</sub> でPA <sub>0</sub> 、PB <sub>0</sub> 、PC <sub>0</sub> を、SEL <sub>1</sub> でPA <sub>1</sub> 、PB <sub>1</sub> 、PC <sub>1</sub> の制御を行います。
SEL <sub>1</sub>	1		
RESET	1	入 力	'H'でコントロールレジスタを含む全内部レジスタをクリアします。TMP82C255A及びTMP82C265Aの汎用モードでは全ポートモード0のインプットモード(高インピーダンス)になります。またTMP82C265Aの出力モードでは、全ポートモード0アウトプットモード('L'を出力)になります。なお、TMP82C265Aは、PA <sub>0</sub> 、PB <sub>0</sub> 、PC <sub>0</sub> とPA <sub>1</sub> 、PB <sub>1</sub> 、PC <sub>1</sub> とをSEL <sub>0</sub> 、SEL <sub>1</sub> になりリセット直後異なったモードにすることも可能です。
V <sub>CC</sub>	1	電 源	SV電源
V <sub>SS</sub>	1	電 源	GND。但しTMP82C265AFのみ2本有り。

## 5. 基本動作説明

### 5.1 TMP82C255Aの機能, 特長

TMP82C255Aは、ブロック図に示されているブロック-0, ブロック-1のそれぞれに3組、合計6組の8ビットポート(PA<sub>0</sub>, PB<sub>0</sub>, PC<sub>0</sub>, PA<sub>1</sub>, PB<sub>1</sub>, PC<sub>1</sub>)を持ち、それぞれに2個ずつのコントロールレジスタを内蔵した、プログラム可能な周辺インターフェースです。

ブロック-0, ブロック-1の各24本のポート入出力端子は、それぞれ12ビットのグループA, グループBに分けられます。グループAはポートAとポートCの上位4ビット、グループBはポートBとポートCの下位4ビットから構成されます。各グループはMPUからのコントロールワードにより独立にプログラムできます。動作モードは、モード0, モード1, モード2の3種類あります。モード0では、8ビットの入出力ポート2個がそれぞれ独立に入力あるいは出力ポートとして使用できるようプログラムできます。モード1では、グループA, グループBに分けられ、各グループとも8ビットが入力あるいは出力ポートとして、残り4ビットがデータまたは制御信号として、用いられます。モード2はグループAのみに適用され、8ビットの双方向バスと5ビットの制御信号として使用されます。またポートCを出力として使用する場合、ポートCの任意のビットをセット/リセットすることができます。コントロールレジスタは2個あり、一つはモード設定用、他はビットセット/リセット用に使われます。コントロールレジスタの読み出しはできません。また、リセット入力が高レベルになると、入出力の内部レジスタはすべてリセットされ、全入出力端子は、モード0入力モード(高インピーダンス状態)になります。

### 5.3 TMP82C265Aの機能, 特長

TMP82C265Aは、SEL<sub>0</sub>またはSEL<sub>1</sub>端子を高レベルに固定することにより出力モードを設定することができ、低レベルに固定することにより出力モードに設定することができます。汎用モードは、TMP82C255Aと同様の機能を備えていますが、 $\overline{RD}$ , TMP82C255AのようにR/W 1端子ではなく、従来のTMP82C55Aと同じサイズの $\overline{RD}$ ,  $\overline{WR}$ 端子を持っています。従って従来と同様の接続方法で動作します。

TMP82C265Aの出力モードは、リセット後にモード0全ポート「L」出力状態となります。また、どのようなモードの書き込みを行ってもモード0ポート出力モードになり、その際ポートは「L」レベルを出力します。

### 5.4 TMP82C265A基本動作

汎用モード(SEL<sub>0</sub>またはSEL<sub>1</sub>:高レベル)は、TMP82C255Aの基本動作と同様の機能です。

出力のみモード(SEL<sub>0</sub>:低レベル)時のPA<sub>0</sub>, PB<sub>0</sub>, PC<sub>0</sub>に対する基本動作は、表5.2のようになります。



表5.2 PA<sub>0</sub>, PB<sub>0</sub>, PC<sub>0</sub>に対する出力モード基本動作

SEL <sub>0</sub>	CS <sub>0</sub>	RESET	D <sub>7</sub>	A <sub>1</sub>	A <sub>0</sub>	R <sub>D</sub>	WR	機能
0	x	1	x	x	x	x	x	PA <sub>0</sub> , PB <sub>0</sub> , PC <sub>0</sub> MODE 0 ポート 'L' レベル出力セット
0	0	0	1	1	1	1	0	PA <sub>0</sub> , PB <sub>0</sub> , PC <sub>0</sub> MODE 0 ポート 'L' レベル出力セット コマンド
x	0	0	0	1	1	1	0	ビットセット/リセットコントロール
△	0	0	x	0	0	1	0	PA <sub>0</sub> ← データバス
△	0	0	x	0	1	1	0	PB <sub>0</sub> ← データバス
△	0	0	x	1	0	1	0	PC <sub>0</sub> ← データバス
△	0	0	x	0	0	0	1	データバス ← PA <sub>0</sub> (端子状態をR <sub>D</sub> )
△	0	0	x	0	1	0	1	データバス ← PB <sub>0</sub> (内部出力ラッチをR <sub>D</sub> )
△	0	0	x	1	0	0	1	データバス ← PC <sub>0</sub> (内部出力ラッチをR <sub>D</sub> )

210189

△印 : 出力に設定した後であれば、SEL<sub>0</sub>が'L'レベル、Hレベルどちらの状態でも出力のみモードを維持します。  
但し、SEL<sub>0</sub>が'H'レベルの時RESET'H'レベルにしたり、モード書き込みをした場合は、汎用モードになります。

また、PA<sub>1</sub>, PB<sub>1</sub>, PC<sub>1</sub>に対する基本動作は、表5.2と同様ですが、SEL<sub>1</sub>, CS<sub>1</sub>によりコントロールを行います。

## 6. 詳細動作説明

TMP82C255A及びTMP82C265Aの汎用モードについての詳細な説明をします。尚、説明は、ブロック-0について行います。ブロック-1は、ブロック-0と同様の機能を持っていますので省略します。

TMP82C265Aの出力モードの場合については、以下の汎用モードについての説明の内コマンドの入力にかかわらずリセット直後からモード0出力に設定されている特殊ケースと考えられますので説明は省略します。

### 6.1 動作モードの設定

コントロールワードによって3種の動作モードが選択されます。

- モード0 - 基本入力/出力 (グループA, グループB)
- モード1 - ストロープ入力/ストロープ出力 (グループA, グループB)
- モード2 - 双方向バス (ポートAのみ)

グループAとグループBのモードは独立に設定できます。MPUから8ビットのコントロールワードをPPIに書き込むことによりモードを設定します。コントロールワードをPPIに書き込む際、DB<sub>7</sub>= '1'にするとポートのモード設定用コントロールレジスタを、一方、DB<sub>7</sub>= '0'にするとポートCのビットセット/リセット機能用コントロールレジスタを選択します。

### 6.1.1 動作モード設定コントロールワード

図6.1は、モード設定コントロールワードを示しています。

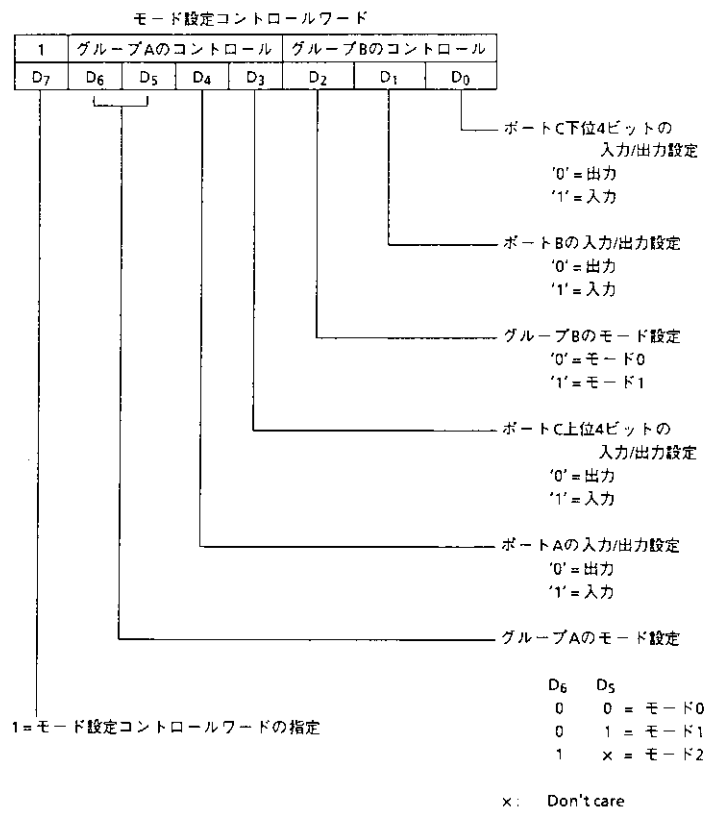
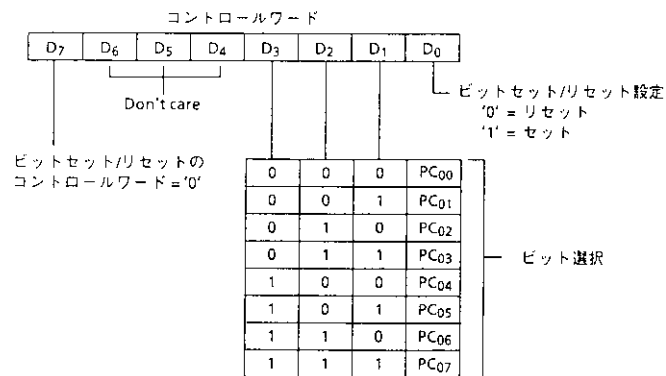


図6.1 モード設定コントロールワード

### 6.1.2 ポートCのビットセット/リセット用コントロールワード

ポートC 8ビットの任意のビットをセットしたりリセットしたりすることができます。図6.2はポートCのビットセット/リセット用コントロールワードを示しています。



310189

図6.2 ビットセット/リセット用コントロールワード

## 6.2 動作モード

### 6.2.1 モード0(基本入出力)

モード0は単純な入力ポートあるいは出力ポートとして使用する場合に用います。データは指定されたポートに出力あるいは入力されるのみでハンドシェイクなどのコントロール信号は使用されません。MPUからポートに出力されるデータは保持されますが、ポートからの入力データは保持されません。

モード0では24本の入出力端子がポートA(8ビット)、ポートB(8ビット)、ポートCの上位4ビット、ポートCの下位4ビットの4組に分けられ任意に入出力ポートとして使用できます。モード設定用コントロールワードのビット4(D4)、3(D3)、1(D1)、0(D0)の内容によって各入出力端子の機能が決定されます。

図6.3にモード0における各入出力端子の機能が示されています。

モード設定コントロールワード				ポートA	ポートC (PC07~PC04)	ポートB	ポートC (PC03~PC00)
D4	D3	D1	D0				
0	0	0	0	Out	Out	Out	Out
0	0	0	1	Out	Out	Out	In
0	0	1	0	Out	Out	In	Out
0	0	1	1	Out	Out	In	In
0	1	0	0	Out	In	Out	Out
0	1	0	1	Out	In	Out	In
0	1	1	0	Out	In	In	Out
0	1	1	1	Out	In	In	In
1	0	0	0	In	Out	Out	Out
1	0	0	1	In	Out	Out	In
1	0	1	0	In	Out	In	Out
1	0	1	1	In	Out	In	In
1	1	0	0	In	In	Out	Out
1	1	0	1	In	In	Out	In
1	1	1	0	In	In	In	Out
1	1	1	1	In	In	In	In

図6.3 モード0における各入出力端子の機能

210189

#### 6.2.2 モード1(ストローブ入出力)

モード1ではポートデータ入出力をストローブ信号やハンドシェイク信号を使用し  
て行います。ポートCはポートAあるいはポートBを入出力するコントロール信号とし  
て使用されます。

モード1で基本動作は次の通りです。

- グループA, グループBの2組に設定できます。
- 各グループは8ビットのデータポートと4ビットのコントロール/データポートで構  
成されます。
- 8ビットのデータポートは入力または出力に設定できます。
- コントロール/データポートは8ビットのデータポートのコントロールやステータス  
として使用されます。

##### (1) モード1で入力ポートとして使用する場合

- **STB**(ストローブ入力)

'0'でポート内部の入力レジスタにラッチします。この場合MPUからのコントロー  
ル信号には無関係であり、任意の時にポートからデータを入力します。このデータ  
はMPUが入力命令を実行しない限りデータバスには出力されません。

- **IBF**(入力バッファフルF/F)

ポートからデータが入力レジスタに保持されると、この出力が'1'になります。IBF  
は**STB**が'0'になるとセット('1')になり、**RD**の立ち上りでリセット('0')になり  
ます。



- INTR (割込み要求出力)

入力レジスタに保持されているデータの割込み処理に用います。PPI内部のINTE (割込み許可フラグ) が許可状態 ('1') のとき、STB入力が入るとIBFは '1' になりますが、INTRはこのSTB入力の立上り直後 '1' にセットされ、RD信号の立下りで '0' にリセットされます。

グループA、グループBの割込み許可フラグのコントロールは次のように行います。

INTEA - PC<sub>04</sub>のビットセット/リセットによりコントロールします。

INTEB - PC<sub>02</sub>のビットセット/リセットによりコントロールします。

(2) モード1で出力ポートとして使用する場合

- OBF (出力バッファフル出力)

MPUがデータを特定ポートに書込んだことを示すフラグです。OBFはWR信号の立上りで '0' になり、ACK (アクノレージ入力) の立下りで '1' になります。

- ACK (アクノレージ入力)

ポートからデータを受け取った周辺端末よりACK信号をPPIへ送り応答します。

- INTR (割込み要求出力)

周辺端末がMPUからのデータを受け取ると、INTRを '1' にして、MPUに割込みをかけます。INTEが許可状態のとき、ACK信号が入るとOBFが '1' になり、INTR信号はACK信号の立上り直後 '1' になります。

また、INTRはMPUがPPIにデータを書き込んだときWRの立下りでリセットされます。グループA、グループBの割込み許可フラグは次のようにコントロールします。

INTEA - PC<sub>06</sub>のビットセット/リセットによりコントロールします。

INTEB - PC<sub>02</sub>のビットセット/リセットによりコントロールします。

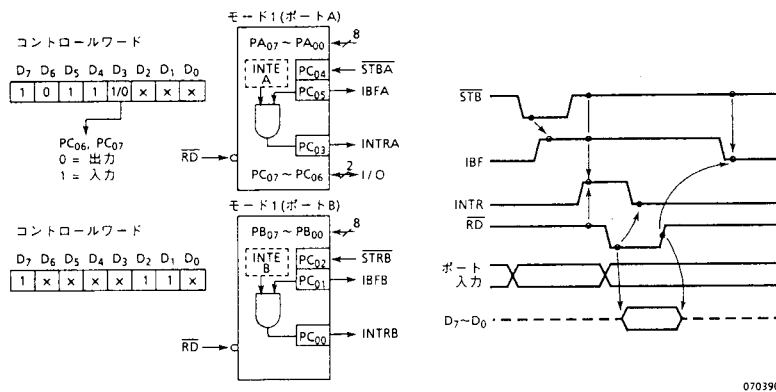


図6.4 モード1ストロブ入力の例

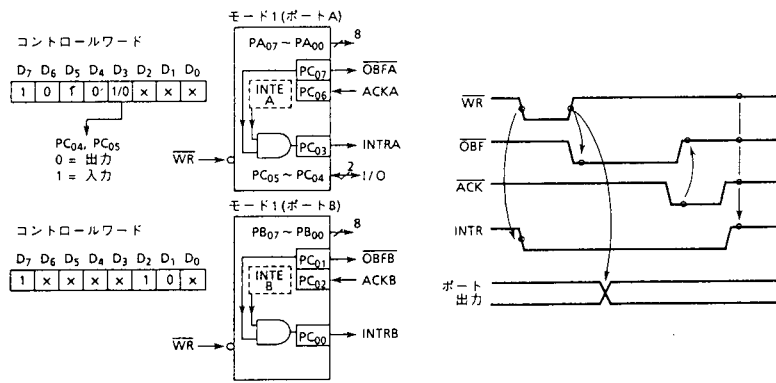


図6.5 モード1ストロブ出力の例

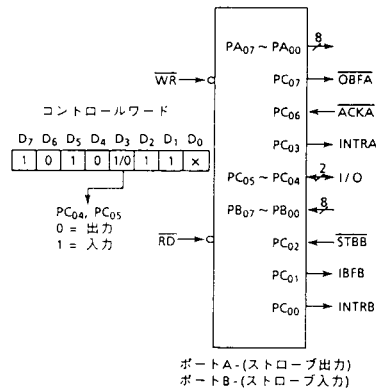


図6.6 モード1ポートA出力,  
ポートB入力の例

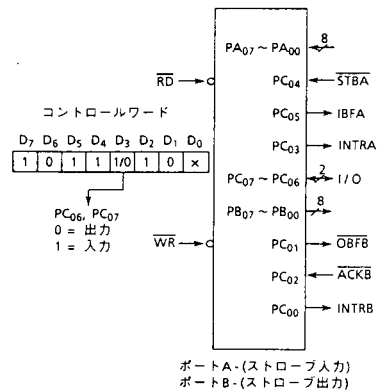


図6.7 モード1ポートA入力,  
ポートB出力の例

070390

### 6.2.3 モード2(ストローブ双方向入出力)

このモードでは1個の8ビットバスを使用して、周辺端末とデータ転送を行うための双方向性バスになります。このモードではグループAのみに適用可能であり8ビットの双方向バス(ポートA 8ビット)と5ビットのコントロール信号(ポートCの上位5ビット)で構成されます。双方向バス(ポートA)は入力、出力とも内部レジスタを持っています。グループAをモード2に設定するとき、グループBは独立してモード設定可能です。グループAをモード2で使用するときの制御信号としては次の5種類があります。

- $\overline{\text{OBF}}$ (出力バッファフルフラグ出力)

MPUがポートAの内部出力レジスタにデータを書き込んだ時、 $\overline{\text{OBF}}= '0'$ になり、PPIがデータ出力の準備完了であることを周辺端末に知らせます。但し、 $\overline{\text{ACK}}$ 入力があるまではポートAはフローティング(高インピーダンス)状態です。

- $\overline{\text{ACK}}$ (アックノレッジ入力)

$\overline{\text{ACK}}$ を'0'にすると、内部出力レジスタの内容がポートAに出力されます。'1'の状態ではポートAは高インピーダンスになります。

- $\overline{\text{STB}}$ (ストローブ入力)

$\overline{\text{STB}}$ 入力を'0'にすることによって周辺端末からのデータを内部入力レジスタに保持します。PPIにRD信号を入力すると保持されているデータがシステムデータバス(D7~D0)上に出力されます。

- IBF (入力バッファフルフラグ)

周辺端末からのデータが内部レジスタに保持されるとIBFは'1'になります。

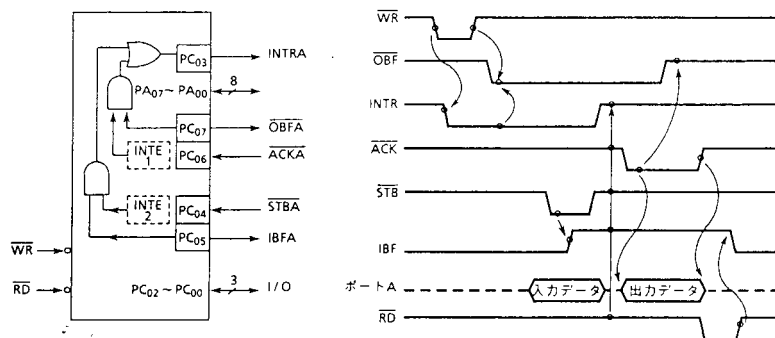
- INTR (割り込み要求出力)

INTRはCPUに割り込みをかけるための出力であり、モード1と同様の機能です。割り込み許可フラグ (INTE) は2個あり、INTE1はモード1の出力のときのINTEA, INTR2はモード1の入力のときのINTEAに対応します。

INTE1 -  $\overline{\text{OBF}}$ ,  $\overline{\text{ACK}}$ と組み合わせてINTR信号を作るときに用います。PC06のビットセット/リセットでコントロールします。

INTE2 - IBF,  $\overline{\text{STB}}$ と組み合わせてINTR信号を作るときに用います。PC04のビットセット/リセットでコントロールします。

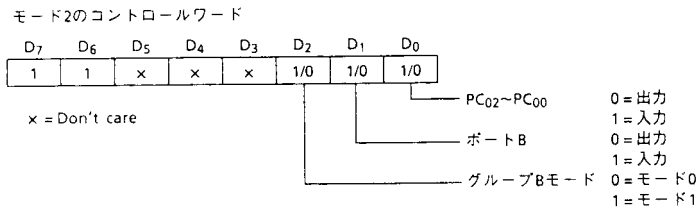
図6.8にモード2の動作例とタイミング図を示します。



210189

図6.8 モード2の動作例





210189

図6.9 モード2のコントロールワードと構成

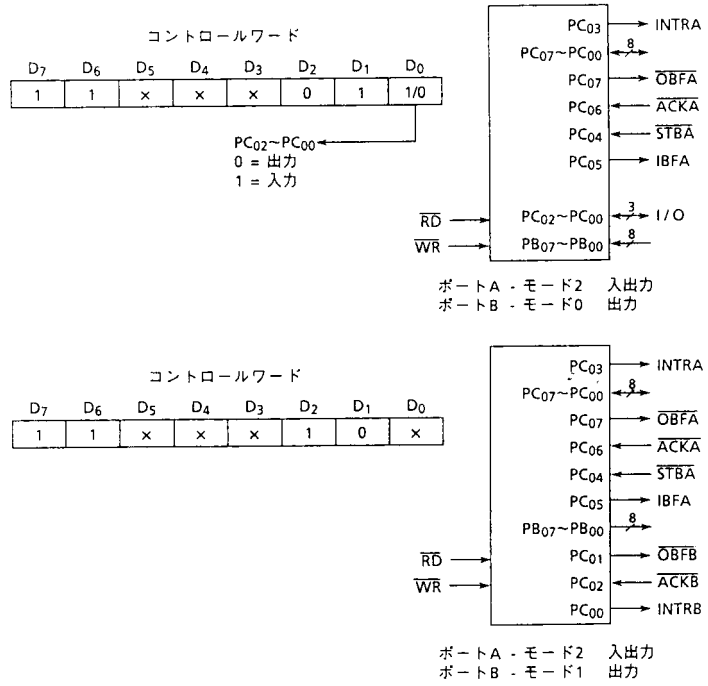


図6.10 モード2と他の組合せ例

### 6.2.4 モード1, 2の場合の注意点

モード1, 2で使用了場合、ポートCの制御又はステータスとして使用しないビットは下記のように動作可能です。

もし、入力としてプログラムされているならば、通常のポートCの読出しでアクセスできます。

もし、出力としてプログラムされているならば、ポートCの上位ビット(PC07~PC04)はビットセット/リセットの機能を用いてアクセスします。ポートCの下部ビット(PC03~PC00)はビットセット/リセットの機能の他に通常の書込みで3ビットのみがアクセスできます。

### 6.3 制御信号の読み出し

ポートCをコントロールポートとして使用する場合、すなわちモード1あるいはモード2で使用する場合には、MPUが入力命令を実行することによって、ポートCからのステータス信号を読み出すことができます。

表6.1 ポートCのステータス読み出し

モード	データ	D7	D6	D5	D4	D3	D2	D1	D0
モード1入力		I/O	I/O	IBFA	INTEA	INTRA	INTEB	IBFB	INTRB
モード1出力		$\overline{\text{OBFA}}$	INTEA	I/O	I/O	INTRA	INTEB	$\overline{\text{OBFB}}$	INTRB
モード2		$\overline{\text{OBFA}}$	INTE1	IBFA	INTE2	INTRA	グループBのモードによる		

## 7. 電気的特性

### 7.1 最大定格

記号	項目	規格	単位
V <sub>CC</sub>	電源電圧	-0.5~7.0	V
V <sub>IN</sub>	入力電圧	-0.5~V <sub>CC</sub> +0.5	V
P <sub>D</sub>	消費電力	250	mW
T <sub>SOLDER</sub>	半田付温度(10sec)	260	℃
T <sub>STG</sub>	保存温度	-65~+150	℃
T <sub>OPR</sub>	動作温度	-40~+85	℃

210189

### 7.2 DC電気的特性

TA = -40℃ ~ +85℃, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V

記号	項目	測定条件	最小	標準	最大	単位
V <sub>IL</sub>	低レベル入力電圧		-0.5	—	0.8	V
V <sub>IH</sub>	高レベル入力電圧		2.2	—	V <sub>CC</sub> +0.5	V
V <sub>OL</sub>	低レベル出力電圧	I <sub>OL</sub> = 2.5mA	—	—	0.45	V
V <sub>OH1</sub>	高レベル出力電圧	I <sub>OH</sub> = -400μA	2.4	—	—	V
V <sub>OH2</sub>	高レベル出力電圧	I <sub>OH</sub> = -100μA	V <sub>CC</sub> -0.8	—	—	V
I <sub>IL</sub>	入力リーク電流	0 ≤ V <sub>IN</sub> ≤ V <sub>CC</sub>	—	—	±10	μA
I <sub>LO</sub>	出力リーク電流 (高インピーダンス状態)	0 ≤ V <sub>OUT</sub> ≤ V <sub>CC</sub>	—	—	±10	μA
I <sub>DAR</sub>	ダーリントン駆動電流	V <sub>EXT</sub> = 1.5V R <sub>EXT</sub> = 1.1kΩ	-1.0	—	-5.0	mA
I <sub>CC1</sub>	電源電流(動作時)	1/Ocycle Time 1μsec	—	—	5.0	mA
I <sub>CC2</sub>	電源電流(静止時)	C <sub>S</sub> ≥ V <sub>CC</sub> -0.2V V <sub>IH</sub> ≥ V <sub>CC</sub> -0.2V V <sub>IL</sub> ≤ 0.2V	—	—	10	μA

\*I<sub>DAR</sub>は、全ポートの合計電流値が60mAを超えないこと  
又1本あたり上記特性を越えないことが必要です。

210189

### 7.3 容量

TA = 25℃, V<sub>CC</sub> = V<sub>SS</sub> = 0V

記号	項目	測定条件	最小	標準	最大	単位
C <sub>IN</sub>	入力容量	f <sub>C</sub> = 1MHz	—	—	10	pF
C <sub>I/O</sub>	入出力容量	非測定端子は接地	—	—	20	pF

210189

TMPZ84C015BF-6, TMPZ84C015BF-8  
TMPZ84C015BF-10, TMPZ84C015BF-12

①

## TLCS-Z80 マイクロプロセッサ

### 1. 概要と特長

TMPZ84C015Bは、TLCS-Z80 MPUを核としてカウンタタイマサーキット(CTC)、シリアルI/Oポート(SIO)、パラレルI/Oポート(PIO)、クロックジェネレータ/コントローラ(CGC)、ウォッチドッグタイマ(WDT)など周辺機能を内蔵した高機能CMOS 8ビットマイクロプロセッサです。

TMPZ84C015Bは、TLCS-Z80シリーズの基本アーキテクチャには手を加えておりませんので、従来のソフトウェア資産や開発ツールがそのまま使用できます。

TMPZ84C015Bは、NEW CMOS プロセスを使用し、標準の100ピンミニフラットパッケージにパッケージングしましたので、システムの小型化、低消費電力に大きく寄与します。

TMPZ84C015Bは、高機能なシリアルI/Oポートやポーレイトジェネレータとして使用できるカウンタタイマサーキット、また制御用の応用には欠かせないウォッチドッグタイマなど内蔵していますので、通信アダプタなどの通信制御機器や小形化を要する各種制御機器など幅広い分野のシステムに応用できます。

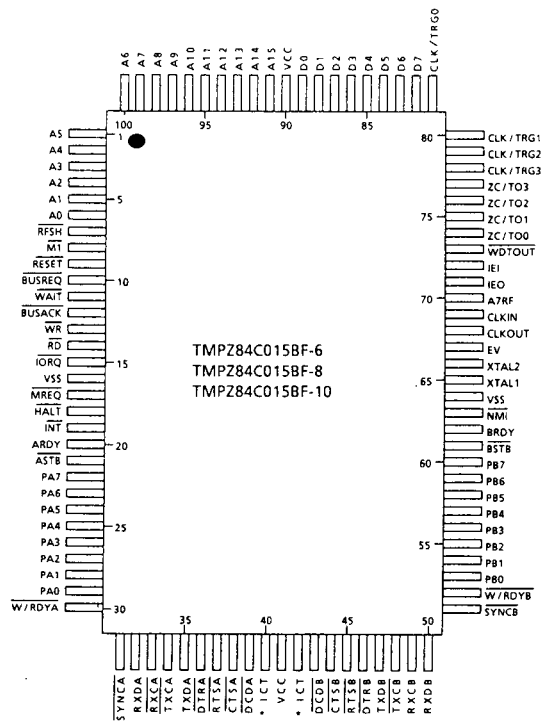
- (1) TLCS-Z80シリーズのMPU+CTC+SIO+PIO+CGCやウォッチドッグタイマの機能内蔵
- (2) 高速動作可能 (6MHz, 8MHz, 10MHz動作, 12MHz動作)
- (3) クロック発生回路内蔵 (CGC: クロックジェネレータ/コントローラ内蔵)
- (4) スタンドバイ機能内蔵 (コントローラ内蔵) により4種類の動作モード選択可能  
RUNモード (通常動作)  
IDLE1モード (クロック発振のみ継続)  
IDLE2モード (CTCによるウェイクアップが可能)  
STOPモード (クロック発振停止: スタンドバイ状態)
- (5) 広範囲な動作電圧 : 5V±10%
- (6) 広範囲な動作温度 : -40°C~+85°C  
-40°C~+70°C (8MHz, 10MHzバージョン)
- (7) 低消費電力  
動作時 : (RUNモード) 25mA TYP. (@6MHz), 35mA TYP. (@8MHz),  
45mA TYP. (@10MHz)  
アイドル時 : (IDLE1モード) 1.5mA TYP. (@6MHz), 2mA TYP. (@8MHz),  
2.5mA TYP. (@10MHz)  
(IDLE2モード) 11mA TYP. (@6MHz), 15mA TYP. (@8MHz),  
19mA TYP. (@10MHz)  
スタンバイ時: (STOPモード) 500nA TYP

①

- (8) TLCS-Z80シリーズのSIOの機能を内蔵  
2組の独立した全二重チャンネルで非同期はもとより、同期式のバイト指向(モノシンク、バイシンク)及びビット指向のHDLC, CCITT-X. 25のプロトコルをサポート。  
CRC生成、チェック機能を内蔵。  
1200Kビット/sec(6MHz), 1600Kビット/sec(8MHz)/2Mビット/sec(10MHz)までのデータ転送レートが可能。
- (9) TLCS-Z80シリーズのCTCの機能を内蔵  
4組の独立したチャンネル内蔵。  
独立にタイマモード/カウンタモードの設定が可能。  
SIOのボーレートジェネレータとしても使用可能。
- (10) TLCS-Z80シリーズのPIOの機能を内蔵。  
ハンドシェイク機能を持つプログラム可能な2組の独立した8ビット入出力ポートを内蔵  
各ポートは、プログラムにより4種類の動作モード選択可能  
モード0 (バイト出力モード)  
モード1 (バイト入力モード)  
モード2 (バイト入出力モード)  
モード3 (ビットモード)
- (11) ウォッチドッグタイマを内蔵。
- (12) プログラムによるデジチェーン割込み制御が可能。
- (13) ダイナミックRAMリフレッシュコントローラ内蔵。
- (14) TTL/CMOSコンパチブル。
- (15) 小形標準100ピンミニフラットパッケージに封入。
- (16) 東芝製リアルタイムエミュレータ(RTE80)及び市販Z80 ICE使用可能  
(TMPZ84C015Bをエミュレータチップとして使用)。
- (17) 東芝製エミュレータボードを装備。

## 2. ピン配置とピン機能

### 2.1 ピン配置 (上面図)



100289

(注) \*ICT端子は、TEST用端子ですので、外部では何も接続しないで下さい。

図2.1 ピン配置図

2.2 (A) ピン名称と機能 (1/5)

ピン名称	ピン数 (番号)	ピン形態	機能
D0~D7	8 (82~89)	入出力 3ステート	8ビット双方向性データバスです。
A00~A15	16 (91~100) (1~6)	出力 3ステート	16ビットのアドレスバスです。 メモリや入出力ポートのアドレス指定を行いません。 リフレッシュ期間中は、下位7ビットとA7RFにリフレッシュアドレスが出力されます。
$\overline{M\bar{I}}$	1 (8)	出力 3ステート	マシンサイクル1を示す信号です。 オペコードフェッチサイクルで $\overline{MREQ}$ 信号とともに"0"が出力されます。 2バイトのオペコード実行時には、オペコードフェッチごとに出力されます。 マスクابل割り込みアクノリッジサイクルでは $\overline{IORQ}$ 信号とともに"0"が出力されます。 EV入力により高インピーダンス出力となります。
$\overline{RD}$	1 (14)	出力 3ステート	リード信号です。 MPUがメモリまたはI/Oからデータを受入れ可能な状態になったことを知らせる信号です。 指定されたI/Oあるいはメモリのデータをこの信号でゲートし、データバスに乗せMPUに読み取らせます。 BUSREQ入力により高インピーダンス出力となります。
$\overline{WR}$	1 (13)	出力 3ステート	ライト信号です。 指定したメモリあるいは、I/Oに格納すべきデータがデータバス上に乗っている時出力されます。 BUSREQ入力により高インピーダンス出力となります。
$\overline{MREQ}$	1 (17)	出力 3ステート	メモリリクエスト信号です。 メモリアクセスのための実行アドレスがアドレスバスに乗っている時に"0"が出力されます。 また、メモリリフレッシュ期間中もRFSH信号とともに"0"が出力されます。
$\overline{IORQ}$	1 (15)	出力 3ステート	入出力リクエスト信号です。 入出力動作で入出力のためのアドレスがアドレスバスの下位8ビット(A0~A7)に乗っているときに"0"が出力されます。また、 $\overline{IORQ}$ 信号は割り込みアクノリッジ時に $\overline{M\bar{I}}$ 信号とともに出力され、割り込み応答ベクトルをデータバス上に乗せても良いことをI/Oに知らせます。 尚、TMPZ84C015BのCTC、PIO、SIOの割り込み優先順位の組み合わせは、プログラムで選択可能です。
IEO	1 (71)	出力	割り込みイネーブル出力です。 デジチェーンにおいて、TMPZ84C015Bの下位に接続される周辺LSIの割り込みを制御します。 IEI端子がHレベルでかつ、内蔵周辺LSIの割り込みサービスをしていない場合のみHレベルになります。
XTAL1 XTAL2	2 (65) (66)	入力 出力	水晶発振子接続端子です。 システムクロック(CLKOUT)周波数の2倍の発振周波数を持つ発振子を接続して下さい。

ピン名称と機能 (2/5)

ピン名称	ピン数 (番号)	ピン形態	機能
CLKIN	1 (69)	入 力	単相のクロック入力です。 クロック入力にDC状態("1"レベルまたは"0"レベル継続)になると動作を停止し、そのときの状態を保持します。 通常は、CLKOUTを接続しますが外部クロックで動作を行わせる場合はCLKINに外部クロックを入力します。
CLKOUT	1 (68)	出 力	単相のクロック出力です。 STOPモードまたはIDLE1モードでホールド命令の実行により、CLKOUT出力を"0"に保持します。 RUNモードおよびIDLE2モードではクロックを出力し続けます。 他の周辺ICへのクロックとして使用します。
RESET	1 (9)	入 力	リセット信号入力端子です。 TMPZ84C0158の内部をリセットする信号です。 STOP, IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
INT	1 (19)	入出力 オープン ドレイン 出力付	マスカブル割り込み信号です。 割り込みは内部のCTC部, SIO部, PIO部又は周辺LSIから起動されます。ソフトウェアによって割り込み許可フリップフロップ (IFF) が"1"にセットされていれば受け付けられます。 INT端子は、通常ワイヤードオアで使用されるためプルアップ抵抗を外部に付加する必要があります。 STOP, IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
WAIT	1 (11)	入 力	ウェイト要求信号です。 この信号によりMPUに対して指定されたメモリあるいはI/Oがデータの転送準備が出来ていないことを知らせます。 WAIT信号が"0"である限り、MPUはウェイト状態を継続します。
BUSREQ	1 (10)	入 力	バスリクエスト信号です。 BUSREQ信号は、MPUのアドレスバス、データバス、MREQ, IORQ, RD, WRを高インピーダンス状態にすることを要求する信号です。 BUSREQ信号は、通常ワイヤードオアで使用され、その場合はプルアップ抵抗を外部に付加します。
BUSACK	1 (12)	出 力	バスアクノリッジ信号です。 BUSREQ信号を受けて、周辺LSIに対して、MPUのアドレスバス、データバス、MREQ, IORQ, RD, WRが高インピーダンス状態になったことを知らせます。
HALT	1 (18)	出 力 3ステート	ホールド信号です。 MPUがHALT命令を実行し、ホールド状態になると"0"が出力されます。 EV入力により高インピーダンス出力となります。
RFSH	1 (7)	出 力	リフレッシュ信号です。 ダイナミックメモリのリフレッシュ用アドレスがアドレスバスの下位8ビットにのっているとき"0"が出力されます。この時、MREQ信号もアクティブ状態("0")になります。 EV入力により高インピーダンス出力となります。



ピン名称と機能 (3/5)

ピン名称	ピン数 (番号)	ピン形態	機能
CLK/ TRG0 ~ CLK/ TRG3	4 (81~78)	入 力	外部クロック/タイマトリガ入力です。 4本のCLK/TRG端子があり、4組のチャネルに対応しています。この端子から入力されるアクティブな各エッジ(立上がりまたは立下がり)により、カウンタモードではダウンカウンタの内容が-1(デクリメント)され、タイマモードではタイマ動作が起動されます。アクティブなエッジを立上がりとするか、立下がりとするかはプログラムで選択可能です。
ZC/TO0 ~ ZC/TO3	4 (74~77)	出 力	ゼロカウント/タイマアウト出力です。 タイマモード、カウンタモードのどちらかのモードにおいても、ダウンカウンタの値がゼロになると、この端子からパルスが出力されます。
IEI	1 (72)	入 力	割り込みイネーブル入力です。 デジジェーションにおいて、上位の周辺LSIの割り込みの有無を示します。015Aがデジジェーションの最上位に位置する場合は、pull upして下さい。
$\overline{\text{NMI}}$	1 (63)	入 力	ノンマスクابل割り込み要求信号です。 この割り込み要求は、マスクابل割り込みより優先度が高く、割り込み許可フリップフロップ(IFF)の状態に依存しません。 STOP、IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
EV	1 (67)	入 力	エバリュエータ用信号です。(通常は“0”を入力して下さい。) “1”を入力することによりMI, HALT, RFSH端子が高インピーダンス出力となります。 TMP284C015をエバリュエータチップとして使用するには、EV=“1”、BUSREQ=“0”として1マシサイクル実行後MPU部が電氣的に切り離れ(高インピーダンス)、他のMPU(ICEなどのMPU)からの指示に従い動作します。切り離れるMPU部の信号はA00-A15, D0-D7, MREQ, IORQ, RD, WR, MI, HALT, RFSHでBUSACKは外付け回路により切り離す必要があります。 TMP284C015Bをエバリュエータチップとして使用するエバリュエータボード、アダプタボードを用意しています。
A7RF	1 (70)	出 力	1ビットの補助アドレスバスです。 アドレスバスのビット7(A7)と同じ信号を出力します。ただしリフレッシュ期間中はアドレスバスの下位7ビットと連結した(8ビット目)8ビットのリフレッシュアドレス信号の最上位ビットとしてのアドレスを出力します。
$\overline{\text{ASTB}}$	1 (21)	入 力	ポートA用ストローブ入力です。 ポートAと外部回路とのハンドシェイク時に使用します。信号の意味は、動作モードにより異なります。(PIO部基本タイミング参照)
$\overline{\text{BSTB}}$	1 (61)	入 力	ポートB用ストローブ入力です。 ポートBと外部回路とのハンドシェイク時に使用します。信号の意味は、ASTBと同じです。ただし、ポートAがモード2のときは異なりますので注意が必要です。(PIO部基本タイミング参照)
ARDY	1 (20)	出 力	ポートA用レディ出力信号です。 ポートAと外部回路とのハンドシェイク時に使用します。信号の意味は動作モードにより異なります。(PIO部基本タイミング参照)

ピン名称と機能 (4/5)

ピン名称	ピン数 (番号)	ピン形態	機能
BRDY	1 (62)	出力	ポートB用レディ出力信号です。 ポートBと外部回路とのハンドシェイク時に使用します。信号の意味はARDYと同じです。ただしポートAがモード2のときは異なりますので注意が必要です。(PIO部基本タイミング参照)
PA0~PA7	8 (29~22)	入出力 3ステート	ポートデータA信号です。 ポートAと外部回路との間でデータの転送を行います。
PB0~PB7	8 (53~60)	入出力 3ステート	ポートデータB信号です。 ポートBと外部回路との間でデータの転送を行います。
$\overline{\text{WRDYA}}$ $\overline{\text{WRDYB}}$	2 (30, 52)	出力	SIO部のウェイト/レディ信号Aおよびウェイト/レディ信号Bです。 SIO部のプログラミングにより、ウェイトまたは、レディ信号として使用できます。 "ウェイト"としてプログラムした場合、MPUに対してデータを受け付ける用意が出来ていない場合"0"でアクティブとなりMPUにウェイトを要求します。 "レディ"としてプログラムした場合、DMAに対してデータキャラクタを受け付ける用意が出来ている場合、"0"でアクティブとなりDMAにリクエストします。
$\overline{\text{SYNCA}}$ $\overline{\text{SYNCB}}$	2 (31, 51)	入出力	同期信号です。 非同期受信モードの場合、 $\overline{\text{CTS}}$ や $\overline{\text{DCD}}$ と同様な入力端子となります。 外部同期モードの場合入力、内部同期モードの場合出力となります。
RxDA RxDB	2 (32, 50)	入力	シリアル受信データです。
$\overline{\text{RXCA}}$ $\overline{\text{RXCB}}$	2 (33, 49)	入力	受信クロック信号です。 非同期モードの場合、プログラムにより、データ転送レートのX1, X16, X32, X64の受信クロックを選ぶことが出来ます。
$\overline{\text{TXCA}}$ $\overline{\text{TXCB}}$	2 (34, 48)	入力	送信クロック信号です。 非同期モードの場合、プログラムにより、データ転送レートのX1, X16, X32, X64の送信クロックを選ぶことが出来ます。
TXDA TXDB	2 (35, 47)	出力	シリアル送信データです。
$\overline{\text{DTRA}}$ $\overline{\text{DTRB}}$	2 (36, 46)	出力	データターミナルレディ信号です。 シリアルデータを受信可能かどうかを出力します。 つまり受信できる状態ならこの信号をアクティブにして、相手側のトランスミッタをイネーブルにします。受信できる状態になれば、この信号を非アクティブにし相手側からの送信を迎えることができます。
$\overline{\text{RTSA}}$ $\overline{\text{RTSB}}$	2 (37, 45)	出力	送信要求信号です。 シリアルデータを送信する場合"0"を出力します。 つまり送信を行いたい時、その信号をアクティブにして相手側のレシーバをイネーブルにします。

ピン名称と機能 (5/5)

ピン名称	ピン数 (番号)	ピン形態	機能
$\overline{\text{CTS}}\text{A}$ $\overline{\text{CTS}}\text{B}$	2 (38, 44)	入 力	送信可能信号です。 この端子が“0”であると、この信号を送ったモデムがシリアルデータ送信を受け付けられることを示します。 つまり受信できる状態であれば、相手側のこの信号をアクティブにし相手側のトランスミッタをイネーブルにします。 受信できる状態になれば、非アクティブにし、相手側トランスミッタからの送信を抑えることができます。
$\overline{\text{DCDA}}$ $\overline{\text{DCDB}}$	2 (39, 43)	入 力	データキャリアディテクト信号です。 この端子が“0”であると、シリアルデータの受信をイネーブルに出来ます。 つまりデータを送信したい時、相手側のこの信号をアクティブにし相手側のレシーバをイネーブルにします。
*ICT	2 (40, 42)	出 力	TEST用端子です。 オープン状態で使用して下さい。
$\overline{\text{WD}}\text{TOUT}$	1 (73)	出 力	ウォッチドッグタイマの出力です。 外部で接続する端子により出力するパルス幅が異なります。
VCC	2 (41, 90)		電源端子 (+5V) です。
VSS	2 (16, 64)		GND端子 (0V) です。

100289

2.2 (B) TMPZ84C015B 内部I/O アドレスマップ

内部I/O	チャンネル	I/O アドレス
CTC (カウンタ タイマ)	ch 0	# 10
	ch 1	# 11
	ch 2	# 12
	ch 3	# 13
SIO (シリアル I/O)	ch A 送信/受信 バッファ	# 18
	ch A コマンド/ステータス レジスタ	# 19
	ch B 送信/受信 バッファ	# 1A
	ch B コマンド/ステータス レジスタ	# 1B
PIO (パラレル I/O)	Aポートデータ	# 1C
	Aポートコマンド	# 1D
	Bポートデータ	# 1E
	Bポートコマンド	# 1F
ウォッチドッグタイマ/スタン ドバイ モード設定レジスタ	WDTERR, WDTPR, HALTMR	# F0
ウォッチドッグタイマ コマンド レジスタ	クリアーコマンド (4E <sub>H</sub> ) ディセーブルコマンド (B1 <sub>H</sub> )	# F1
ディジーチェーン割込み優先 順位設定レジスタ	bit2~bit0のみ使用	# F4

100289

3. 動作説明

3.1 全体ブロック図及び各部の動作概説

3.1.1 全体ブロック図

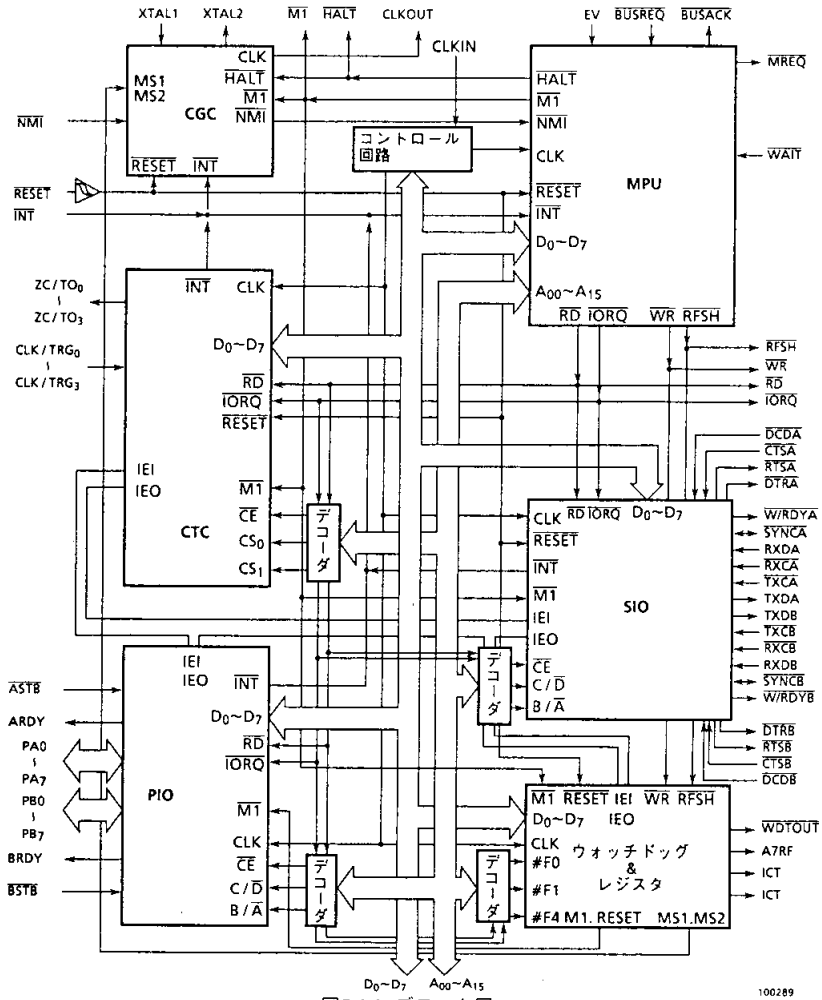


図3.1.1 ブロック図



### 3.1.2 各部の動作概説

TMPZ84C015Bは、大きく分けてプロセッサ部(以下MPU部と呼ぶ)とカウンタタイマサーキット部(以下CTC部と呼ぶ)、直列入力/出力コントローラ部(以下SIO部と呼ぶ)、並列入出力コントローラ部(以下PIO部と呼ぶ)、ウォッチドッグタイマ部(以下WDT部と呼ぶ)およびクロックジェネレータ/コントローラ部(以下CGC部と呼ぶ)に分けることができます。

- MPU部には、当社TLCS-Z80 MPU:TMPZ84C00Aの機能および端子を全て具備しており、完全にTLCS-Z80マイクロプロセッサとしての役割を全うします。
- CTC部には、当社TLCS-Z80 CTC:TMPZ84C30Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えております。  
4つの独立したタイマチャンネルは、内部でI/Oアドレスが指定されています。
- SIO部は、当社TLCS-Z80 SIO:TMPZ84C43Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えています。  
2つの独立したシリアルチャンネルは、内部でI/Oアドレスが指定されています。
- PIO部は、当社TLCS-Z80 PIO:TMPZ84C20Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えております。  
2つの独立したパラレルポートは、内部でI/Oアドレスが指定されています。
- WDT部は、制御用の応用には欠かせない1チャンネルウォッチドッグタイマおよびリード/ライト可能なウォッチドッグタイマコントロールレジスタを内蔵しています。  
また、各部の割込み優先順位を決定するレジスタが内蔵されており、プログラムでのデジチェーン割込みの優先順位が可能です。また、TMPZ84C015Bの内部と外部に追加する周辺LSIとのデジチェーン割込みを形成するのに必要なIEL、IEO端子も備えております。
- CGC部は、このLSI全体をコントロールする4種類の機能を持っておりRUNモード、IDLE1モード、IDLE2モード、STOPモードがプログラムで選択出来ます。  
また、CGC部から出力されるCLKOUT端子とCGC以外に供給するCLKIN端子の2つを持っているためCGC部を使用しないで外部回路で作ったクロックをCLKIN端子に入力して使用できます。  
以下CGC部の4種類の機能についてCLKOUT端子を接続した場合について簡単に説明します。
- RUNモードは、CGC部で発生したクロックを内部及び他の周辺LSIに供給しプログラムによる通常のマイコン動作を行える状態を言います。
- IDLE1モードは、クロック発振は行われていますが、TMPZ84C015B内部及び他の周辺LSIへのクロック供給を行わず、システムの消費電力を低減しかつ再起動時間を短く出来ます。

- IDLE2モードは、クロック発振が行われ、CLKOUT端子にクロックが出力されま  
す。TMPZ84C015B内部のCTC部だけにクロックが供給されるのでCTC部による  
ウェイクアップが出来ます。またIDLE1と同様にシステムの消費電力を低減しかつ  
再起動時間を短く出来ます。
- STOPモードでは、クロック発振も行わずシステムを完全に停止させることが出来  
ます。このモードではCMOS特有の極めて低い消費電力で内部のデータを保持させ  
つつシステムの再起動を待つ事が出来ます。  
なお、これらのモードは、MPUがHALT命令を実行したときのみ実現されます。  
この他TMPZ84C015Bには、エバリュエータチップとしての機能を持たせるため  
BUSREQ $\bar{Q}$ 端子と一緒に使用しMPU部分を高インピーダンスとして切離すためのEV  
端子を用意しています。  
この2つの端子によりTMPZ84C015B内のMPU部を電氣的に切離しICE(インサー  
キットエミュレータ)からの信号によってエミュレーション作業を行うことが出来  
ます。この場合TMPZ84C015E内のMPU部はEV端子="1", BUSREQ $\bar{Q}$ ="0"として1  
マシンサイクル実行後MPU部からの指示に従い動作します。  
ここで切離されるMPU部の信号はA00-A15, D0-D7, MREQ $\bar{Q}$ , IORQ $\bar{Q}$ , RD, WR, MT,  
HALT, RFSHでBUSACKは外付け回路により切離す必要があります。

### 3.2 CPU部説明

ここではTMPZ84C015BのCPU部のシステム構成について説明します。尚、CPU部の詳細な説明は単体Z80CPUの説明部を参照して下さい。

#### 3.2.1 CPU部ブロック図

図3.2.1にCPU部のブロック図を示します。

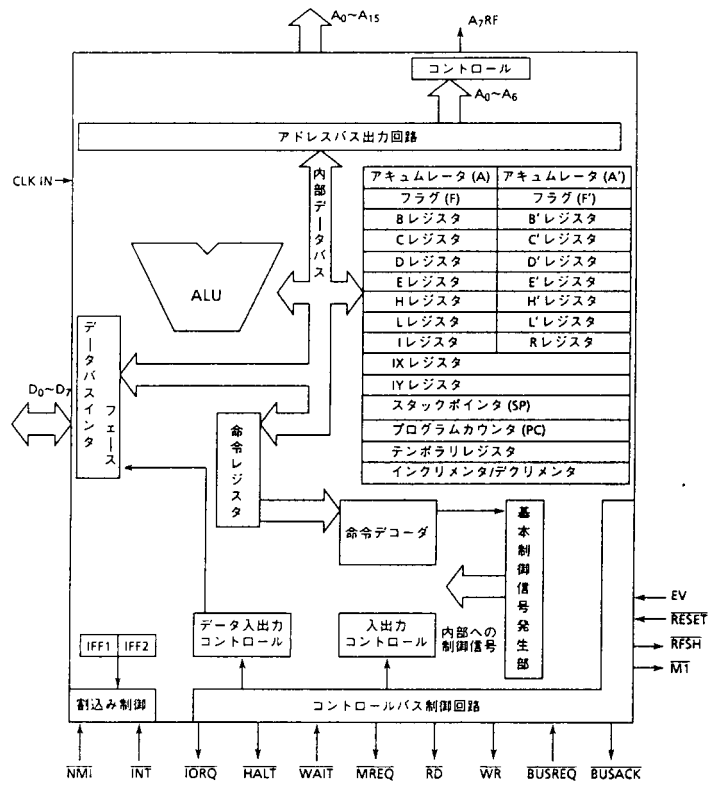


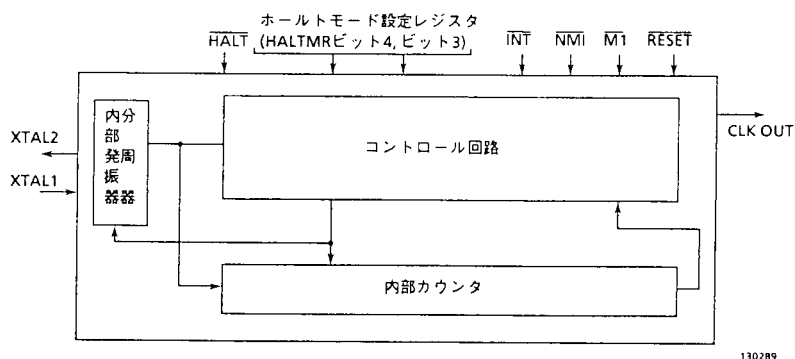
図3.2.1 CPU部ブロック図

### 3.3 CGC部動作説明

ここでは、クロックジェネレータ/コントローラ部 (CGC部) のシステム構成と機能および基本動作について説明します。

#### 3.3.1 CGC部ブロック図

図3.3.1に内部構成の概要ブロック図を示します。



#### 3.3.2 CGC部システム構成

CGC部の内部は、おおよそ図3.3.1のような構成になっています。

外部発振子より入力された波形は、内部発振器及び分周器により発振後分周されクロック用の方形波に変換されます。クロックはコントロール回路、カウンタにより制御され、外部に出力されます。

この節では、CGC部の以下の主要構成要素および機能について説明します。

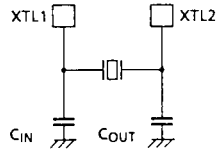
- (1)クロックの発生
- (2)動作モード

##### [1] クロックの発生

CGC部は発振回路を内蔵しており、外部端子 (XTAL1, XTAL2) に発振子を接続することによって容易に所要のクロックを作ることができます。このCGC部では発振周波数の2分の1の周波数のクロックが出力されます。

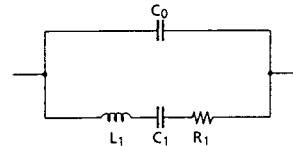
図3.3.2に発振子の接続例を示します。





130289

図3.3.2 (a) 発振子の接続例



060389

図3.3.2 (b) 発振子等価回路

- (1) 水晶振動子を使用する場合は次の特性のもの、又は東京電波“MR8000-C20”または“MR8000-C14”(発振周波数8MHz)、“MR12000-C20”または“MR12000-C14”(発振周波数12MHz)を使用して下さい。

水晶振動子名称	保持器	発振周波数 (MHz)	C <sub>IN</sub> (pF)	C <sub>OUT</sub> (pF)	水晶パラメータ (Typ.)			ドライブレベル Typ. (mW)	測定回路条件	
					C <sub>1</sub> (pF)	C <sub>0</sub> (pF)	R <sub>1</sub> (Ω)		負荷容量 (pF)	負性抵抗 (KΩ)
MR8000-C20	HC-49-U (TR-49)	8	22	33	—	4.00	30.0	—	—	—
MR8000-C14		8	20	20	0.0189	3.87	6.0	0.5	12.67	1.6
MR12000-C20		12	33	33	—	4.00	25.0	—	—	—
MR12000-C14		12	20	20	0.0190	3.81	6.9	0.5	12.55	1.2
MR16000-C14		16	20	20	0.0197	4.00	5.7	0.5	12.20	0.65
MR20000-C14		20	20	20	—	4.00	25.0	0.5	14.00	—

(注) 測定回路条件の負荷容量は、ストレージキャパシタは含まれません。

110691

- (2) セラミック振動子を使用する場合は、村田製作所“CSA8.00MT100”または“CST8.00MT”(発振周波数8MHz)、“CSA12.0MT100”または“CST12.0MT”(発振周波数12MHz)がこれらと同等の特性のものを使用して下さい。

セラミック振動子名称	発振周波数 (MHz)	C <sub>IN</sub> (PF)	C <sub>OUT</sub> (PF)
CSA8.00MT100	8	30	30
CST8.00MT	8	外付け容量は不用	
CSA12.0MT100	12	30	30
CST12.0MT	12	外付け容量は不用	
CSA20.00M×040	20	5	5

110691

(注) CST8.00MT100及びCST12.0MT100は、外付け容量が不要なタイプです。

## [2] 動作モード

CGC部には、RUNモード、IDLE1モード、IDLE2モード、STOPモードの4種類の動作モードを制御する機能があります。これらのうちいずれか1つをモード設定レジスタ(#F0:ビット4, ビット3:HALTMR)により選択出来ます。これらの動作モードは、MPUがホールド命令実行時に有効となります。MPUはホールド命令をフェッチすると、HALT信号に“0”を出力し、ホールド状態に入ったことを知らせます。

この信号により、ホールト命令実行以後、CGC部は、設定されたいずれかのモードの動作を行います。

表3.3.1に各モードの動作を示します。

表3.3.1 CGC動作モード

ホールトモード設定レジスタ (#F0:HALTMR)		動作モード	各モードの動作内容
ビット4	ビット3		
0	0	IDLE1モード	内部発振器のみ動作し、外部へのクロック供給を停止します。クロック出力(CLKOUT)は"0"を保持します。
0	1	IDLE2モード	内部発振器の動作を継続し外部へのクロック(CLKOUT)も継続します。CLKOUT端子とCLKIN端子を接続した場合CTC部へのみクロック(CLKOUT)の供給を継続します。
1	0	STOPモード	内部動作をすべて停止します。クロック出力(CLK)は"0"を保持します。
1	1	RUNモード	外部へのクロックの供給を継続します。

130289

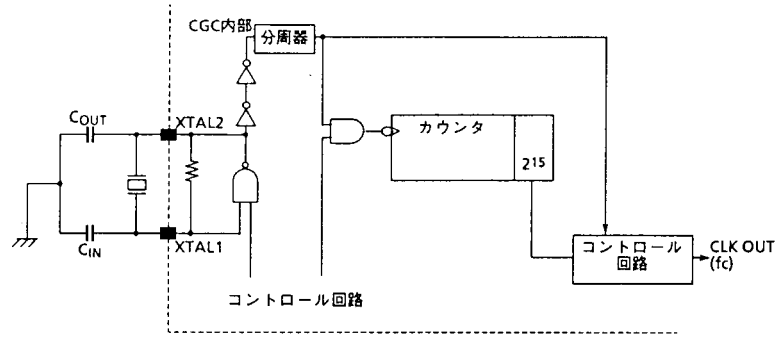
IDLE1モード、IDLE2モード(以下IDLEモードと呼ぶ)およびSTOPモードでのクロック停止状態からのリスタートは、リセット(RESET信号)、マスカブル割込み受け付け(INT信号)又はノンマスカブル割込み受け付け(NMI信号)によって行われます。

[3] リスタート時のウォーミングアップ時間(STOPモードからのリスタート)

CPUはホールト状態を割込み受け付けによって解除すると、つぎは割込み処理の実行へと移ります。したがってCGCはSTOPモードでNMIまたはINTのリスタート信号によってクロックをリスタートする場合には、その発振が十分安定してから外部へ供給する必要があります。CGCは内部カウンタを動作させることにより安定周波数に達するに十分なウォーミングアップ時間をつくります。発振周波数を分周した内部カウンタ出力の立上がりでウォーミングアップを終え、クロック出力を開始します。ウォーミングアップ時間は、外部に接続される発振子の2\*\*14分周した時間です。

図3.3.3に内部カウンタ部のブロック図、表3.3.2に発振周波数とウォーミングアップ時間の関係を示します。

なお、RESET信号によるリスタートの場合には、パワーオン時にすばやい動作を行うためにウォーミングアップ動作はしません。この場合には、RESET信号の幅を十分に取り、ウォーミングアップ時間を作ってください。



110691

図3.3.3 内部カウンタ部のブロック図

表3.3.2 ウォーミングアップ時間

カウンタ出力	ウォーミングアップ時間	
	$2^{**14} / f_c$	
$2^{**15}$	$f_{XTAL} = 12\text{MHz}$	2.7 ms
	$f_{XTAL} = 8\text{MHz}$	4 ms

\* $f_c = f_{XTAL} / 2$   
130289

3.3.3 CGC部状態遷移図と基本タイミング

この節ではCGC部の動作時の状態遷移および基本タイミングについて説明します。

[1] 状態遷移図

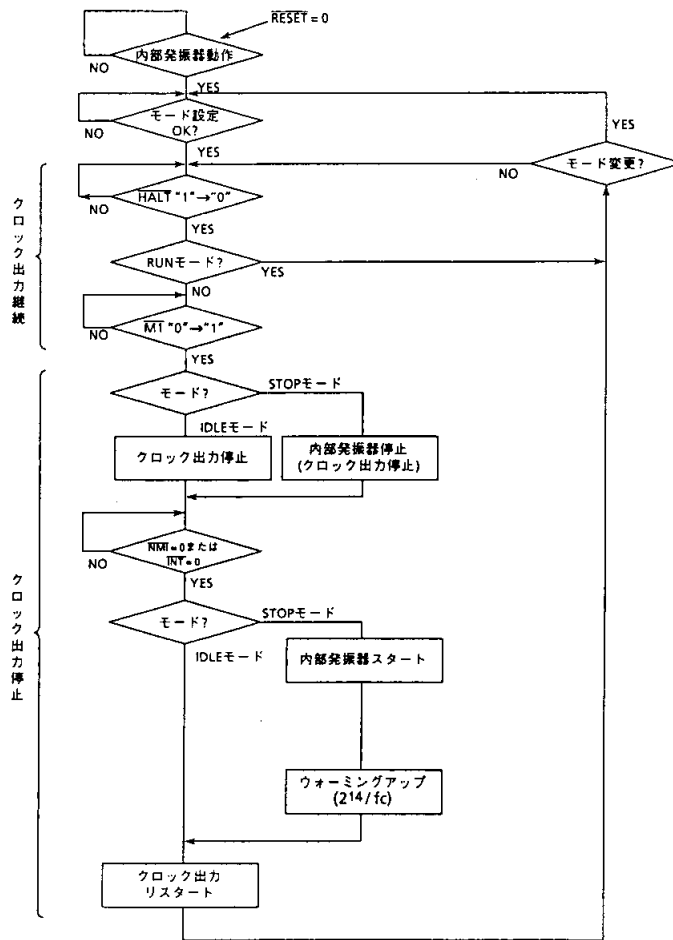


図3.3.4 状態遷移図

### ③

#### [2] 基本タイミング

ここではCGC部の基本タイミングについて説明しますがわかりやすく説明するためにCGC部のクロック出力端子 (CLKOUT) とクロック入力端子 (CLKIN) を接続した場合について説明します。

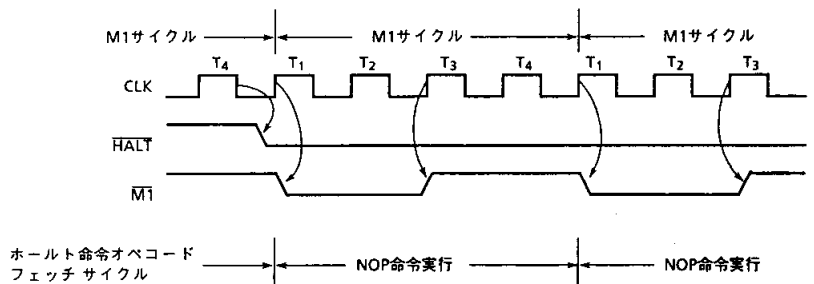
##### (1) ホールト命令実行時の動作

MPUがホールト命令を実行した時の各モードの基本タイミングを説明します。MPUはホールト命令 (HALT) オペコードフェッチサイクル (M1) のT4ステートの立下がりに同期してHALT信号を“0”にします。この信号によりCGCは、MPUがホールト状態に入ることを検知します。

##### (a) RUNモード (#F0: ビット4=1, ビット3=1: HALTMR)

図3.3.5にRUNモードでの基本タイミングを示します。

CGCはRUNモードでは、MPUがホールト状態でもクロック外部に供給し続けます。したがって、MPUは、ホールト状態中、NOP命令を実行し続けます。メモリアドレスのリフレッシュが必要なシステムではこのモードを使用します。



130289

図3.3.5 RUNモードのタイミング

##### (b) IDLE1モード (#F0: ビット4=0 ビット3=0: HALTMR), IDLE2モード (#F0: ビット4=0, ビット3=1: HALTMR)及びSTOPモード (#F0: ビット4=1, ビット3=0)

図3.3.6にIDLEモードおよびSTOPモードでの基本タイミングを示します。これらのモードでは、HALT信号とホールト命令の次のMI信号によってT4ステートの“0”の状態でクロック出力を停止します。

ただし、STOPモードの場合はCGCの内部発振器も停止します。

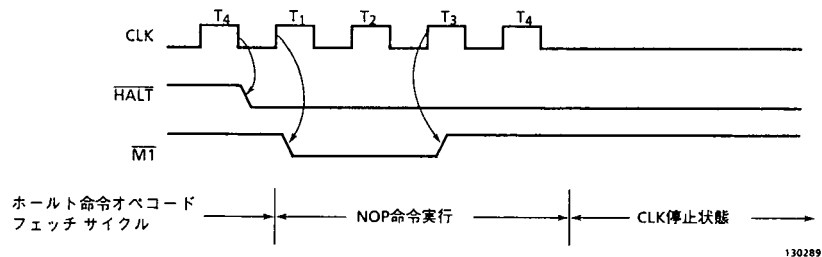


図3.3.6 IDLE/STOPモードのタイミング

(2) 各モードからのクロック出力再開

IDLEモードまたはSTOPモードでのクロック停止状態は次のいずれかに“0”を入力することによって再開します。(但しここはクロック出力の再開の説明を行っているだけです。システムとしての再起動は、3.3.4項を参照して下さい。)

- INT (レベルトリガ入力)
- NMI (エッジトリガ入力)
- RESET (レベルトリガ入力)

(a) IDLEモードからのクロック出力再開

図3.3.7(a)にIDLE1モードでのクロック出力停止状態からの出力再開シーケンスの基本タイミングを示します。IDLEモードでの再開では、クロック出力停止中も内部発振器が動作しているので比較的短い遅れ時間でクロック出力が再開されます。

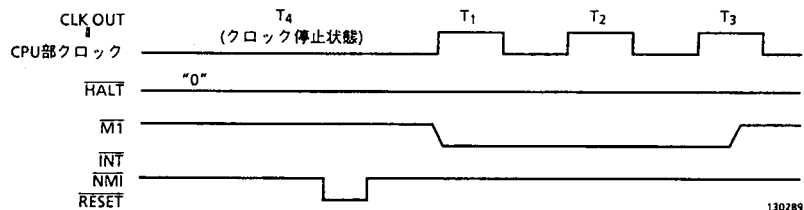


図3.3.7(a) クロック停止状態からのリスタートシーケンスのタイミング (IDLE1モード)

(b) STOPモードからのクロック出力再開

図3.3.8にSTOPモードでのクロック出力停止状態からのリスタートシーケンスの基本タイミングを示します。INTまたはMNI信号に“0”を入力することによってリスタートを行う場合は、内部カウンタによって自動的にウォーミングアップ時間がつくれます。

なお、RESET信号によるリスタートの場合には、ウォーミングアップ動作は行わず即発振を再開します。

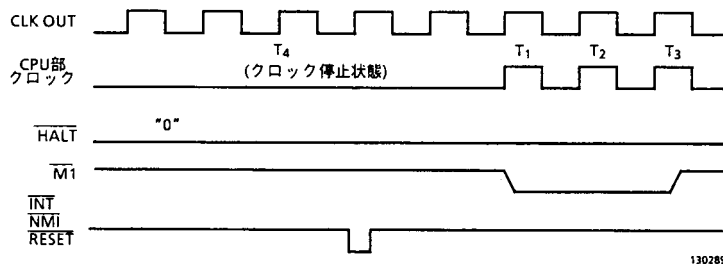


図3.3.7 (b) クロック停止状態からのリスタートシーケンスのタイミング(IDLE2モード)

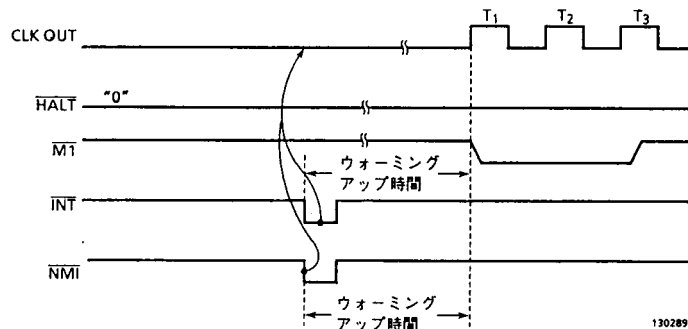


図3.3.8 クロック停止状態からのリスタートシーケンスのタイミング (STOPモード)

### 3.3.4 MPU部とのかかわり

ここではCGC部とMPU部のかかわりについてホールド解除動作を中心に説明します。

#### [1] RESET信号

図3.3.9に、MPUとCGCのRESET信号を共用したTMPZ84C015Bの場合のSTOPモードからのリスタートタイミング例を示します。

MPUにリセットをかけるためには、安定なクロックで少なくとも3クロック間RESET信号を“0”にしていなければなりません。また、MPUはRESET信号が“1”になると少なくとも2Tステートのゲミーサイクル後ホールド状態を解除し、0000H番地から命令を実行します。

STOPモードでRESET信号によりクロック出力をリスタートする場合、ウォーミン

グアッ時間決定用の内部カウンタは動作しません。

したがって内部発振器再起動直後の不安定なクロック出力によりMPUが正しく再開しない場合又、パワーオン時の水晶発振の安定性なども考慮し、MPUに確実にリセットがかかるように十分な期間RESET信号を“0”に保つ必要があります。

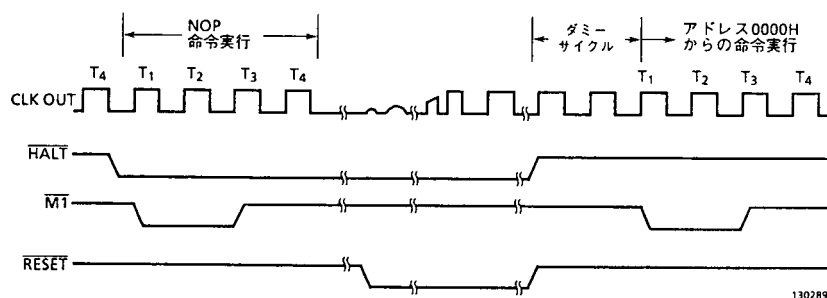


図3.3.9 RESET信号によるクロックリスタートタイミング例

130289

## [2] 割込み信号によるホールド解除

CGCはIDLEおよびSTOPモードから、INTまたはNMI信号の入力によりクロック出力を再開し、そのクロック入力によりMPUは動作を開始します。ただし、クロック出力後はMPUはまだホールド状態であり、NOP命令を実行します。ホールド状態を解除するためにはMPUに割込み信号 (INTの場合を最低1命令実行分入力しておかねばなりません。

MPUの割込み検出タイミングは各命令 (ホールド状態時はNOP命令) の最終クロックの立上がりです。

### (1) ノンマスクابل割込み (NMI) 使用の場合

MPUのノンマスクابل割込みはエッジトリガ入力であり、MPU内部にフリップフロップ (F/F) があります。この内部NMI F/Fの状態が命令の最終クロックの立上がりでサンプリングされます。したがって、短いローアクティブ (“0”) のパルスが割込み検出タイミング以前に入力されていれば受け付けられます。TMPZ84C015BのNMI入力はCGC部を経由してMPUのNMI入力に接続されていますが、同じ動作をします。(図3.3.10参照)

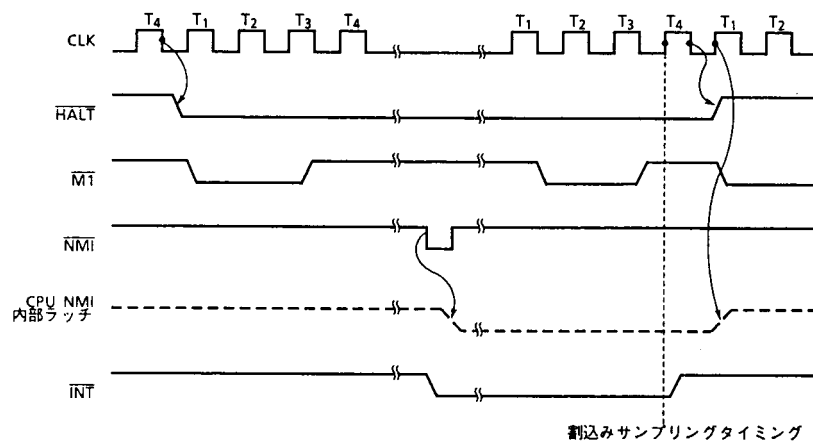
### (2) マスクابل割込み (INT) 使用の場合

マスクابل割込みでは、INT入力信号の“0”の検出以前にプログラムでマスクابل割込み許可用フリップフロップ (IFF) を“1”にセットしておかねばなりません。

又、CGC部にINT信号が受け付けられクロックの供給を再開しても1命令 (NOP命令) 実行終了までINT信号を入力しておかねば割込みは受け付けられません。又、CGC部にINT信号が受け付けられクロックの供給を再開しても1命令 (NOP命令) 実行終了までINT信号を入力しておかねば割込みは受け付けられません。



図3.3.10に割り込み信号によるホールド解除のタイミングを示します。



130289

図3.3.10 割り込み信号によるホールド解除のタイミング

### 3.7 スタンドバイ機能

TMPZ84C015Bは、HALT命令を実行するとホールドモード設定レジスタ(#F0:ビット4, ビット3:HALTMR)の内容により、RUN, IDLE1, IDLE2, STOPモードのいずれかになります。(ただしRESET端子によるリセット動作直後はRUNモードに設定されます。)

これらの設定方法は下記のとおりです。

尚、各モードの説明及びタイミングについては、3.3CGC部の動作説明を参照して下さい。

ホールドモード設定レジスタは、I/Oアドレス領域のF0番のビット4, ビット3に割付けられています。

これらホールドモードからの解除は、割込み(NMI端子によるノンマスクابل割込みとINT端子によるマスクابل割込み)とRESET端子によるリセットによって行われます。

マスクابل割込みでMPUがEI状態(EI命令を実行後)又はノンマスクابل割込みで割込みが受けられ、割込み処理を開始します。

一方マスクابل割込みでMPUがDI状態(リセット後及びDI命令を実行後)ならHALT命令(実際は、NOP命令)を実行後もとのホールドモードに再び入ります。

#### 3.7.1 ホールドモードの設定

プログラム暴走によるホールドモードの誤設定によるウォッチドッグタイマの動作停止防止のため2重構造のコントロールになっています。

ホールドモードの設定は、ホールドモード設定レジスタ(HALTMR)とホールドモードコントロールレジスタ(#F1:ビット7~ビット:HALTMCR)の2つのレジスタにより設定されています。

図3.7.1にホールドモードコントロールレジスタ(HALTMCR)の内容、図3.7.2にホールドモード設定レジスタ(HALTMR)の内容を示します。

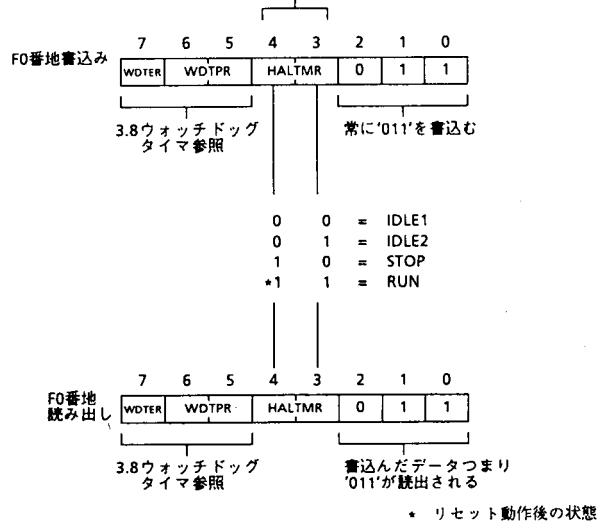
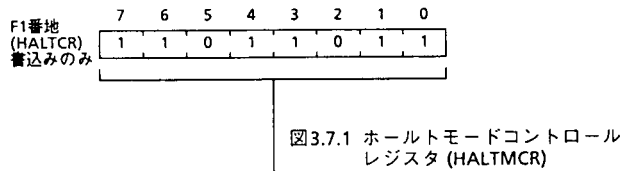


図3.7.2 ホールトモード設定レジスタ

130289

図3.7.3にCLKOUT端子とCLKIN端子を接続した場合のホールト時の各部の状態を示します。

モード	CGC 発振器	CPU	CTC	PIO	SIO	ウォッチドッグ タイマ (WDT)	CLKOUT 端子
IDLE1	○	×	×	×	×	×	×
IDLE2	○	×	○	×	×	×	○
STOP	×	×	×	×	×	×	×
RUN	○	○	○	○	○	○	○

130289

○.....動作継続      ×.....動作停止  
(条件: CLKOUT端子とCLKIN端子を接続)

図3.7.3 ホールト時の各部の状態

尚、CLKIN端子よりクロックを入力する(OGC部の発振器を使用しない)場合のホールトモードはRUNモードを設定して下さい。

### 3.7.2.ホールトモード設定手順

ホールトモードは、リセット後RUNモードとなっていますが、新しくモードを設定する場合のプログラム手順を図3.7.4に示します。

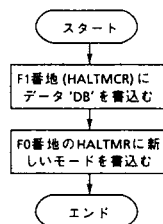


図3.7.4 ホールトモードの設定

130289

### 3.8 ウォッチドッグタイマ(暴走検出用タイマ)

ウォッチドッグタイマ(WDT)は、MPU暴走による誤動作を検出し正常動作にもどす働きをするタイマです。

#### 3.8.1 ウォッチドッグタイマ部ブロック図

WDTのブロック図を図3.8.1に示します。

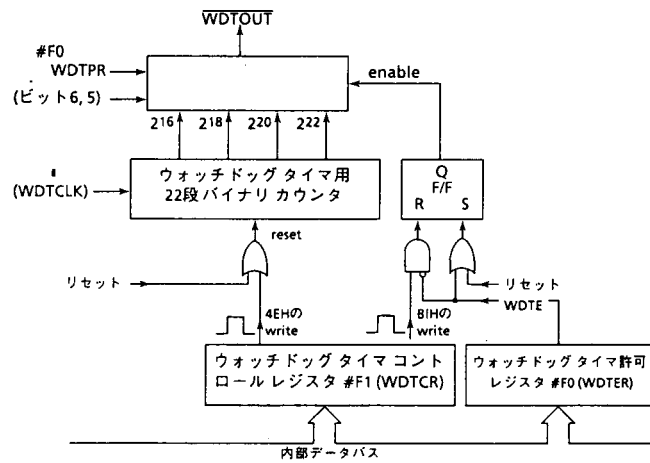


図3.8.1 ブロック図

④

### 3.8.2 ウォッチ ドッグ タイマ の 設 定

- (1) ウォッチ ドッグ タイマ の 許 可 : ウォッチ ドッグ タイマ イネーブル レジスタ (#F0 : ビット 7 : WDTERR) と ウォッチ ドッグ タイマ 周 期 レジスタ (#F0 : ビット 6, ビット 5 : WDTPR) の 2 つ の レジスタ を 設 定 し ま す 。

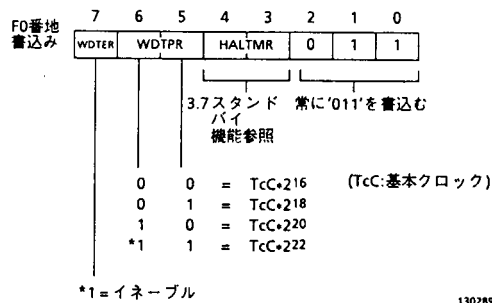


図3.8.2 ウォッチ ドッグ タイマ 許 可 設 定

- (2) ウォッチ ドッグ タイマ の 禁 止 : ウォッチ ドッグ タイマ イネーブル レジスタ (WDTERR) を デイセーブル 後 ウォッチ ドッグ コントロール レジスタ (#F1 : ビット 7~ビット 0 : WDTERR) に データ 'B1' を 書 込 む と 設 定 さ れ ま す 。

こ れ は プログラム 暴 走 に よる ウォッチ ドッグ タイマ の 動 作 停 止 の 誤 設 定 防 止 の た め に 2 重 構 造 の コントロール に な っ て い ま す 。

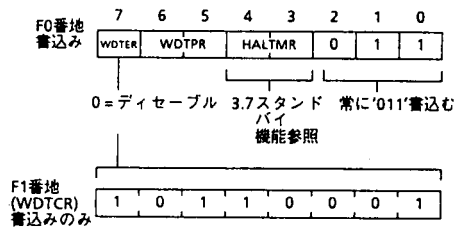
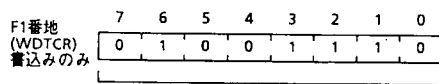


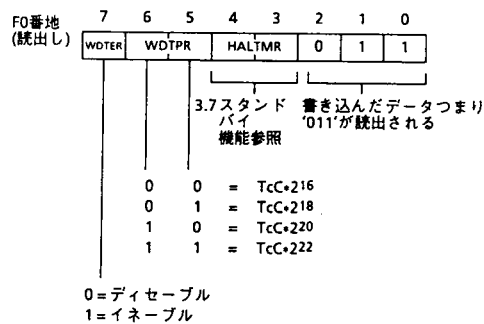
図3.8.3 ウォッチ ドッグ タイマ 禁 止 設 定

- (3) ウォッチ ドッグ タイマ クリア : ウォッチ ドッグ タイマ コントロール レジスタ (WDTERR) に データ '4E' を 書 込 む こ と に よ り 行 わ れ ま す 。



130289

図3.8.4 ウォッチ ドッグ タイマのクリア



130289

図3.8.4 ウォッチ ドッグ タイマ設定レジスタの読出し

### 3.8.3 ウォッチ ドッグ タイマ出力 (WDTOUT端子)

ウォッチ ドッグ タイマをイネーブルにして使用するとウォッチ ドッグ タイマ周期レジスタ (WDTPR) で指示された時間経過後 WDTOUT端子に "0" レベル信号を出力します。

出力されるパルス幅は、WDTOUT端子の接続方法により次の2通りです。

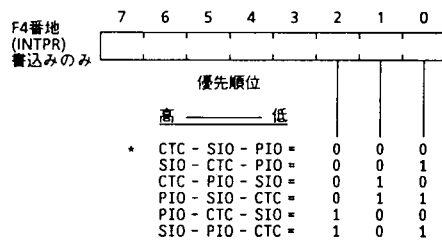
- (1) WDTOUT端子をRESETに接続した場合：5TcC (TcC: 基本クロック) の "0" レベルのパルスを出力します。
- (2) RESET端子に以外に接続した場合：ソフトウェアによるウォッチ ドッグ タイマのクリア又は、RESET端子によるリセットが起るまで "0" レベルを出力し続けます。

### 3.9 割り込み優先順位

TMPZ84C015B内部のCTC部、SIO部、PIO部、の割り込み優先順位を決定するプログラマブルな割り込み優先順位レジスタ (#F4: ビット2~ビット0: INTPR) を内蔵しています。

### 3.9.1 割込み優先順位の設定

各部のデジチェーン割込みの優先順位の決定を行うレジスタです。

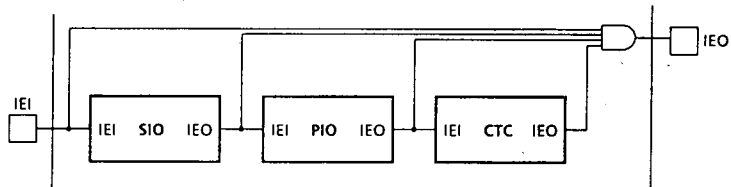


\*リセット動作後の状態

130289

図3.9.1 割込み優先順位レジスタ (INTPR)

[例] F4番地 (INTPR) に '101' を書込んだ時各部のデジチェーンの割込み優先順位は図3.9.2のようになります。



130289

図3.9.2 デジチェーン

#### 4 電気的特性 (TMPZ84C015BF-6 / BF-8 / BF-10 / BF-12)

##### 4.1 最大定格

記号	項目	定格	単位
V <sub>CC</sub>	電源電圧	-0.5 ~ +7.0	V
V <sub>IN</sub>	入力電圧	-0.5 ~ V <sub>CC</sub> + 0.5	V
P <sub>D</sub>	消費電力 (T <sub>A</sub> = 85°C)	250	mW
T <sub>SOLDER</sub>	半田付温度 (10sec)	260	°C
T <sub>STG</sub>	保存温度	-55 ~ 125	°C
T <sub>OPR</sub>	動作温度	TMPZ84C015BF-6/-8 ; -40 ~ 85	°C
		TMPZ84C015BF-10/-12 ; -40 ~ 70	

110691

##### 4.2 DC電気的特性 (1/2)

TMPZ84C015BF-6/-8 (T<sub>OPR</sub> = -40°C ~ +85°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

TMPZ84C015BF-10/-12 (T<sub>OPR</sub> = -40°C ~ +70°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

記号	項目	測定条件	最小	標準	最大	単位
V <sub>ILC</sub>	クロック低レベル 入力電圧 (CLKIN)		-0.3	-	0.6	V
V <sub>IHC</sub>	クロック高レベル 入力電圧 (CLKIN)		V <sub>CC</sub> - 0.6	-	V <sub>CC</sub> + 0.3	V
V <sub>OLC</sub>	クロック低レベル 出力電圧 (CLKOUT)	I <sub>OL</sub> = 2.0mA	-	-	0.6	V
V <sub>OHC</sub>	クロック高レベル 出力電圧 (CLKOUT)	I <sub>OH</sub> = -2.0mA	V <sub>CC</sub> - 0.6	-	-	V
V <sub>IL</sub>	低レベル入力電圧 (XTAL1, RESETを除く)		-0.5	-	0.8	V
V <sub>IH</sub>	高レベル入力電圧 (XTAL1, RESETを除く)		2.2	-	V <sub>CC</sub>	V
V <sub>ILR</sub>	低レベル入力電圧 (RESET入力)		-0.5	-	0.45	V
V <sub>IHR</sub>	高レベル入力電圧 (RESET入力)		V <sub>CC</sub> - 0.6	-	V <sub>CC</sub>	V
V <sub>OL</sub>	低レベル出力電圧 (クロックを除く)	I <sub>OL</sub> = 2.0mA	-	-	0.4	V
V <sub>OH1</sub>	高レベル出力電圧 (クロックを除く)	I <sub>OH</sub> = -1.6mA	2.4	-	-	V
V <sub>OH2</sub>	高レベル出力電圧 (クロックを除く)	I <sub>OH</sub> = -250μA	V <sub>CC</sub> - 0.8	-	-	V

110691



DC電气的特性 (2 / 2)

記号	項目	測定条件	最小	標準	最大	単位				
$I_{LI}$	入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{CC}$	—	—	$\pm 10$	$\mu A$				
$I_{LO}$	フローティング時の3ステート出力電流	$V_{SS} \leq V_{OUT} \leq V_{CC}$	—	—	$\pm 10$	$\mu A$				
$I_{CC1}$	電源電流 (動作時)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	25	35	mA			
			BF-8	—	35	45	mA			
			BF-10	—	45	55	mA			
			BF-12	—	55	65	mA			
$I_{CC2}$	電源電流 (静止時)	$V_{CC} = 5V$ $f_{CLK} = (\text{注2})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6 /BF-8 /BF-10 /BF-12	—	0.5	50	$\mu A$			
			$I_{CC3}$	電源電流 (アイドル時: IDLE2モード)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	1.5	3	mA
						BF-8	—	2	4	mA
						BF-10	—	2.5	5	mA
$I_{CC4}$	電源電流 (アイドル時: IDLE1モード)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	11	15	mA			
			BF-8	—	15	20	mA			
			BF-10	—	19	25	mA			
			BF-12	—	23	35	mA			

110691

(注1)  $f_{CLK} = 1 / T_{CC} (\text{MIN})$

- (注2)
- ホールト命令フェッチサイクル直後のM1サイクルのT4“LOW”ステート時
  - SYNCAおよびSYNCBが“L”出力の場合を除く

4.3 AC電気的特性(1)(アクティブ状態)

TMPZ84C015BF-6/8 (T<sub>OPR</sub> = -40°C ~ +85°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

TMPZ84C015BF-10/12 (T<sub>OPR</sub> = -40°C ~ +70°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

4.3.1 MPU部AC特性(アクティブ状態)(1/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
1	TcC	クロック周期	162	-	DC	125	-	DC	100	-	DC	80	-	DC	ns
2	TwCh	クロック高レベルパルス幅	65	-	DC	50	-	DC	42	-	DC	32	-	DC	ns
3	TwCl	クロック低レベルパルス幅	65	-	DC	50	-	DC	42	-	DC	32	-	DC	ns
4	TfC	クロック立下がり時間	-	-	20	-	-	15	-	-	12	-	-	10	ns
5	TrC	クロック立上がり時間	-	-	20	-	-	15	-	-	12	-	-	10	ns
6	TdCr(A)	クロック立上がりからの有効アドレス出力遅延	-	-	90	-	-	85	-	-	75	-	-	65	ns
7	TdA(MREQ)	MREQに先立つアドレス出力確定時間	35	-	-	20	-	-	22	-	-	-5	-	-	ns
8	TdCl(MREQ)	クロック立下がりからのMREQ="L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
9	TdCr(MREQ)	クロック立上がりからのMREQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
10	TwMREQh	MREQ高レベルパルス幅	65	-	-	45	-	-	32	-	-	20	-	-	ns
11	TwMREQl	MREQ低レベルパルス幅	135	-	-	100	-	-	75	-	-	55	-	-	ns
12	TdCl(MREQ)	クロック立下がりからのMREQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
13	TdCl(RDf)	クロック立下がりからRD="L"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
14	TdCr(RDf)	クロック立上がりからRD="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
15	TsD(Cr)	クロック立上がりに対するデータセットアップ時間	30	-	-	30	-	-	25	-	-	25	15	-	ns
16	ThD(RDr)	RD立上がりに対するデータホールド時間	0	-	-	0	-	-	0	-	-	0	0	-	ns
17	TsWAIT(Cf)	クロック立下がりに対するWAIT信号セットアップ時間	60	-	-	50	-	-	25	-	-	25	10	-	ns
18	ThWAIT(Cf)	クロック立下がり後のWAITホールド時間	10	-	-	10	-	-	10	-	-	10	10	-	ns

MPU部AC特性(アクティブ状態)(2/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
19	TdCr (M1f)	クロック立上がりから M1 = "L"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
20	TdCr (M1r)	クロック立上がりから M1 = "H"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
21	TdCr (RFSHf)	クロック立上がりから RFSH = "L"になるまでの遅延	-	-	110	-	-	95	-	-	80	-	-	70	ns
22	TdCr (RFSHr)	クロック立上がりから RFSH = "H"になるまでの遅延	-	-	100	-	-	85	-	-	80	-	-	70	ns
23	TdCf (RDf)	クロック立下がりから RD = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
24	TdCr (RDf)	クロック立上がりから RD = "L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
25	TsD (Cf)	クロック立下がりに対する データセットアップ時間 (M2, M3, M4, M5サイクル時)	40	-	-	30	-	-	25	-	-	15	-	-	ns
26	TdA (IORQf)	IORQ立下がりから先立つアドレス確定時間	110	-	-	75	-	-	70	-	-	30	-	-	ns
27	TdCr (IORQf)	クロック立上がりから IORQ = "L"になるまでの遅延	-	-	65	-	-	55	-	-	50	-	-	50	ns
28	TdCf (IORQr)	クロック立下がりから IORQ = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
29	TdD (WRf)	WR立下がりから先立つデータ確定時間	25	-	-	5	-	-	40	-	-	20	-	-	ns
30	TdCf (WRf)	クロック立下がりから WR = "L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
31	TwWR	WRパルス幅	135	-	-	100	-	-	75	-	-	55	-	-	ns
32	TdCf (WRr)	クロック立下がりから WR = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
33	TdD (WRf)	WR立下がりから先立つデータ確定時間	-55	-	-	55	-	-	-8	-	-	-20	-	-	ns
34	TdCr (WRf)	クロック立上がりから WR = "L"になるまでの遅延	-	-	60	-	-	55	-	-	50	-	-	45	ns
35	TdWRr (D)	WR = "H"になってからの出力データ保持時間	30	-	-	15	-	-	12	-	-	15	-	-	ns

MPU部AC特性 (アクティブ状態) (3/4)

番号	記号	項目	TMPZ84C0158F-6 (6MHz)			TMPZ84C0158F-8 (8MHz)			TMPZ84C0158F-10 (10MHz)			TMPZ84C0158F-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
36	TdCf (HALT)	クロック立下がりから HALT="L"または"H"に なるまでの遅延	-	-	260	-	-	225	-	-	90	-	-	80	ns
37	TwNMI	NMIパルス幅	80	-	-	80	-	-	60	-	-	60	-	-	ns
38	TsBUSREQ (Cr)	クロック立上がりに対す るBUSREQセットアップ 時間	50	-	-	40	-	-	30	-	-	20	-	-	ns
39	ThBUSREQ (Cr)	クロック立上がり後の BUSREQホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
40	TdCr (BUSACKf)	クロック立上がりから BUSACK="L"になるまで の時間	-	-	90	-	-	80	-	-	75	-	-	50	ns
41	TdCf (BUSACKr)	クロック立下がりから BUSACK="H"になるまで の時間	-	-	90	-	-	80	-	-	75	-	-	50	ns
42	TdCr (Dz)	クロック立上がりから データバスフロート状態 までの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
43	TdCr (CTz)	クロック立上がりからコ ントロール出力フロート 状態までの遅延 (MREQ, IORQ, RD, WR)	-	-	70	-	-	60	-	-	60	-	-	50	ns
44	TdCr (Az)	クロック立上がりからア ドレスバスフロート状態 までの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
45	TdCr (A)	MREQ, IORQ, RDまたは WRからのアドレス保持 時間	35	-	-	20	-	-	32	-	-	10	-	-	ns
46	TsRESET (Cr)	クロック立上がりに対す るRESETセットアップ時 間	60	-	-	45	-	-	40	-	-	20	-	-	ns
47	ThRESET (Cr)	クロック立上がりから RESETホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
48	TsINTf (Cr)	クロック立上がりに対す るINTセットアップ時間	70	-	-	55	-	-	50	-	-	25	-	-	ns
49	TsINTR (Cr)	クロック立上がり後の INTホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
50	TdM1f (IORQf)	IORQ立下がりから先立つ M1出力("L")の確定時間	365	-	-	270	-	-	222	-	-	170	-	-	ns

⑤

MPU部AC特性(アクティブ状態) (4/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
51	TdCf (IORQ $\bar{f}$ )	クロック立下がりから IORQ="L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
52	TdCr (IORQ $\bar{r}$ )	クロック立上がりから IORQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	55	ns
53	TdCf (D)	クロック立下がりからデータ出力までの遅延	-	-	130	-	-	115	-	-	110	-	-	100	ns

291092

4.3.2 CGC部AC特性(アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
54	Tcc CLK	出カクロック周期	-	162	-	-	125	-	-	100	-	-	80	-	ns
55	TwCh CLK	出カクロック高レベルパルス幅	-	70	-	50	-	-	38	-	-	32	-	-	ns
56	TwCl CLK	出カクロック低レベルパルス幅	-	70	-	50	-	-	38	-	-	32	-	-	ns
57	TfC CLK	出カクロック立下がり時間	-	12	-	-	-	12	-	-	12	-	-	10	ns
58	TrC CLK	出カクロック立上がり時間	-	12	-	-	-	12	-	-	12	-	-	10	ns
59	TRST (INT) S	INTによるCLK OUTリスタート時間 (STOPモード)	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	ns
60	TRST (NMI) S	NMIによるCLK OUTリスタート時間 (STOPモード)	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	-	2 <sup>14</sup> + 2.5TcC	-	ns
61	TRST (INT) I	INTによるCLK OUTリスタート時間 (IDLE1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
62	TRST (NMI) I	NMIによるCLK OUTリスタート時間 (IDLE1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
63	TRST (RESET) I	RESETによるCLK OUTリスタート時間 (IDLE1/2モード)	-	TcC	-	-	TcC	-	-	TcC	-	-	TcC	-	ns

291092

4.3.3 CTC部AC特性 (アクティブ状態)

番号	記号	項目	TMP284C015BF-6 (6MHz)			TMP284C015BF-8 (8MHz)			TMP284C015BF-10 (10MHz)			TMP284C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
64	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延 (M1サイクルの直前で割込みが発生したとき)	-	-	160	-	-	130	-	-	130	-	-	80	ns
65	TdIEI (IEOf)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
66	TdIEI (IEOr)	IEI立上がりからIEO立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	120	-	-	120	ns
67	tsCLK (INT)	割込み検知するのに必要なCLK/TRGセットアップ時間 TsCTR (C) を満足する場合	TcC +120 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	ns
		TsCTR (C) を満足しない場合	2TcC +120 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	
68	TcCTR	CLK/TRG周期	2TcC	-	-	2TcC	-	-	2TcC	-	-	2TcC	-	-	ns
69	TrCTR	CLK/TRG立上がり時間	-	-	40	-	-	30	-	-	30	-	-	30	ns
70	TfCTR	CLK/TRG立下がり時間	-	-	40	-	-	30	-	-	30	-	-	30	ns
71	TwCTRl	CLK/TRG低レベルパルス幅	120	-	-	90	-	-	90	-	-	75	-	-	ns
72	TwCTRh	CLK/TRG高レベルパルス幅	120	-	-	90	-	-	90	-	-	75	-	-	ns
73	TsCTR (Cs)	即時カウンタの要するクロックの立上がりに対するCLK/TRGのセットアップ時間 (カウンタモード)	150	-	-	110	-	-	110	-	-	75	-	-	ns
74	TsCTR (CT)	プリスケアラの即時起動に要するクロックの立上がりに対するCLK/TRGのセットアップ時間 (タイマモード)	150	-	-	110	-	-	110	-	-	75	-	-	ns
75	TdC (ZC/TOr)	クロック立上がりからZC/TO立上がりまでの遅延	-	-	140	-	-	110	-	-	110	-	-	80	ns
76	TdC (ZC/TOf)	クロック立下がりからZC/TO立下がりまでの遅延	-	-	140	-	-	110	-	-	110	-	-	80	ns

4.3.4 PIO部AC特性 (アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
77	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延	-	-	100	-	-	100	-	-	100	-	-	80	ns
78	TsIEI (IO)	IEIのIORQの立下がりに対するセットアップ時間 (INTAサイクル)	100	-	-	80	-	-	80	-	-	80	-	-	ns
79	TdIEI (IEOf)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
80	TdIEI (IEOr)	IEI立上がりからIEO立上がりまでの遅延	-	-	150	-	-	120	-	-	120	-	-	110	ns
81	TdC (RDYr)	クロック立下がりからREADY立上がりまでの遅延	-	-	170	-	-	150	-	-	150	-	-	100	ns
82	TdC (RDYf)	クロック立下がりからREADY立下がりまでの遅延	-	-	120	-	-	110	-	-	110	-	-	100	ns
83	TwSTB (C)	STROBEパルス幅	120	-	-	100	-	-	100	-	-	60	-	-	ns
84	TsSTB (C)	クロック立下がりに対するSTROBEの立上りのセットアップ時間 (次のサイクルでREADYをアクティブにする場合)	150	-	-	100	-	-	100	-	-	100	-	-	ns
85	TdIO (PD)	IORQ立上がりから出力データ確定までの遅延 (モード0)	-	-	160	-	-	140	-	-	140	-	-	110	ns
86	TsPD (STB)	STROBE立上がりに対するデータセットアップ時間 (モード1)	190	-	-	150	-	-	150	-	-	75	-	-	ns
87	TdSTB (PD)	STROBE立下がりからの出力データ遅延時間 (モード2)	-	-	180	-	-	150	-	-	150	-	-	110	ns
88	TdSTB (PDr)	STROBE立上がりからデータフローまでの遅延 (モード2)	-	-	160	-	-	120	-	-	120	-	-	110	ns
89	tsSTRB	割込み検知するのに必要なSTROBEセットアップ時間	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	ns
90	tsPD	割込み検知するのに必要なポートデータセットアップ時間 (モード3)	430 + T48	-	-	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	ns
91	ThPD (STB)	STROBE立上がりに対するデータホールド時間 (モード1)	40	-	-	40	-	-	40	-	-	15	-	-	ns

4.3.5 SIO部特性(アクティブ状態) (1/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
92	TsM1 (C)	クロック立上がりに対する M1信号セットアップ時間	75	-	-	50	-	-	50	-	-	40	-	-	ns
93	TsIEI (IO)	IORQの立下がりに対する IEI信号セットアップ時間 (INTACKサイクル)	120	-	-	100	-	-	100	-	-	80	-	-	ns
94	TdM1 (IEO)	M1の立下がりからIEOの立 下がりまでの遅延 (EDデコード)	-	-	160	-	-	120	-	-	120	-	-	80	ns
95	TdIEI (IEO)	IEIの立上がりからIEOの立 上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	120	-	-	110	ns
96	TdIEI (IEO)	IEIの立下がりからIEOの立 下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
97	TdIO (W/RW)	IORQ立上がりからWRDY 立下がりまでの遅延(ウェ イト)(ウェイトモード)	-	-	175	-	-	130	-	-	130	-	-	110	ns
98	TdC (W/RR)	クロックの立上がりから WRDY立下がりまでの遅 延(レディモード)	-	-	100	-	-	80	-	-	80	-	-	80	ns
99	TdC (W/RWZ)	クロックの立下がりから WRDYフロート状態までの 遅延(ウェイトモード)	-	-	110	-	-	90	-	-	90	-	-	75	ns
100	TwPh	CTC, DCD, SYNC高レベル パルス幅	200	-	-	200	-	-	200	-	-	100	-	-	ns
101	TwPl	CTC, DCD, SYNC低レベル パルス幅	200	-	-	200	-	-	200	-	-	100	-	-	ns
102	TcTxc	送信クロック周期	330	-	∞	250	-	∞	250	-	∞	160	-	∞	ns
103	TwTxcl	低レベル送信クロック周期 パルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
104	TwTxch	高レベル送信クロック周期 パルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
105	TdTxC (TxD)	TxCの立下がりからTxD信 号までの遅延(X1モード)	-	-	220	-	-	180	-	-	180	-	-	115	ns
106	TdTxC (W/RR)	TxC立下がりからWRDY立 下がりまでの遅延(レディ モード)	5	-	9	5	-	9	5	-	9	5	-	8	CLEP 周期
107	TcRxC	受信クロック周期	330	-	∞	250	-	∞	250	-	∞	160	-	∞	ns
108	TwRxccl	低レベル受信クロックパル ス幅	100	-	∞	80	-	∞	80	-	∞	60	-	∞	ns



SIO部特性(アクティブ状態)(2/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
109	TwRxch	高レベル受信クロックパルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
110	TsRxD (Rxc)	RXCの立ち上がりに対するRxD信号セットアップ時間(X1モード)	0	-	-	10	-	-	10	-	-	0	-	-	ns
111	ThRxD (Rxc)	RXCの立ち上がりに対するRxD信号ホールド時間(X1モード)	100	-	-	80	-	-	80	-	-	50	-	-	ns
112	TdRxc (W/RRF)	RXCの立ち上がりからW/RDY立下がりまでの遅延(レディモード)	10	-	13	10	-	13	10	-	13	10	-	13	CLK周
113	TdRxc (SYNC)	RXCの立ち上がりからSYNC立下がりまでの遅延(出力モード)	4	-	7	4	-	7	4	-	7	4	-	7	CLK周
114	TsSYNC (Rxc)	RXC立ち上がりに対するSYNC信号セットアップ時間(外部同期モード)	-100	-	-	-100	-	-	-100	-	-	-100	-	-	ns
115	tSTxc	割込み検知するのに必要なTXCセットアップ時間	5 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	9 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	5 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	9 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	5 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	9 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	5 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	9 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	ns
116	tSRxc	割込み検知するのに必要なRXCセットアップ時間	10 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	13 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	10 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	13 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	10 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	13 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	10 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	-	13 <sub>s</sub> T <sub>1</sub> +T <sub>48</sub>	ns

291092

4.3.6 WDT部AC特性(アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
117	Tdc (WDTf)	クロック立ち上がりからWDTOUT立下がりまでの遅延	-	-	160	-	-	120	-	-	120	-	-	120	ns
118	Tdc (WDTt)	クロック立ち上がりからWDTOUT立下がりまでの遅延	-	-	165	-	-	125	-	-	125	-	-	125	ns
119	TcWDT	WDTOUT出力周期	-	-	-	-	-	-	-	-	-	-	-	-	-
		WDTモード0	-	T <sub>1,218</sub>	-	-	T <sub>1,216</sub>	-	-	T <sub>1,216</sub>	-	-	T <sub>1,216</sub>	-	ns
		WDTモード1	-	T <sub>1,218</sub>	-	-	T <sub>1,218</sub>	-	-	T <sub>1,218</sub>	-	-	T <sub>1,218</sub>	-	ns
		WDTモード2	-	T <sub>1,219</sub>	-	-	T <sub>1,220</sub>	-	-	T <sub>1,220</sub>	-	-	T <sub>1,220</sub>	-	ns
	WDTモード3	-	T <sub>1,222</sub>	-	-	T <sub>1,222</sub>	-	-	T <sub>1,222</sub>	-	-	T <sub>1,222</sub>	-	ns	

291092

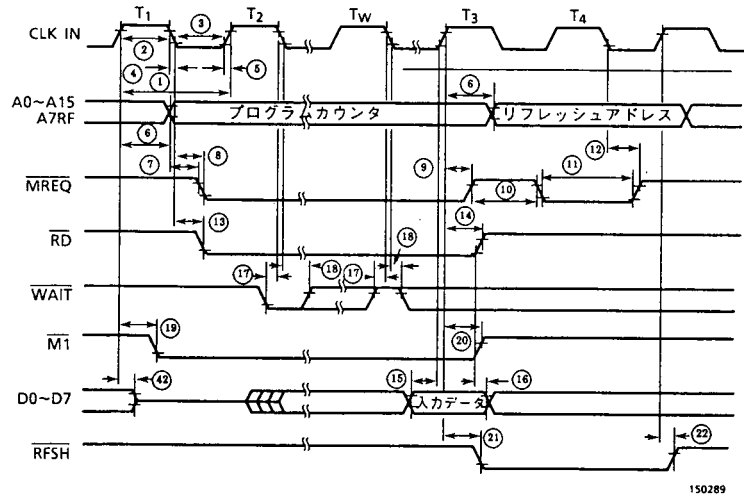
(注) AC電気的特性測定条件

- VIH=2.4V, VIL=0.4V, VIHc=VCC-0.6V, VILc=0.6V
- VOH=2.2V, VOL=0.8V(ただしCLKOUTは除く)
- VOHc=VCC-0.6V, VOLc=0.6V(CLKOUT出力)
- CL=100pF

4.4 ACタイミング図(1)(アクティブ状態)

4.4.1 MPU部ACタイミング図(アクティブ状態)

図4.4.1~4.4.8は各動作の基本タイミング図です。図中の番号は4.3 AC電気的特性の表の番号と一致しています。



150289

図4.4.1 オペコードフェッチサイクル

4.5 AC電氣的特性(2)(インアクティブ状態)

TMPZ84C015BF-6 (TA = -40°C ~ +85°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

TMPZ84C015BF-10/-12 (TA = -40°C ~ 70°C, V<sub>CC</sub> = 5V ± 10%, V<sub>SS</sub> = 0V)

4.5.1 CGC部AC特性(インアクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
1	TcCLK	出力クロック周期	-	162	-	-	100	-	-	80	-	ns
2	TwChCLK	出力クロック高レベルパルス幅	-	70	-	-	40	-	-	32	-	ns
3	TwClCLK	出力クロック低レベルパルス幅	-	70	-	-	40	-	-	32	-	ns
4	TfCLK	出力クロック立下がり時間	-	12	-	-	10	-	-	10	-	ns
5	TrCLK	出力クロック立上がり時間	-	12	-	-	10	-	-	10	-	ns
6	TRST (INT) S	INTによるCLK OUTリスタート時間 (STOPモード)	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	ns
7	TRST (NMI) S	NMIによるCLK OUTリスタート時間 (STOPモード)	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	ns
8	TRST (INT) I	INTによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
9	TRST (NMI) I	NMIによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
10	TRST (RESET) I	RESETによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	1TcC	-	-	1TcC	-	-	1TcC	-	ns
11	TsHALT (M1r)	HALTセットアップ時間	10	-	-	10	-	-	10	-	-	ns

291092

4.5.2 CTC部AC特性(インアクティブ状態) (1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
12	TcC	クロック周期	162	-	-	100	-	-	80	-	-	ns
13	Twch	クロック高レベルパルス幅	65	-	-	38	-	-	32	-	-	ns
14	Twcl	クロック低レベルパルス幅	65	-	-	38	-	-	32	-	-	ns
15	TfC	クロック立下がり時間	-	-	20	-	-	12	-	-	10	ns
16	TrC	クロック立上がり時間	-	-	20	-	-	12	-	-	10	ns
17	Th	ホールド時間	10	-	-	10	-	-	10	-	-	ns

291092

CTC部BAC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
18	TcCS (C)	クロック立下がりに対するCS (A1, A0) セットアップ時間	100	-	-	100	-	-	-	-	50	ns
19	TSCE (C)	クロック立上がりに対する $\overline{CE}$ (A7-A2) セットアップ時間	150	-	-	80	-	-	-	-	50	ns
20	TsIO (C)	クロック立上がりに対する $\overline{IORQ}$ 立下がりまでのセットアップ時間	70	-	-	65	-	-	-	-	50	ns
21	TsRD (C)	クロック立上がりに対する $\overline{RD}$ 立下がりまでのセットアップ時間	70	-	-	55	-	-	45	-	-	ns
22	TdC (DO)	クロック立上がりからデータ出力までの遅延	-	-	130	-	-	110	-	-	75	ns
23	ThWAIT (Cf)	$\overline{IORQ}$ , $\overline{RD}$ 立上がりからデータフロートまでの遅延	-	-	90	-	-	85	-	-	70	ns
24	TdCr (M1f)	クロック立上がりに対するデータ入力セットアップ時間	40	-	-	40	-	-	30	-	-	ns
25	TsM1 (C)	クロック立上がりに対するM1セットアップ時間	70	-	-	55	-	-	40	-	-	ns
26	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延 (M1サイクルの直前で割込みが発生したとき)	-	-	130	-	-	110	-	-	80	ns
27	TdiO (DOI)	$\overline{IORQ}$ 立下がりからデータ出力までの遅延 (INTAサイクル)	-	-	110	-	-	85	-	-	85	ns
28	TdCf (RDr)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	60	-	-	50	ns
29	TdiEI (IEor)	IEI立上がりからIEO立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	160	-	-	110	ns
30	TdC (INT)	クロック立上がりからINT立下がりまでの遅延時間	-	-	TcC + 120	-	-	TcC + 110	-	-	TcC + 70	ns
31	TdA ( $\overline{IORQ}$ f)	CLK/TRG立上がりからINT立下がりまでの遅延 (カウンタモード)	-	TcC + 120 + T37	-	-	TcC + 110 + T37	-	-	-	TcC + 70 + T37	ns
		TsCTR (C)を満足する場合	-	2TcC + 120 + T37	-	-	2TcC + 110 + T37	-	-	-	2TcC + 70 + T37	
		TsCTR (C)を満足しない場合	-	T37	-	-	T37	-	-	-	T37	

⑥

CTC部BAC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
32	TcCTR	CLK/TRG周期	-	2TcC	-	-	2TcC	-	-	2TcC	-	ns
33	TrCTR	CLK/TRG立上がり時間	-	-	40	-	-	30	-	-	30	ns
34	TfCTR	CLK/TRG立下がり時間	-	-	40	-	-	30	-	-	30	ns
35	TwCTRI	CLK/TRG低レベルパルス幅	120	-	-	90	-	-	75	-	-	ns
36	TwCTRh	CLK/TRG高レベルパルス幅	120	-	-	90	-	-	75	-	-	ns
37	TsCTR (CS)	即時カウントに要するクロックの立上がりに対するCLK/TRGのセットアップ時間(カウントモード)	150	-	-	110	-	-	65	-	-	ns
38	TsCTR (CT)	プリスケアラの即時起動に要するクロックの立上がりに対するCLK/TRGのセットアップ時間(カウンタモード)	150	-	-	110	-	-	65	-	-	ns
39	TdC (ZC/TOr)	クロック立上がりからZC/TO立上がりまでの遅延	-	-	140	-	-	110	-	-	65	ns
40	TdC (ZC/TOf)	クロック立下がりからZC/TO立下がりまでの遅延	-	-	140	-	-	110	-	-	65	ns

291092

4.5.3 PIO部AC特性 (インアクティブ状態) (1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
41	TsCS (RI)	CE, B/A, C/DのRD, IORQに対するセットアップ時間	50	-	-	50	-	-	30	-	-	ns
42	Th	ホールド時間	40	-	-	40	-	-	20	-	-	ns
43	TsRI (C)	クロック立上がりに対するRD, IORQセットアップ時間	70	-	-	60	-	-	45	-	-	ns
44	TdRI (DO)	RD, IORQの立下がりからデータ出力までの遅延	-	-	300	-	-	200	-	-	70	ns
45	TdRI (DOs)	RD, IORQの立上がりからデータフロートまでの遅延	-	-	70	-	-	70	-	-	70	ns
46	TsDI (C)	クロック立上がりに対するデータセットアップ時間	40	-	-	40	-	-	25	-	-	ns
47	TdIO (DOI)	INTAサイクルのIORQの立下がりからデータ出力までの遅延	-	-	120	-	-	85	-	-	85	ns

291092

PIO部AC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
48	TsM1 (Cr)	クロック立上がりに対する M1=Lのセットアップ時間	70	-	-	50	-	-	40	-	-	ns
49	TsM1 (Cf)	クロック立下がりに対する M1=Hのセットアップ時間 (M1サイクル)	0	-	-	0	-	-	0	-	-	ns
50	TdM1 (IEO)	M1立下がりからIEO立下がり までの遅延	-	-	100	-	-	100	-	-	80	ns
51	TslEI (IO)	IEIのIORQの立下がりに対す るセットアップ時間 (INTAサイクル)	100	-	-	80	-	-	80	-	-	ns
52	TdiEI (IEOf)	IEI立下がりからIEO立下がり までの遅延	-	-	70	-	-	70	-	-	50	ns
53	TdiEI (IEOr)	IEI立上がりからIEO立上がり までの遅延	-	-	150	-	-	120	-	-	110	ns
54	TdiO (C)	クロック立下がりに対する IORQ=Hのセットアップ時間	170	-	-	120	-	-	40	-	-	ns
55	TdC (RDYr)	クロック立下がりからREADY 立上がりまでの遅延	-	-	170	-	-	150	-	-	90	ns
56	TdC (RDYf)	クロック立下がりからREADY 立下がりまでの遅延	-	-	120	-	-	110	-	-	90	ns
57	TwSTB (C)	STROBEパルス幅	120	-	-	100	-	-	40	-	-	ns
58	TsSTB (C)	クロック立下がりに対する STROBEの立上りのセット アップ時間(次のサイクルで READYをアクティブにする 場合)	150	-	-	100	-	-	60	-	-	ns
59	TdiO (PD)	IORQ立上がりから出力デー タ確定までの遅延 (モード0)	-	-	160	-	-	140	-	-	110	ns
60	TsPD (STB)	STROBE立上がりに対する データセットアップ時間 (モード1)	190	-	-	150	-	-	50	-	-	ns
61	TdSTB (PD)	STROBE立下がりからの出力 データ遅延時間 (モード2)	-	-	180	-	-	150	-	-	80	ns
62	TdSTB (PDr)	STROBE立上がりからデー タフロードまでの遅延 (モード2)	-	-	160	-	-	120	-	-	110	ns

## PIO部AC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
63	TdPD (INT)	ポートデータ一致からINT立下がりまでの遅延 (モード3)	-	-	430	-	-	350	-	-	150	ns
64	TdSTB (INT)	STROBE立上がりからINT立下がりまでの遅延	-	-	350	-	-	250	-	-	100	ns

291092

## 4.5.4 SIO部AC特性 (インアクティブ状態) (1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
65	TsCS (C)	クロック立上がりに対するコントロール信号 (CE (A7~A2), C/ $\bar{D}$ (A0), B/ $\bar{A}$ (A1)) セットアップ時間	60	-	-	40	-	-	30	-	-	ns
66	TsRD (C)	クロック立上がりに対するIORQ, RD信号セットアップ時間	60	-	-	55	-	-	45	-	-	ns
67	TdC (DO)	クロックの立上がりからデータ出力までの遅延	-	-	150	-	-	100	-	-	75	ns
68	TsDI (C)	クロック立上がりに対するデータ入力セットアップ時間 (ライトサイクルおよびMTサイクル)	30	-	-	30	-	-	30	-	-	ns
69	TdRD (DOz)	RDの立上がりからのデータホールド時間	-	-	90	-	-	70	-	-	70	ns
70	TdIO (DOI)	IORQ立下がりからデータ出力までの遅延 (INTACKサイクル)	-	-	120	-	-	85	-	-	85	ns
71	TsM1 (C)	クロック立上がりに対するMT信号セットアップ時間	75	-	-	50	-	-	40	-	-	ns
72	TsIEI (IO)	IORQの立下がりに対するIEI信号セットアップ時間 (INTACKサイクル)	120	-	-	80	-	-	80	-	-	ns
73	TdM1 (IEO)	MTの立下がりからIEOの立下がりまでの遅延 (EDデコード)	-	-	160	-	-	120	-	-	80	ns
74	TdIEI (IEOr)	IEIの立上がりからIEOの立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	110	ns

291092

## SIO部AC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
75	TdIEI (IEOf)	IEIの立下がりからIEOの立下がりまでの遅延	-	-	70	-	-	50	-	-	50	ns
76	TdC (INT)	クロックの立下がりからINTの立下がりまでの遅延	-	-	150	-	-	100	-	-	100	ns
77	TdIO (W/RWf)	IORQ, CE (A7~A2)の立下がりからW/RDY立下がりまでの遅延(ウェイトモード)	-	-	175	-	-	130	-	-	110	ns
78	TdC (W/RRf)	クロックの立下がりからW/RDY立下がりまでの遅延(レディモード)	-	-	100	-	-	80	-	-	80	ns
79	TdC (W/RWz)	クロックの立下がりからW/RDYフロート状態までの遅延(ウェイトモード)	-	-	110	-	-	90	-	-	75	ns
80	Th, Th (CS)	セットアップ時間が規定されている各箇所でのホールド時間	0	-	-	0	-	-	-	-	10	ns
81	TwPh	高レベルパルス幅	200	-	-	200	-	-	100	-	-	ns
82	TwPl	低レベルパルス幅	200	-	-	200	-	-	100	-	-	ns
83	TcTxC	送信クロック周期	330	-	∞	250	-	∞	160	-	∞	ns
84	TwTxCl	低レベル送信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
85	TwTxCh	高レベル送信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
86	TdTxC (TxD)	TxCの立下がりからTxD信号までの遅延(x1モード)	-	-	220	-	-	180	-	-	180	ns
87	TdTxC (W/RRf)	TxCの立下がりからW/RDY立下がりまでの遅延(レディモード)	5	-	9	5	-	9	5	-	9	CLK 周期
88	TdTxC (INT)	TxCの立下がりからINT立下がりまでの遅延	5	-	9	5	-	9	5	-	9	CLK 周期
89	TcRxC	受信クロック周期	330	-	∞	250	-	∞	250	-	∞	ns
90	TwRxCl	低レベル受信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
91	TwRxCh	高レベル受信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
92	TsRxD (RxC)	RxC立下がりに対するRxD信号セットアップ時間(x1モード)	0	-	-	0	-	-	0	-	-	ns



## SIO部AC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
93	ThRxD (RxC)	RXCの立上がりに対するRxD信号ホールド時間(x1モード)	100	-	-	80	-	-	100	-	-	ns
94	TdRxC (W/RRf)	RXCの立上がりからW/RDY立下がりまでの遅延(レディモード)	10	-	13	10	-	13	10	-	13	CLK 周期
95	TdRxC (INT)	RXCの立上がりからINT立下がりまでの遅延	10	-	13	10	-	13	10	-	13	CLK 周期
96	TdRxC (SYNC)	RXCの立上がりからSYNC立下がりまでの遅延(内部周期モード)	4	-	7	4	-	7	4	-	7	CLK 周期
97	TsSYNC (RxC)	RXCの立上がりに対するSYNC信号セットアップ時間(外部周期モード)	-100	-	-	-100	-	-	-100	-	-	ns

291092

## 4.5.5 WDT部AC特性 (インアクティブ状態) (1/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
98	TsAdd (Cr)	クロック立上がりに対するアドレスセットアップ時間	150	-	-	150	-	-	150	-	-	ns
99	TsIO (Cr)	クロック立上がりに対するIORQ立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
100	TdRD (Cr)	クロック立上がりに対するRD立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
101	TdCr (Do)	クロック立上がりからデータ出力までの遅延	-	-	130	-	-	130	-	-	130	ns
102	TdiORDr (DoZ)	IORQ, RD立上がりからデータフロートまでの遅延	-	-	90	-	-	90	-	-	90	ns
103	TsWR (Cr)	クロック立上がりに対するWR立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
104	TsDI (Cr)	クロック立上がりに対するデータ入力セットアップ時間	0	-	-	0	-	-	0	-	-	ns
105	TdiOWRf (D)	IORQ, WR立上がったからのデータ出力保持時間	20	-	-	20	-	-	20	-	-	ns

291092

WDT部AC特性 (インアクティブ状態) (2/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
106	TdC (WDTf)	クロック立上がりから WDTOUT立下がりまでの遅延	-	-	160	-	-	120	-	-	120	ns
107	TdC (WDTf)	クロック立上がりから WDTOUT立上がりまでの遅延	-	-	165	-	-	125	-	-	125	ns
108	TCWDT	WDTOUT出力周期	-	-	-	-	-	-	-	-	-	-
		WDTモード0	-	T12 <sub>216</sub>	-	-	T12 <sub>216</sub>	-	-	T12 <sub>216</sub>	-	ns
		WDTモード1	-	T12 <sub>218</sub>	-	-	T12 <sub>218</sub>	-	-	T12 <sub>218</sub>	-	ns
		WDTモード2	-	T12 <sub>220</sub>	-	-	T12 <sub>220</sub>	-	-	T12 <sub>220</sub>	-	ns
		WDTモード3	-	T12 <sub>222</sub>	-	-	T12 <sub>222</sub>	-	-	T12 <sub>222</sub>	-	ns

291092

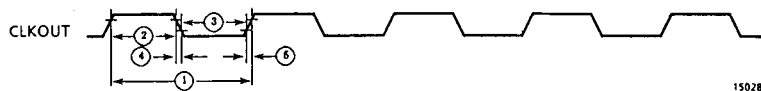
(注) AC電気的特性測定条件

- VIH=2.4V, VIL=0.4V
- VOH=2.2V, VOL=0.8V (ただしCLKOUTは除く)
- VIHc=Vcc-0.6V, VILc=0.6V (CLKOUT)
- VOHc=VCC-0.6V, VOLc=0.6V (CLKOUT)
- CL=100pF

4.6 ACタイミング図 (2) (インアクティブ状態)

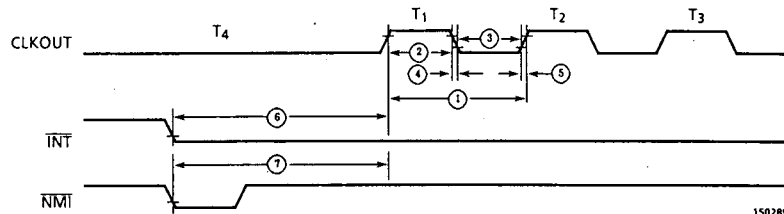
4.6.1 CGC部ACタイミング図 (インアクティブ状態)

CLKOUT端子とCLKIN端子を接続した場合の各モードのタイミングを示します。



150289

図4.6.1 CLKOUT波形



150289

図4.6.2 クロックリスタートタイミング (STOPモード時)