

## AD8065/AD8066<sup>※</sup>

### 特長

#### FET入力アンプ

入力バイアス電流：1pA

#### 低価格

#### 高速

145MHzで-3dBの帯域幅 (G = +1)

180V/μsのスルーレート (G = +2)

#### 低雑音

7nV/√Hz (f = 10kHz)

0.6fA/√Hz (f = 10kHz)

#### 広い電源電圧範囲

5~24V

#### 単一電源およびレール・ツー・レール出力

#### 低いオフセット電圧：最大1.5mV

#### 高いコモンモード除去比 (CMRR)

-100dB

#### 優れた歪み仕様

SFDR-88dB (1MHzにて)

#### 低電力

標準電源電流：6.4mA/アンプ

#### 位相反転なし

#### 小型パッケージ

SOIC-8およびSOT23-5<sup>1</sup>

#### アプリケーション

##### 測定器

##### フォトダイオードのプリアンプ

##### フィルタ

##### A/Dドライバ

##### レベル・シフター

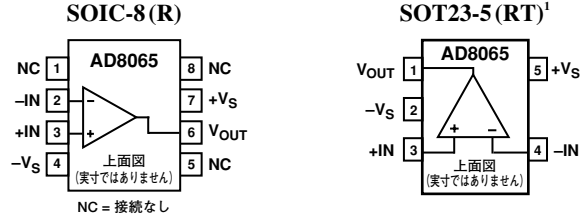
##### バッファ

### 概要

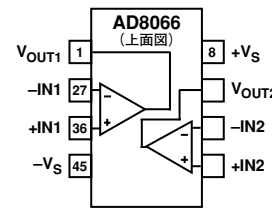
AD8065/AD8066 Fast FETアンプは、きわめて高性能で使いやすいFET入力を備えた電圧フィードバック・アンプです。AD8065はシングル・アンプで、AD8066<sup>1</sup>はデュアル・アンプです。このFast FETアンプは、アナログ・デバイセズ独自のXFCBプロセスにより、超低雑音の動作 (7.0nV/√Hzと0.6fA/√Hz) ときわめて高い入力インピーダンスを実現しています。

AD8065/AD8066は、5~24Vの広い電源電圧範囲、単一電源で動作可能な能力、および145MHzの帯域幅を備え、さまざまなアプリケーションで機能するように設計されています。汎用性をさらに向上するため、アンプには、レール・ツー・レール出力も備わっています。

### 接続図



### SOIC-8 (R)<sup>1</sup>とMSOP (RM)



低価格であるにもかかわらず、このアンプは、総合的に優れた性能を実現しています。0.02%の差動ゲイン誤差と0.02°の位相誤差に加えて、DCから7MHzの範囲にわたって0.1dBという平坦性を達成することにより、ビデオ・アプリケーションにも理想的なアンプとなります。また、180V/μsの高いスルーレート、優れた歪み率 (1MHzにてSFDR-88dB)、-100dBというきわめて高いコモンモード除去比、および最大1.5mVの低い入力オフセット電圧をウォームアップ状態で実現しています。AD8065/AD8066アンプが動作するのに必要な標準電源電流は、アンプ当たり6.4mAであり、しかも30mAまでの負荷電流を供給できます。

AD8065/AD8066は、小型パッケージ (SOIC-8とSOT23-5<sup>1</sup>) で利用可能な高性能で高速なFET入力アンプです。このパッケージは、-40~+85°Cという、工業温度範囲を超えて動作する能力を備えています。

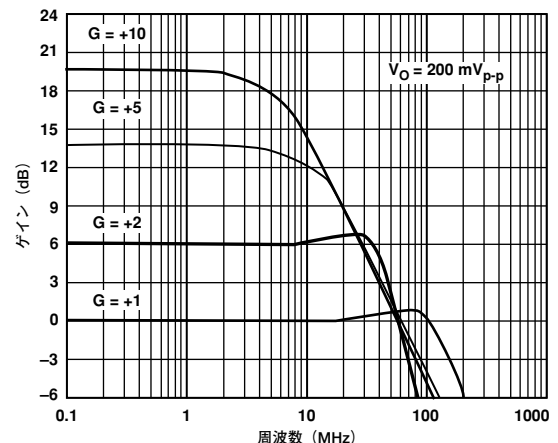


図1. 小信号周波数応答

※：米国特許6262633で保護されています。

1：開発中

Fast FETは、アナログ・デバイセズ社の商標です。

REV. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。またアナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものではありません。

※日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

# AD8065/AD8066 — 仕様 (特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{V}$ 、 $R_L = 1\text{k}\Omega$ )

パラメータ	条件	最小	標準	最大	単位
動的性能					
-3dB帯域幅	G = +1, $V_O = 0.2\text{Vp-p}$ (AD8065)	100	145		MHz
	G = +1, $V_O = 0.2\text{Vp-p}$ (AD8066)	100	120		MHz
	G = +2, $V_O = 0.2\text{Vp-p}$		50		MHz
	G = +2, $V_O = 2\text{Vp-p}$		42		MHz
平坦性が0.1dBでの帯域幅	G = +2, $V_O = 0.2\text{Vp-p}$		7		MHz
入力オーバードライブの回復時間	G = +1, $-5.5\text{V} \sim +5.5\text{V}$		175		ns
出力回復時間	G = -1, $-5.5\text{V} \sim +5.5\text{V}$		170		ns
スルーレート	G = +2, $V_O = 4\text{V}$ ステップ	130	180		V/ $\mu\text{s}$
0.1%までの安定時間	G = +2, $V_O = 2\text{V}$ ステップ		55		ns
	G = +2, $V_O = 8\text{V}$ ステップ		205		ns
雑音/高調波性能					
SFDR	$f_C = 1\text{MHz}$ , G = +2, $V_O = 2\text{Vp-p}$		-88		dBc
	$f_C = 5\text{MHz}$ , G = +2, $V_O = 2\text{Vp-p}$		-67		dBc
	$f_C = 1\text{MHz}$ , G = +2, $V_O = 8\text{Vp-p}$		-73		dBc
3次遮断	$f_C = 10\text{MHz}$ , $R_L = 100\Omega$		24		dBm
入力電圧雑音	f = 10kHz		7		nV/ $\sqrt{\text{Hz}}$
入力電流雑音	f = 10kHz		0.6		fA/ $\sqrt{\text{Hz}}$
差動ゲイン誤差	NTSC, G = +2, $R_L = 150\Omega$		0.02		%
差動位相誤差	NTSC, G = +2, $R_L = 150\Omega$		0.02		度
DC性能					
入力オフセット電圧	$V_{CM} = 0\text{V}$ , SOICパッケージ		0.4	1.5	mV
入力オフセット電圧ドリフト			1	17	$\mu\text{V}/^\circ\text{C}$
入力バイアス電流	SOICパッケージ		2	6	pA
	$T_{MIN} \sim T_{MAX}$		25		pA
入力オフセット電流			1	10	pA
	$T_{MIN} \sim T_{MAX}$		1		pA
オープンループ・ゲイン	$V_O = \pm 3\text{V}$ , $R_L = 1\text{k}\Omega$	100	113		dB
入力特性					
コモンモード入力インピーダンス			1000  2.1		G $\Omega$   pF
差動入力インピーダンス			1000  4.5		G $\Omega$   pF
入力コモンモード電圧範囲					
FET入力範囲		-5 ~ +1.7	-5.0 ~ +2.4		V
使用可能範囲	アプリケーションの節を参照		-5.0 ~ +5.0		V
コモンモード除去比	$V_{CM} = -1 \sim +1\text{V}$	-85	-100		dB
	$V_{CM} = -1 \sim +1\text{V}$ (SOT23)	-82	-91		dB
出力特性					
出力電圧振幅	$R_L = 1\text{k}\Omega$	-4.88 ~ +4.90	-4.94 ~ +4.95		V
	$R_L = 150\Omega$		-4.8 ~ +4.7		V
出力電流	$V_O = 9\text{Vp-p}$ , SFDR $\geq -60\text{dBc}$ , f = 500kHz		35		mA
短絡電流			90		mA
容量性負荷駆動	30% オーバーシュート G = +1		20		pF
電源					
動作範囲		5		24	V
アンプ当たりの静止電流		5.8	6.4	7.2	mA
電源電圧除去比 (PSRR)	$\pm\text{PSRR}$	-85	-100		dB

仕様 (特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 12\text{V}$ 、 $R_L = 1\text{k}\Omega$ )

パラメータ	条件	最小	標準	最大	単位
動的性能					
-3dB帯域幅	$G = +1$ 、 $V_O = 0.2\text{Vp-p}$ (AD8065)	100	145		MHz
-3dB帯域幅	$G = +1$ 、 $V_O = 0.2\text{Vp-p}$ (AD8066)	100	115		MHz
	$G = +2$ 、 $V_O = 0.2\text{Vp-p}$		50		MHz
	$G = +2$ 、 $V_O = 2\text{Vp-p}$		40		MHz
平坦性が0.1dBでの帯域幅	$G = +2$ 、 $V_O = 0.2\text{Vp-p}$		7		MHz
入力オーバードライブの回復	$G = +1$ 、 $-12.5 \sim +12.5\text{V}$		175		ns
出力オーバードライブの回復	$G = -1$ 、 $-12.5 \sim +12.5\text{V}$		170		ns
スルーレート	$G = +2$ 、 $V_O = 4\text{V}$ ステップ	130	180		V/ $\mu\text{s}$
0.1%までの安定時間	$G = +2$ 、 $V_O = 2\text{V}$ ステップ		55		ns
	$G = +2$ 、 $V_O = 10\text{V}$ ステップ		250		ns
雑音/高調波性能					
SFDR	$f_C = 1\text{MHz}$ 、 $G = +2$ 、 $V_O = 2\text{Vp-p}$		-100		dBc
	$f_C = 5\text{MHz}$ 、 $G = +2$ 、 $V_O = 2\text{Vp-p}$		-67		dBc
	$f_C = 1\text{MHz}$ 、 $G = +2$ 、 $V_O = 10\text{Vp-p}$		-85		dBc
3次遮断	$f_C = 10\text{MHz}$ 、 $R_L = 100\Omega$		24		dBm
入力電圧雑音	$f = 10\text{kHz}$		7		$\text{nV}/\sqrt{\text{Hz}}$
入力電流雑音	$f = 10\text{kHz}$		1		$\text{fA}/\sqrt{\text{Hz}}$
差動ゲイン誤差	NTSC、 $G = +2$ 、 $R_L = 150\Omega$		0.04		%
差動位相誤差	NTSC、 $G = +2$ 、 $R_L = 150\Omega$		0.03		度
DC性能					
入力オフセット電圧	$V_{CM} = 0\text{V}$ 、SOICパッケージ		0.4	1.5	mV
入力オフセット電圧ドリフト			1	17	$\mu\text{V}/^\circ\text{C}$
入力バイアス電流	SOICパッケージ		3	7	pA
	$T_{MIN} \sim T_{MAX}$		25		pA
入力オフセット電流			2	10	pA
	$T_{MIN} \sim T_{MAX}$		2		pA
オープンループ・ゲイン	$V_O = \pm 10\text{V}$ 、 $R_L = 1\text{k}\Omega$	103	114		dB
入力特性					
コモンモード入力インピーダンス			1000  2.1		$\text{G}\Omega  \text{pF}$
差動入力インピーダンス			1000  4.5		$\text{G}\Omega  \text{pF}$
入力コモンモード電圧範囲					
FET入力範囲		-12~+8.5	-12.0~+9.5		V
使用可能範囲	アプリケーションの節を参照		-12.0~+12.0		V
コモンモード除去比	$V_{CM} = -1 \sim +1\text{V}$	-85	-100		dB
	$V_{CM} = -1 \sim +1\text{V}$ (SOT23)	-82	-91		dB
出力特性					
出力電圧振幅	$R_L = 1\text{k}\Omega$	-11.8~+11.8	-11.9~+11.9		V
	$R_L = 350\Omega$		-11.25~+11.5		V
出力電流	$V_O = 22\text{Vp-p}$ 、 SFDR $\geq -60\text{dBc}$ 、 $f = 500\text{kHz}$		30		mA
短絡電流			120		mA
容量性負荷駆動	30%オーバershoot $G = +1$		25		pF
電源					
動作範囲		5		24	V
アンプ当たりの静止電流			6.6	7.4	mA
電源電圧除去比 (PSRR)	$\pm\text{PSRR}$	-84	-95		dB

# AD8065/AD8066 — 仕様 (特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $1.5\text{V}$ まで $R_L = 1\text{k}\Omega$ )

パラメータ	条件	最小	標準	最大	単位
動的性能					
-3dB帯域幅	$G = +1$ 、 $V_O = 0.2\text{Vp-p}$ (AD8065)	125	155		MHz
	$G = +1$ 、 $V_O = 0.2\text{Vp-p}$ (AD8066)	110	130		MHz
	$G = +2$ 、 $V_O = 0.2\text{Vp-p}$		50		MHz
	$G = +2$ 、 $V_O = 2\text{Vp-p}$		43		MHz
平坦性が0.1dBでの帯域幅	$G = +2$ 、 $V_O = 0.2\text{Vp-p}$		6		MHz
入力オーバードライブの回復時間	$G = +1$ 、 $-0.5 \sim +5.5\text{V}$		175		ns
出力回復時間	$G = -1$ 、 $-0.5 \sim +5.5\text{V}$		170		ns
スルーレート	$G = +2$ 、 $V_O = 2\text{V}$ ステップ	105	160		V/ $\mu\text{s}$
0.1%までの安定時間	$G = +2$ 、 $V_O = 2\text{V}$ ステップ		60		ns
雑音/高調波性能					
SFDR	$f_C = 1\text{MHz}$ 、 $G = +2$ 、 $V_O = 2\text{Vp-p}$		-65		dBc
	$f_C = 5\text{MHz}$ 、 $G = +2$ 、 $V_O = 2\text{Vp-p}$		-50		dBc
3次遮断	$f_C = 10\text{MHz}$ 、 $R_L = 100\Omega$		22		dBm
入力電圧雑音	$f = 10\text{kHz}$		7		$\text{nV}/\sqrt{\text{Hz}}$
入力電流雑音	$f = 10\text{kHz}$		0.6		$\text{fA}/\sqrt{\text{Hz}}$
差動ゲイン誤差	NTSC、 $G = +2$ 、 $R_L = 150\Omega$		0.13		%
差動位相誤差	NTSC、 $G = +2$ 、 $R_L = 150\Omega$		0.16		度
DC性能					
入力オフセット電圧	$V_{CM} = 1.0\text{V}$ 、SOICパッケージ		0.4	1.5	mV
入力オフセット電圧ドリフト			1	17	$\mu\text{V}/^\circ\text{C}$
入力バイアス電流	SOICパッケージ		1	5	pA
	$T_{MIN} \sim T_{MAX}$		25		pA
入力オフセット電流			1	5	pA
	$T_{MIN} \sim T_{MAX}$		1		pA
オープンループ・ゲイン	$V_O = 1 \sim 4\text{V}$ (AD8065)	100	113		dB
	$V_O = 1 \sim 4\text{V}$ (AD8066)	90	103		dB
入力特性					
コモンモード入力インピーダンス			1000  2.1		$\text{G}\Omega  \text{pF}$
差動入力インピーダンス			1000  4.5		$\text{G}\Omega  \text{pF}$
入力コモンモード電圧範囲					
FET入力範囲		0~1.7	0~2.4		V
使用可能範囲	アプリケーションの節を参照		0~5.0		V
コモンモード除去比	$V_{CM} = 1 \sim 4\text{V}$	-74	-100		dB
	$V_{CM} = 1 \sim 2\text{V}$ (SOT23)	-78	-91		dB
出力特性					
出力電圧振幅	$R_L = 1\text{k}\Omega$	0.1~4.85	0.03~4.95		V
	$R_L = 150\Omega$		0.07~4.83		V
出力電流	$V_O = 4\text{Vp-p}$ 、 SFDR $\geq -60\text{dBc}$ 、 $f = 500\text{kHz}$		35		mA
短絡電流			75		mA
容量性負荷駆動	30%オーバーシュート $G = +1$		5		pF
電源					
動作範囲		5		24	V
アンプ当たりの静止電流		5.8	6.4	7	mA
電源電圧除去比 (PSRR)	$\pm\text{PSRR}$	-74	-100		dB

絶対最大定格\*

電源電圧 .....26.4V  
 消費電力 .....図2を参照  
 コモンモード入力電圧 ..... $V_{EE} - 0.5V \sim V_{CC} + 0.5V$   
 差動入力電圧 .....1.8V  
 保存温度 .....-65~+125°C  
 動作温度範囲 .....-40~+85°C  
 リード温度範囲 (ハンダ付け10秒) .....300°C

※上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損害を与えることがあります。このリストは、単純にストレス定格を規定したものであり、この仕様書の動作の節に記載した条件を超えてデバイスが機能的に動作することを意味するものではありません。長期間、絶対最大定格の状態に放置すると、デバイスの信頼性に影響を与えるおそれがあります。

最大消費電力

AD8065/AD8066パッケージの最大安全消費電力は、チップ上の接合温度 ( $T_J$ ) の上昇により制限されます。チップを包み込む合成樹脂は、局部的に接合温度に達します。ガラス転移温度である約150°Cで、合成樹脂はその特性が変化します。たとえ一時的であってもこの制限温度を超えると、パッケージによってチップに加わるストレスが変化し、AD8065/AD8066のパラメトリック性能を永久的に変えてしまう可能性があります。長時間にわたって接合温度が+175°Cを超えると、シリコン・デバイスが変化するおそれがあり、場合によっては故障につながります。

パッケージとPCBの静止空気の熱特性 ( $\theta_{JA}$ )、周囲温度 ( $T_A$ )、パッケージ内の総消費電力 ( $P_D$ ) によって、チップの接合温度が決まります。接合温度は次の式で計算できます。

$$T_J = T_A + (P_D \times \theta_{JA})$$

パッケージで消費される電力 ( $P_D$ ) は、静止消費電力と、すべての出力の負荷を駆動するためにパッケージで消費される電力の合計です。静止電力は、電源ピン間の電圧 ( $V_S$ ) に静止電流 ( $I_S$ ) を乗じたものです。負荷 ( $R_L$ ) が中間電源を基準にすると仮定すると、総駆動電力は、 $V_S/2 \times I_{OUT}$  となり、そのうちの一部はパッケージで消費され、また一部は負荷で消費されます ( $V_{OUT} \times I_{OUT}$ )。総駆動電力と負荷電力との差が、パッケージで消費される駆動電力です。

$$P_D = \text{静止電力} + (\text{総駆動電力} - \text{負荷電力})$$

$$P_D = (V_S \times I_S) + \left( \frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

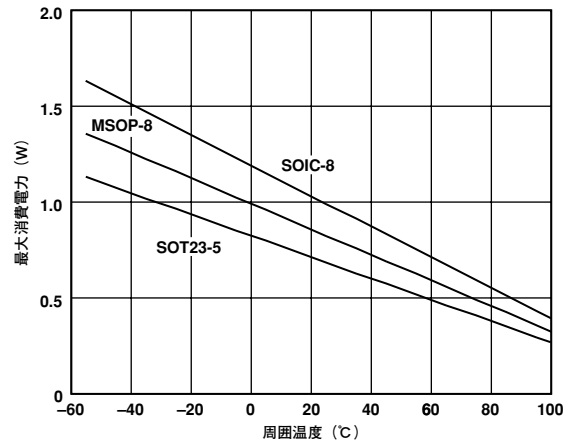


図2. 4層基板での最大消費電力と温度の関係

RMS出力電圧を考慮する必要があります。単一電源動作の場合のように、 $R_L$ が $V_S$ を基準にする場合、総駆動電力は $V_S \times I_{OUT}$ となります。

RMSの信号レベルが不定の場合には、最悪の事態を考慮します。この場合、中間電源に対する $R_L$ の $V_{OUT} = V_S/4$ となり、消費電力は、次式で得られます。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

$R_L$ が $V_S$ を基準にする単一電源動作では、最悪の事態は、 $V_{OUT} = V_S/2$ となります。

空気流により、実質的に放熱が増加し、 $\theta_{JA}$ は減少します。さらに、メタル・パターンからのパッケージ・リードと直接触れる金属や、スルーホール、グラウンド、電源プレーンによっても、 $\theta_{JA}$ は減少します。基板のレイアウトの節で説明しているように、高速オペアンプの入力リードでの寄生容量をできるだけ少なくすることが必要です。

図2は、JEDEC規格の4層基板でのSOIC-8 (125°C/W) とSOT23-5\* (180°C/W) パッケージの、周囲温度に対するパッケージの最大安全消費電力を示しています。 $\theta_{JA}$ の値は近似値です。

出力短絡

AD8065/AD8066では、グラウンドに出力を短絡したり過剰な電流を引き込むと、破局的な故障を引き起こすおそれがあります。

発注ガイド

モデル	温度範囲	パッケージ名称	パッケージ・オプション	ブランド・コード	
AD8065AR	-40~+85°C	8ピンSOIC	SOIC-8	HRA HRA	
AD8065AR-REEL	-40~+85°C	8ピンSOIC	SOIC-8		
AD8065AR-REEL7	-40~+85°C	8ピンSOIC	SOIC-8		
AD8065ART-REEL	-40~+85°C	5ピンSOT23	SOT23-5		
AD8065ART-REEL7	-40~+85°C	5ピンSOT23	SOT23-5		
AD8066AR*	-40~+85°C	8ピンSOIC	SOIC-8		
AD8066AR-REEL*	-40~+85°C	8ピンSOIC	SOIC-8		
AD8066AR-REEL7*	-40~+85°C	8ピンSOIC	SOIC-8		
AD8066ARM-REEL	-40~+85°C	5ピンMSOP	MSOP-8		H1A H1A
AD8066ARM-REEL7	-40~+85°C	5ピンMSOP	MSOP-8		

※開発中

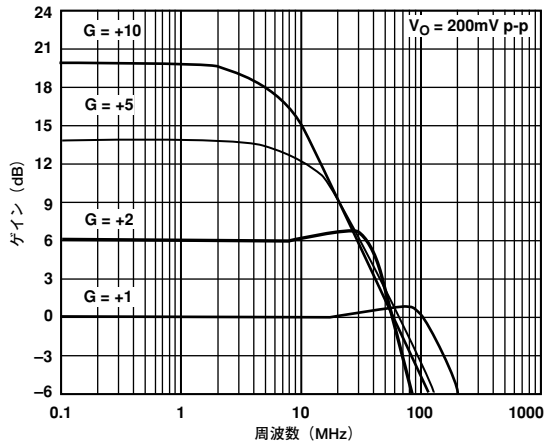
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電放電が容易に蓄積され、検知されないまま放電されます。AD8065/AD8066は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

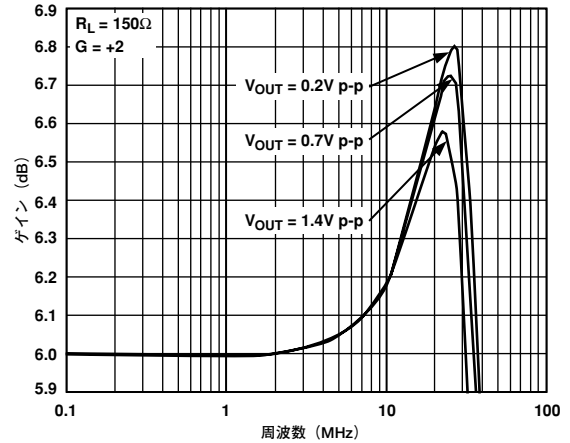


# AD8065/AD8066 — 代表的な性能特性

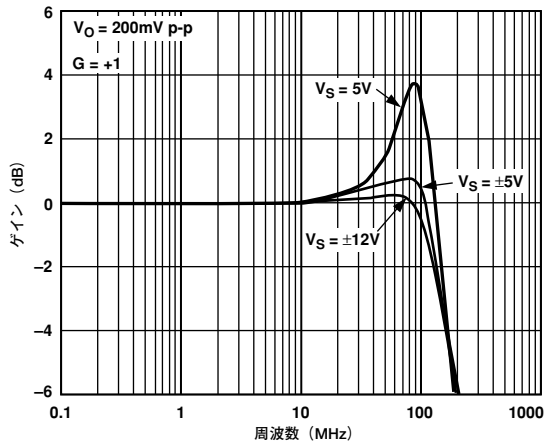
(デフォルト状態 :  $\pm 5V$ 、 $C_L = 5pF$ 、 $R_L = 1k\Omega$ 、 $V_{OUT} = 2Vp-p$ 、温度 =  $25^\circ C$ )



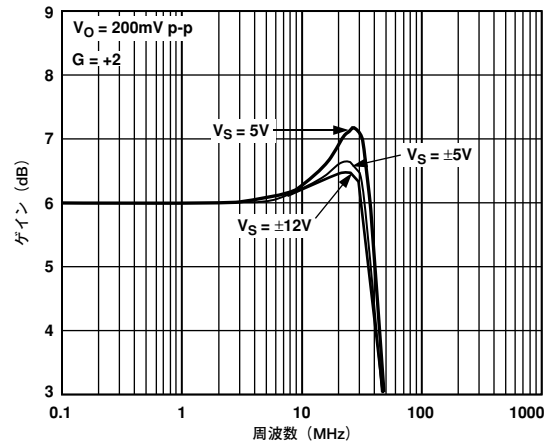
TPC1. 各ゲインについての小信号周波数応答



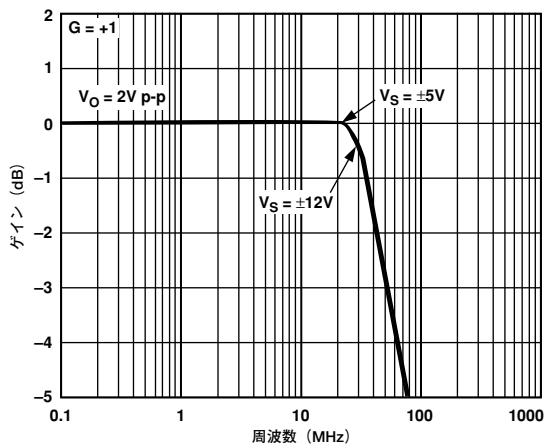
TPC4. 0.1dB平坦性の周波数応答  
(テスト回路2を参照)



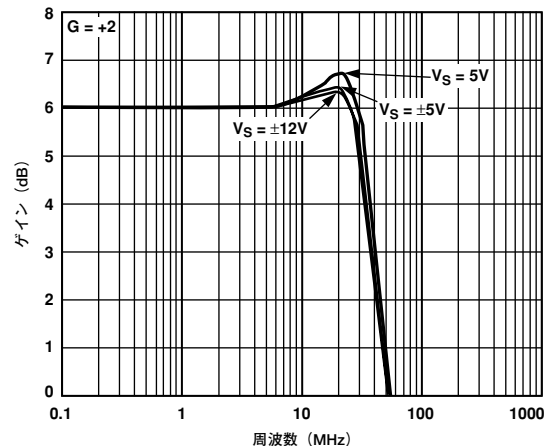
TPC2. 各電源についての小信号周波数応答  
(テスト回路1を参照)



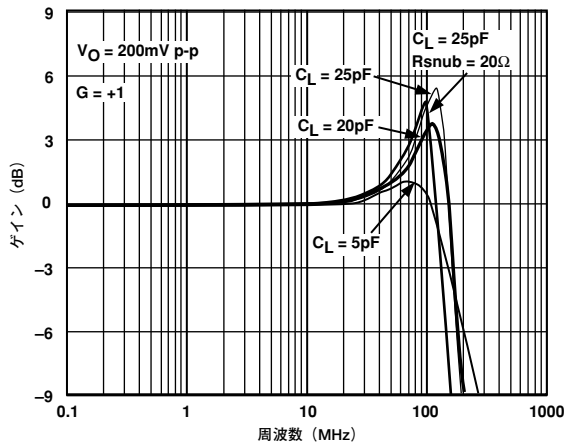
TPC5. 各電源についての小信号周波数応答  
(テスト回路2を参照)



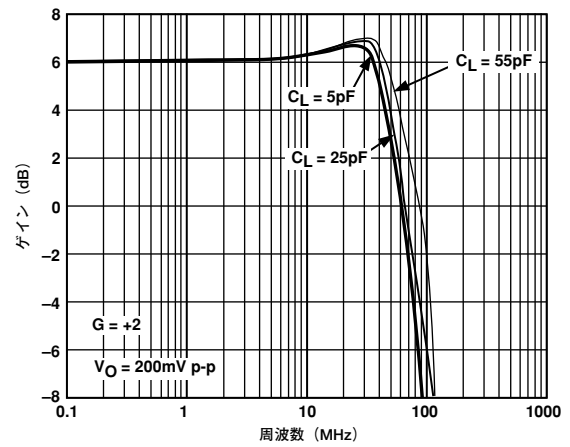
TPC3. 各電源についての大信号周波数応答  
(テスト回路1を参照)



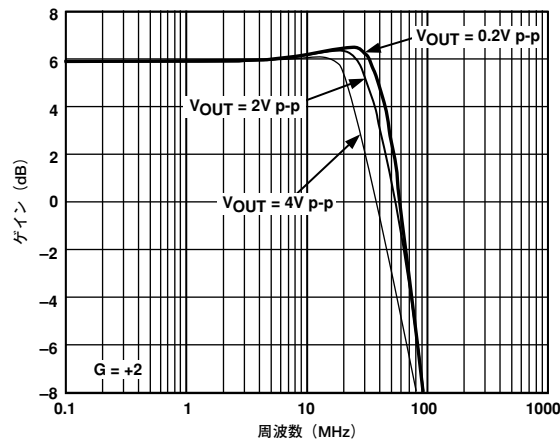
TPC6. 各電源についての大信号周波数応答  
(テスト回路2を参照)



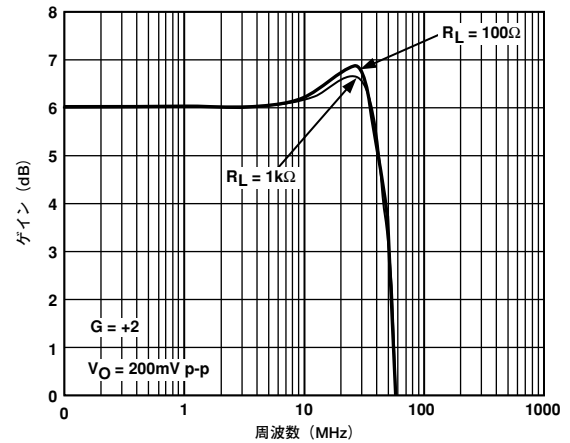
TPC7. 各 $C_{LOAD}$ についての小信号周波数応答 (テスト回路1を参照)



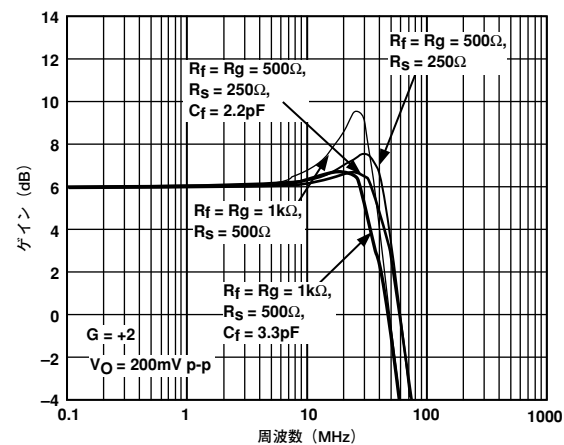
TPC10. 各 $C_{LOAD}$ についての小信号周波数応答 (テスト回路2を参照)



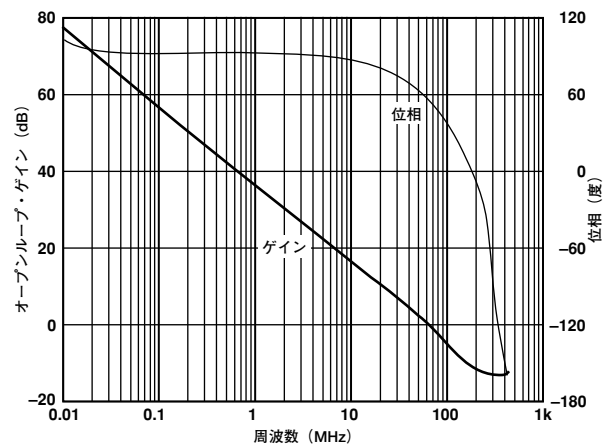
TPC8. 各出力振幅についての周波数応答 (テスト回路2を参照)



TPC11. 各 $R_{LOAD}$ についての小信号周波数応答 (テスト回路2を参照)

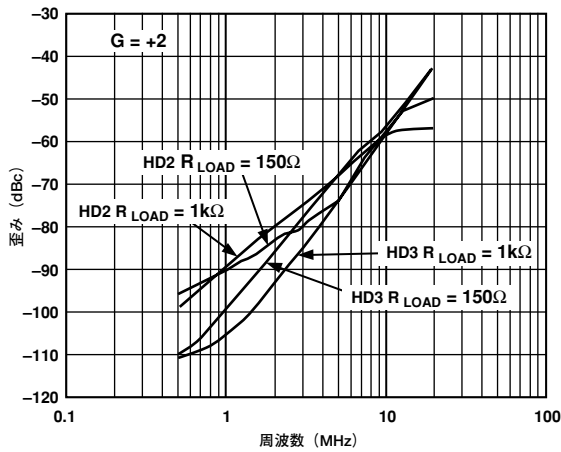


TPC9. 各 $R_f/C_f$ についての小信号周波数応答 (テスト回路2を参照)

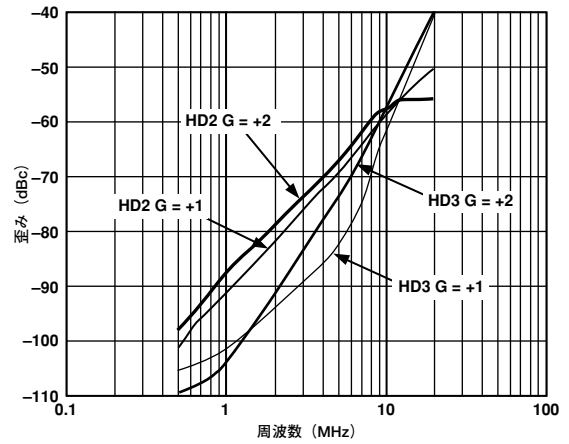


TPC12. オープンループ応答

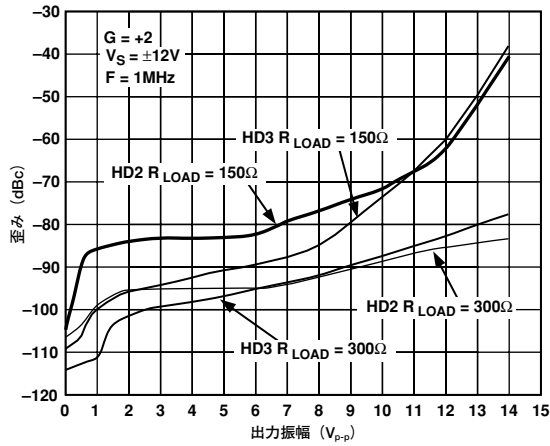
# AD8065/AD8066



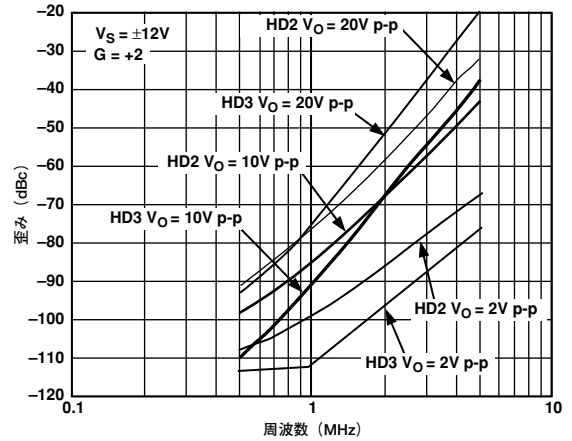
TPC13. 各負荷についての高調波歪みと周波数 (テスト回路2を参照)



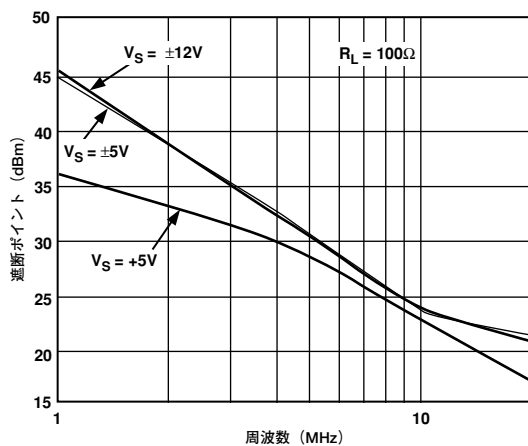
TPC16. 各ゲインについての高調波歪みと周波数 (テスト回路1と2を参照)



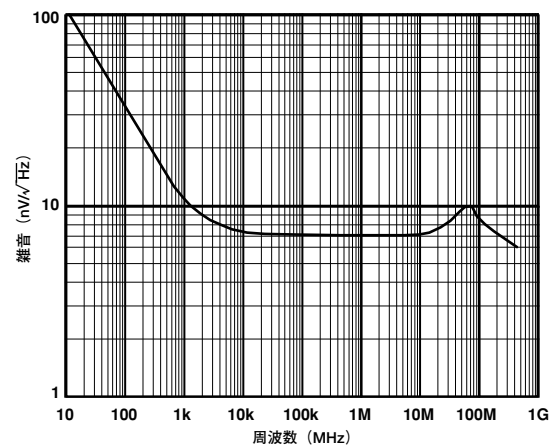
TPC14. 各負荷についての高調波歪みと振幅 (V<sub>S</sub> = ±12V、テスト回路2を参照)



TPC17. 各振幅についての高調波歪みと周波数 (テスト回路2を参照)

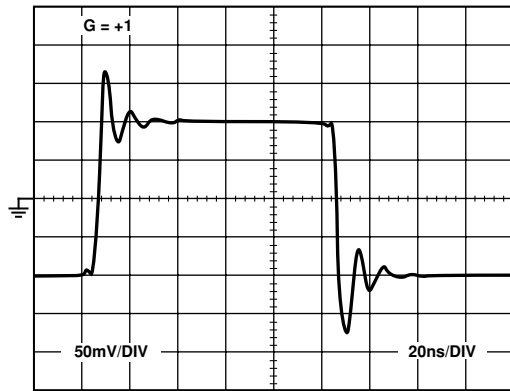


TPC15. 3次遮断と周波数および電源電圧

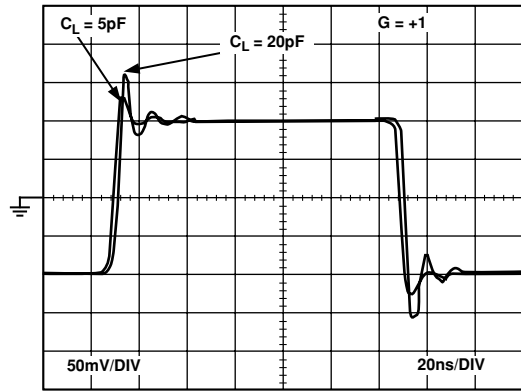


TPC18. 電圧雑音

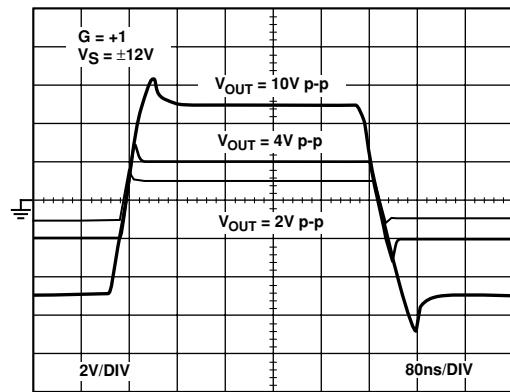




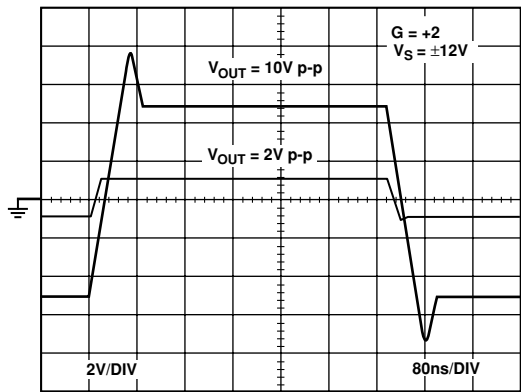
TPC19. 小信号過渡応答 (5V電源、テスト回路1を参照)



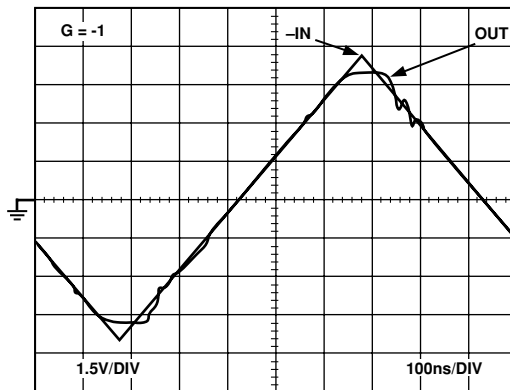
TPC22. 小信号過渡応答±5V (テスト回路1を参照)



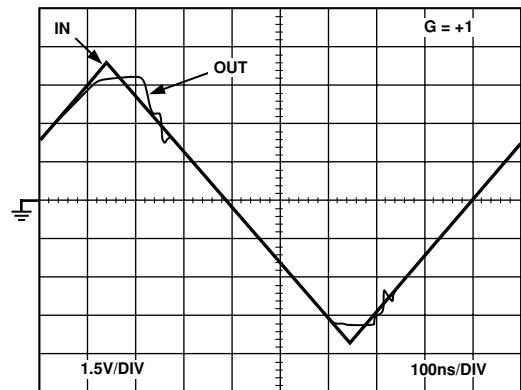
TPC20. 大信号過渡応答 (テスト回路1を参照)



TPC23. 大信号過渡応答 (テスト回路2を参照)

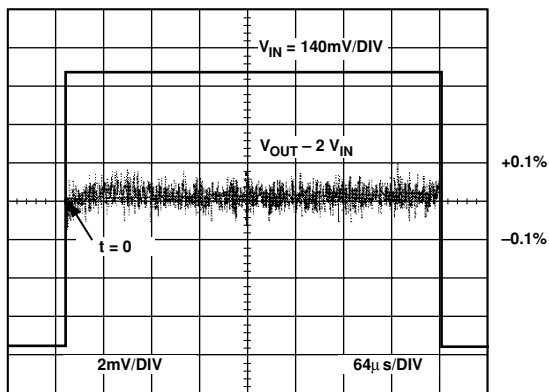


TPC21. 出力オーバードライブの回復 (テスト回路3を参照)、 $V_S = \pm 5V$

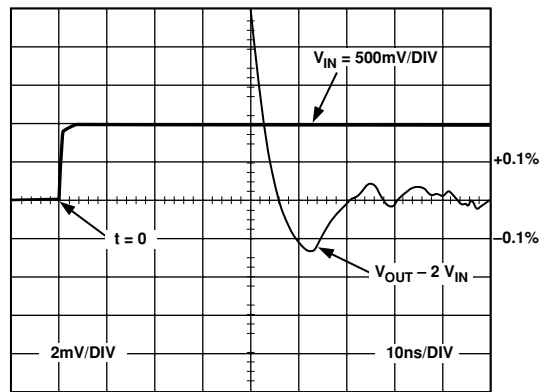


TPC24. 入力オーバードライブの回復 (テスト回路1を参照)、 $V_S = \pm 5V$

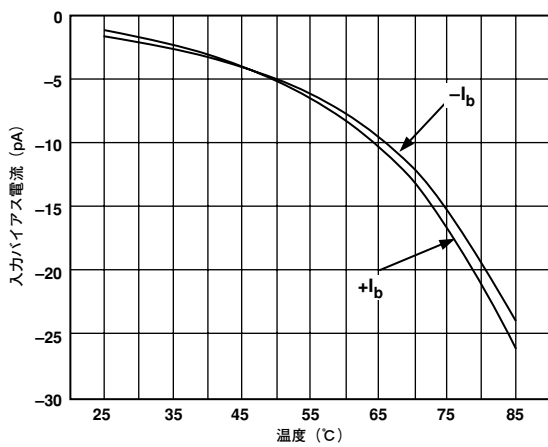
# AD8065/AD8066



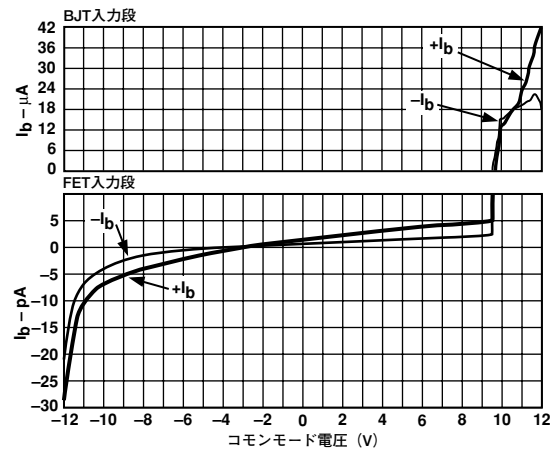
TPC25. 長期的な安定時間 (テスト回路8を参照)



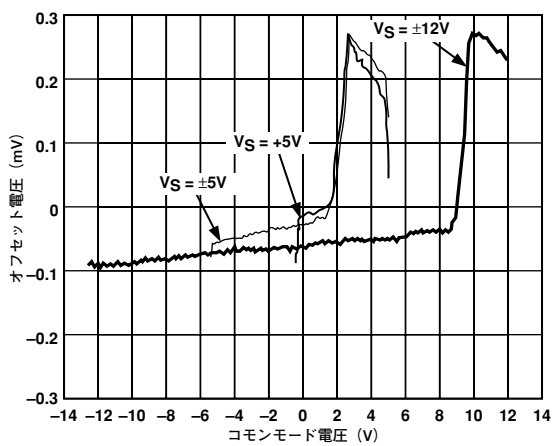
TPC28. 0.1%の短期的な安定時間 (テスト回路8を参照)



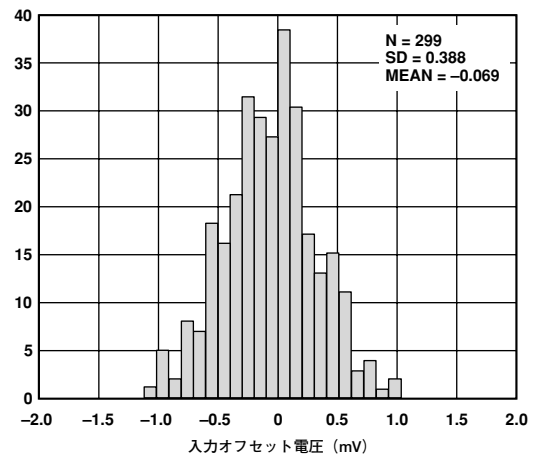
TPC26. 入力バイアス電流と温度



TPC29. 入力バイアス電流とコモンモード電圧範囲\*

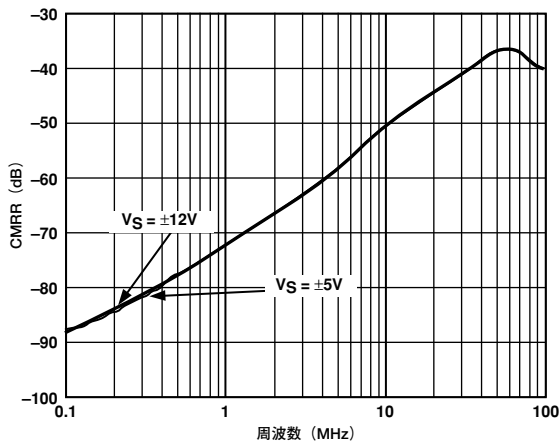


TPC27. 入力オフセット電圧とコモンモード電圧

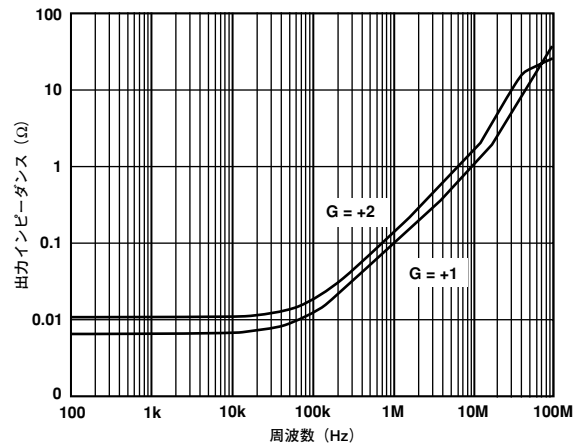


TPC30. 入力オフセット電圧

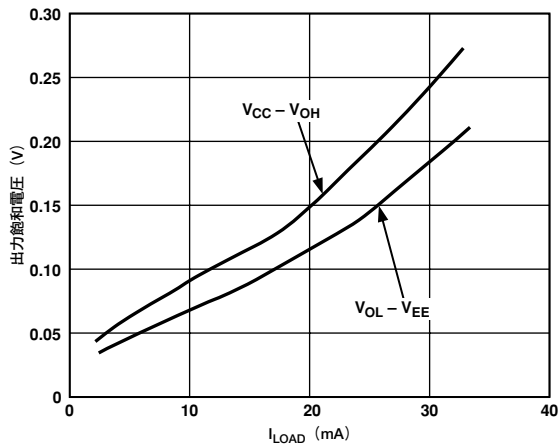
\*入力と出力の過負荷現象の節を参照。



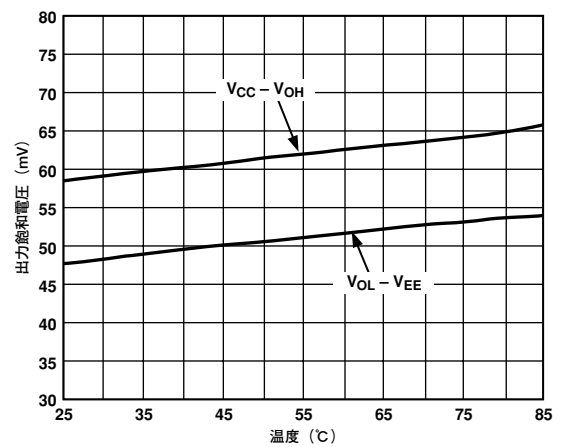
TPC31. CMRR (コモンモード除去比) と周波数 (テスト回路5を参照)



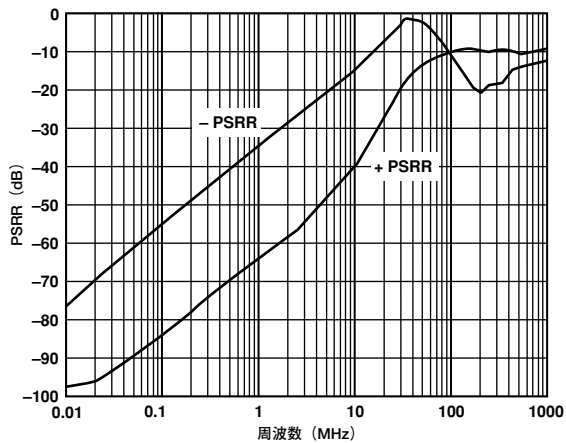
TPC34. 出カインピーダンスと周波数 (テスト回路4と6を参照)



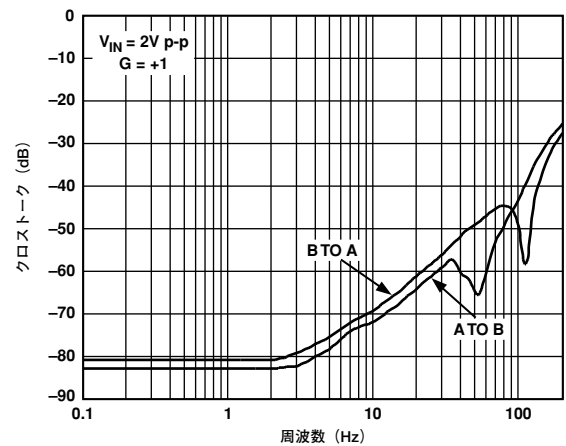
TPC32. 出力飽和電圧と出力負荷電流



TPC35. 出力飽和電圧と温度

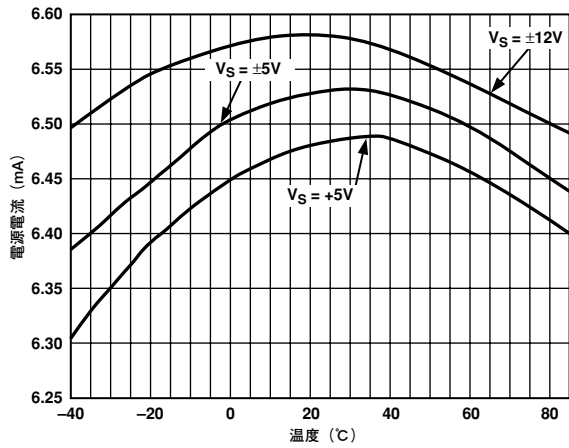


TPC33. PSRR (電源電圧除去比) と周波数 (テスト回路7と9を参照)

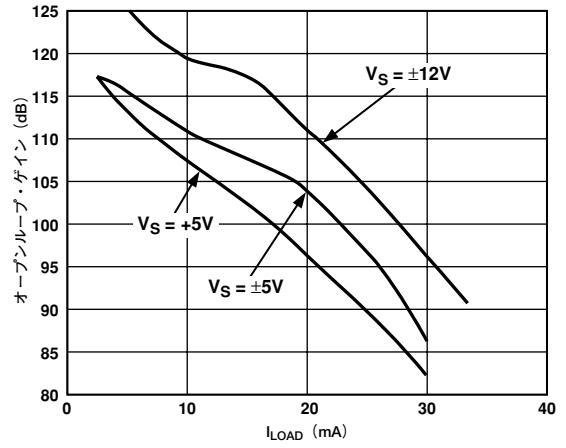


TPC36. クロストークと周波数 (テスト回路10を参照)

# AD8065/AD8066

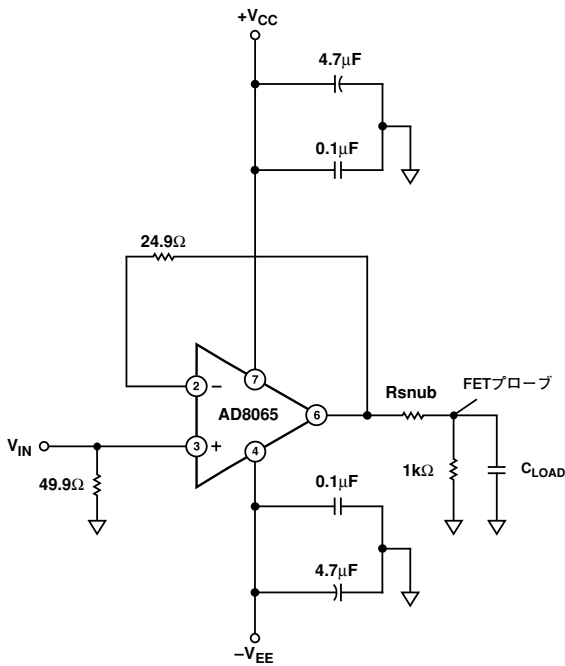


TPC37. 各電源電圧についての静止電源電流と温度

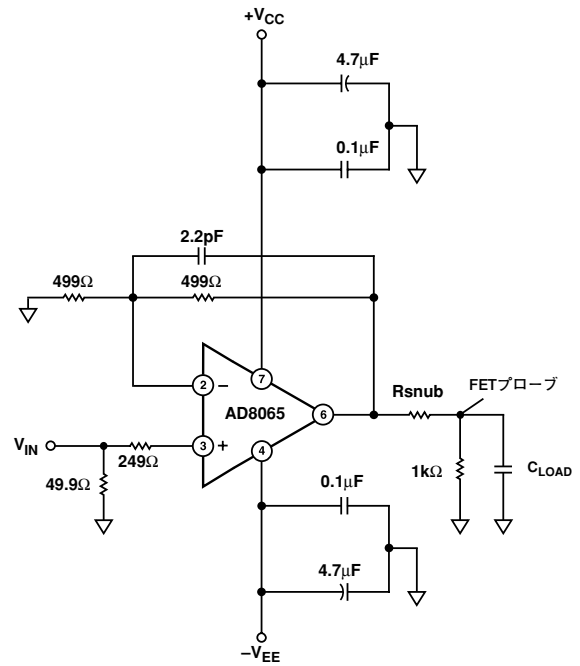


TPC38. 各電源電圧についてのオープンループ・ゲインと負荷電流

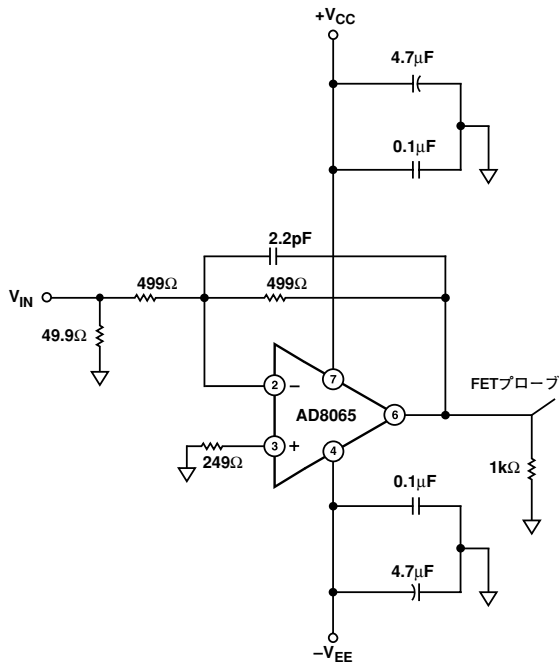
## テスト回路



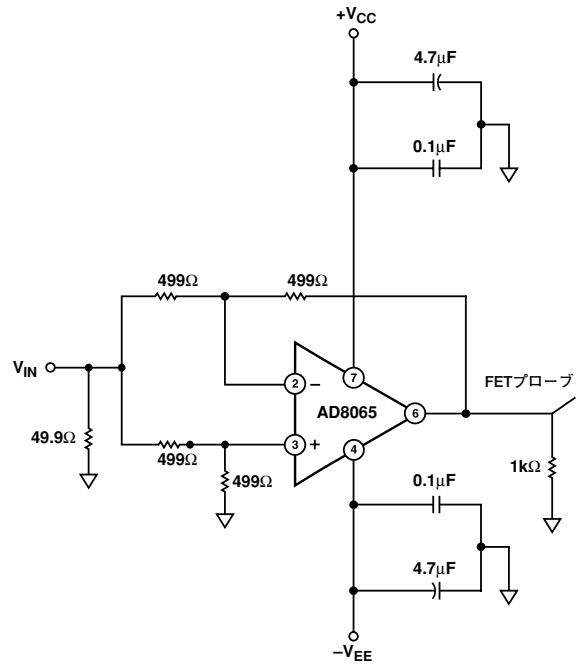
テスト回路1.  $G = +1$



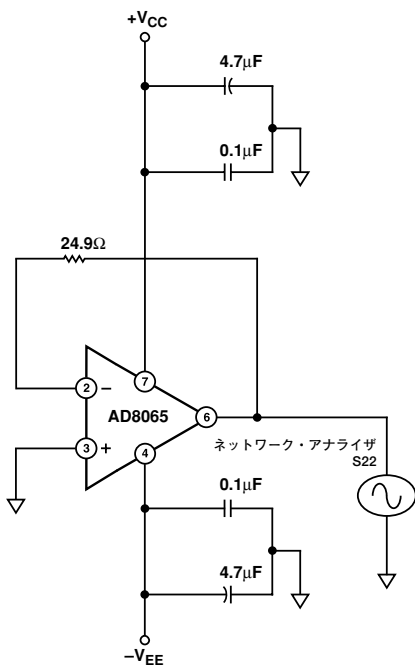
テスト回路2.  $G = +2$



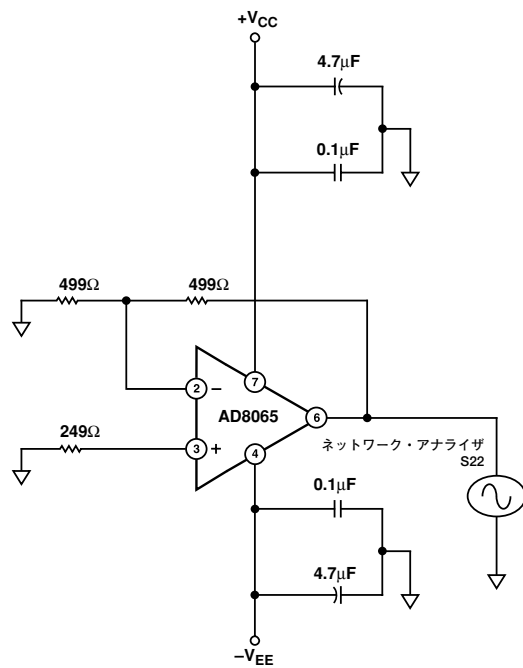
テスト回路3.  $G = -1$



テスト回路5. CMRR (コモンモード除去比)



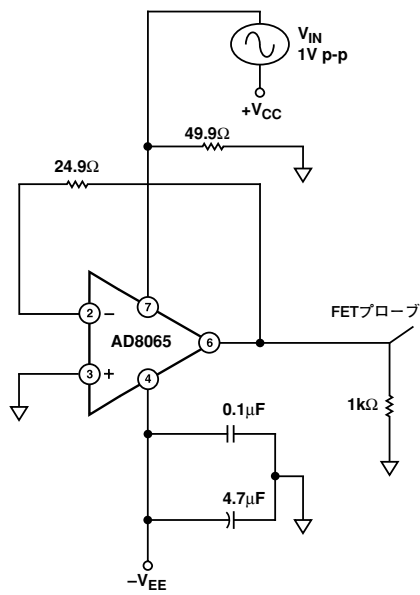
テスト回路4. 出力インピーダンス  $G = +1$



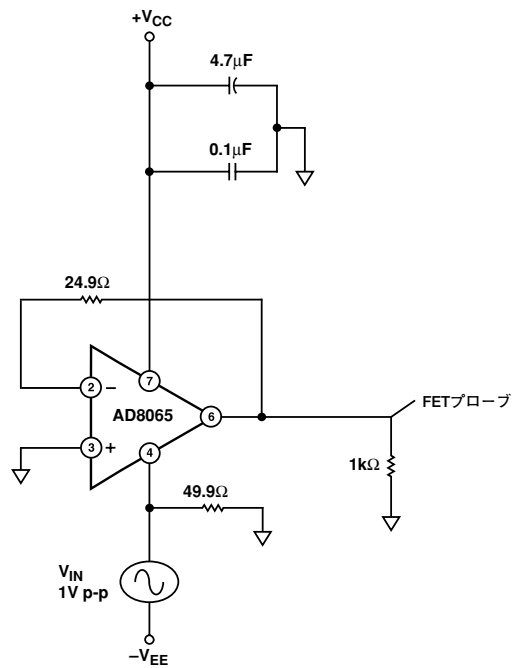
テスト回路6. 出力インピーダンス  $G = +2$

※ SOICピン配置

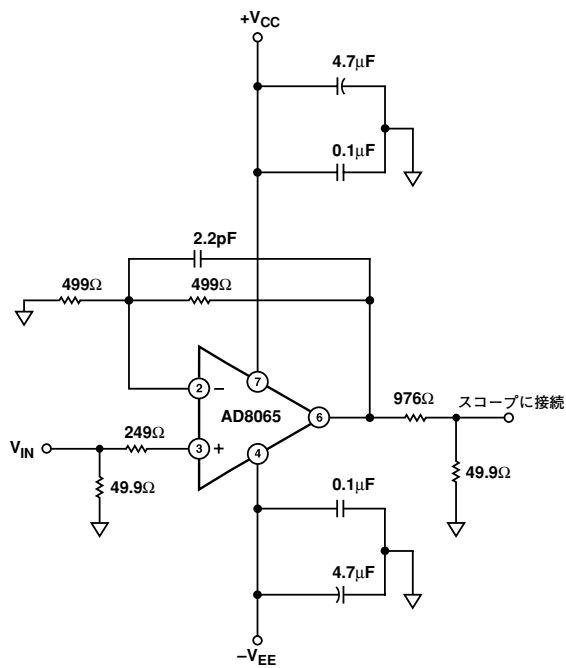
# AD8065/AD8066



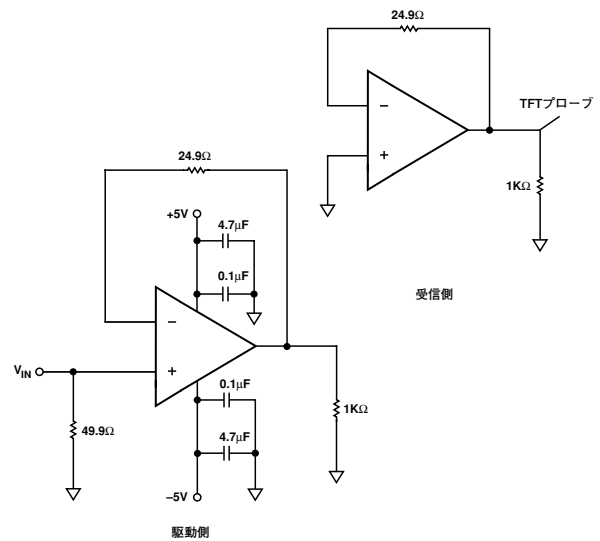
テスト回路7. 正PSRR (電源電圧除去比)



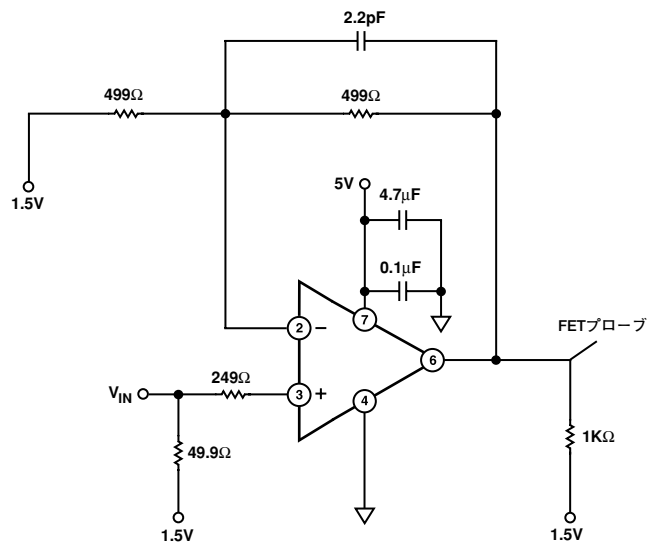
テスト回路9. 負PSRR (電源電圧除去比)



テスト回路8. 安定時間



テスト回路10. クロストーク — AD8066



テスト回路11. 単一電源

# AD8065/AD8066

## 動作原理

AD8065/AD8066は、電圧フィードバック・オペアンプであり、レーザートリミングされたJFET入力段とアナログ・デバイス独自の高速相補型バイポーラ (XFCB) プロセスとの組み合わせにより、優れた精度と速度を同時に実現しています。電源電圧範囲は、5~24Vです。これらのアンプは、特許取得済みのレール・ツー・レール出力段を備えているため、最大30mAのソース電流またはシンク電流を供給しながら電源の0.5V以内での駆動が可能です。また、単一電源入力段も備えているので、マイナス電源から正極性レールの3V以内までのコモンモード信号を取り扱うことができます。正電源までの入力電圧で機能する補助バイポーラ入力段のため、JFET入力範囲を超えた動作も可能です。アンプは、レール・ツー・レール入力を備えているかのように動作し、また電源内でコモンモード電圧の位相反転現象は生じません。

AD8065は、電圧雑音が $7\text{nV}/\sqrt{\text{Hz}}$ で、1MHz 2Vp-p信号での歪みが-88dBcであるため、高解像度のデータ収集システムに最適です。また低雑音、数pAの入力電流、高精度のオフセット、および高速性により、高速フォトダイオード・アプリケーションのプリアンプとして最適です。AD8065の速度と出力駆動の能力は、ビデオ・アプリケーションにおいても発揮されます。

## クローズドループの周波数応答

AD8065/AD8066は、図3に示すようにほぼ積分応答とみなすことのできる、クローズドループの周波数応答を備えた標準的な電圧フィードバック・アンプです。反転および非反転構成のクローズドループの基本周波数応答は、以下の回路図で得られます。

## 非反転クローズドループの周波数応答

以下の伝達関数を解きます。

$$\frac{V_O}{V_I} = \frac{2\pi \times f_{\text{crossover}} (R_G + R_F)}{(R_F + R_G)s + 2\pi \times f_{\text{crossover}} \times R_G}$$

$f_{\text{crossover}}$ は、アンプのオープンループ・ゲインが0dbに等しいときの周波数です。

dcでは次のようになります。

$$\frac{V_O}{V_I} = \frac{R_F + R_G}{R_G}$$

クローズドループの-3dB周波数の場合は、次のようになります。

$$f - 3\text{dB} = f_{\text{crossover}} \times \frac{R_G}{R_F + R_G}$$

## 反転構成

$$\frac{V_O}{V_I} = \frac{-2\pi \times f_{\text{crossover}} \times R_F}{s(R_F + R_G) + 2\pi \times f_{\text{crossover}} \times R_G}$$

dcでは次のようになります。

$$\frac{V_O}{V_I} = \frac{R_F}{R_G}$$

クローズドループの-3dB周波数の場合は、次のようになります。

$$f - 3\text{dB} = f_{\text{crossover}} \times \frac{R_G}{R_F + R_G}$$

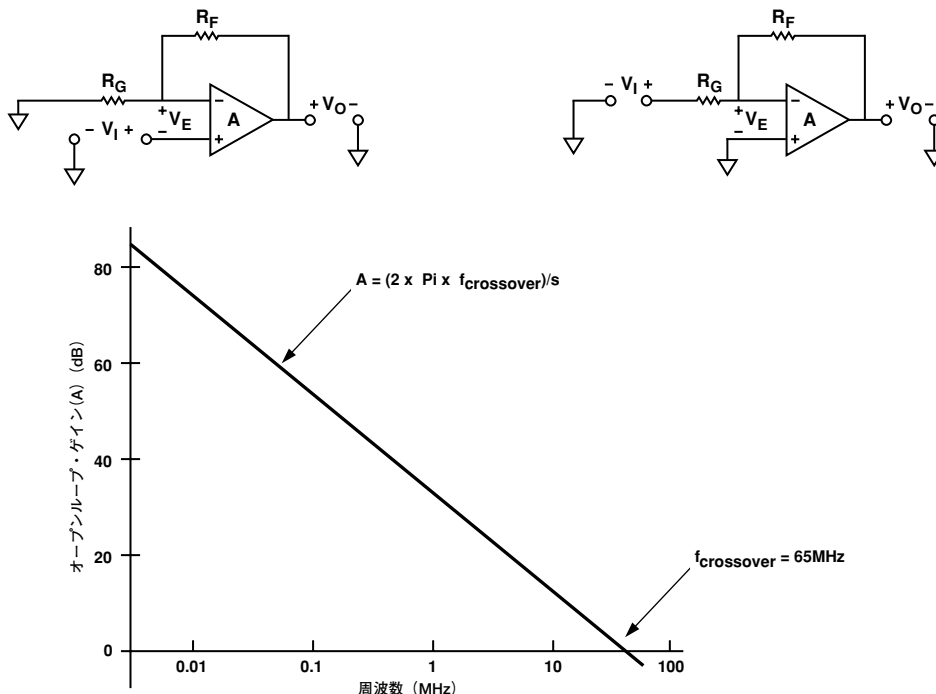


図3. オープンループ・ゲインと周波数、および基本接続



クローズドループの帯域幅は、オペアンプ回路の雑音ゲイン ( $R_F + R_G$ )/ $R_G$  に逆比例します。この単純なモデルは、2より大きい雑音ゲインの場合には正確な値を示します。雑音ゲインが2以下の回路の実際の帯域幅は、実際のオペアンプの周波数応答において他の極の影響があるため、このモデルで予想された値より高くなります。

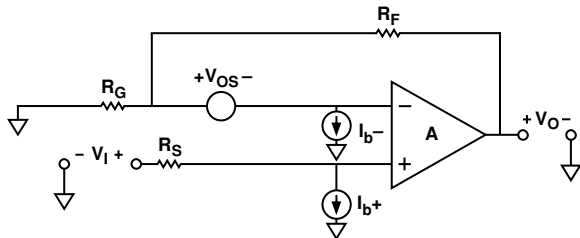


図4. 電圧フィードバック・アンプのDC誤差

図4に電圧フィードバック・アンプのdc誤差を示します。反転と非反転のどちらの構成についても、次式が得られます。

$$V_O (\text{誤差}) = -I_{b-} R_S \left( \frac{R_G + R_F}{R_G} \right) + I_{b+} R_F + V_{OS} \left( \frac{R_G + R_F}{R_G} \right)$$

$I_{b+}$ と $I_{b-}$ による電圧誤差は、 $R_S = R_F/R_G$ の場合に最小になります (AD8065の入力電流はいずれの温度についても20pA未満ですが、これはおそらく関係ありません)。コモンモード除去と電源電圧除去の影響を含めるには、総 $V_{OS}$ は次式で表せます。

$$V_{OS} = V_{OS_{nom}} + \frac{\Delta V_S}{PSR} + \frac{\Delta V_{cm}}{CMR}$$

$V_{OS_{nom}}$ は、定格状態で規定されるオフセット電圧です。 $\Delta V_S$ は定格状態からの電源の変動です。PSRは電源電圧除去です。 $\Delta V_{CM}$ は、定格状態からのコモンモード電圧の変化です。CMRはコモンモード除去です。

#### 広帯域動作

テスト回路1、2、および3は、ゲインが+1、+2、および-1の広帯域特性を示す場合に使用する回路です。加算接合部 ( $R_F || R_G$ ) のソース・インピーダンスは、アンプの入力容量が6.6pFのときに、アンプのループ応答に極を形成します。形成された時定数が低すぎる場合、これによってピーキングとリングングを生じる可能性があります。フィードバック抵抗は300~1k $\Omega$ をお勧めします。これらは必要以上にアンプに負荷をかけることがないため、形成された時定数が過度に低くなることはありません。周波数応答のピーキングは、代表特性のTPC9に図示するように、フィードバック抵抗と平行な小型コンデンサ ( $C_F$ ) で補償することができます。これにより、ピーキングおよび非反転アンプの帯域幅 ( $G = +2$ ) に対するさまざまなフィードバック容量の影響がわかります。

最適な安定時間と最適な歪みを得るためには、AD8065の各入力端子のインピーダンスを一致させる必要があります。これにより、ac性能が劣化するおそれのある非線形コモンモード容量の影響を最小限にできます。

実際の歪み性能は、以下に示すいくつかの変動要因に左右されます。

- ・アプリケーションのクローズドループ・ゲイン
- ・クローズドループが反転か非反転か
- ・アンプの負荷
- ・信号周波数と振幅
- ・基板のレイアウト

TPC13~17も参照してください。最低歪みは、ゲインの低い反転アプリケーションでAD8065を使用した場合に得られます。これはコモンモードの影響を除去するからです。クローズドループ・ゲインが高くなるほど、歪み性能は悪くなります。

#### 入力保護

AD8065の入力は、入力端子間に連続配置されたダイオードや、電源のESDダイオードによって保護されています。これにより、入力段はピコ・アンペアの入力電流となり、劣化を生じることなく最大1,500VのESD事象 (人体モデル) に耐えることができるようになります。

保護デバイスによる消費電力が大きくなりすぎると、アンプが破壊されたりその性能が劣化します。差動電圧が0.7Vより大きくなると、入力電流はおおよそ  $(|V_+ - V_-| - 0.7V)/R_I$  となります。ここで、 $R_I$ は入力に直列な抵抗です。入力電圧が正の電源を超えた場合、入力電流はおおよそ  $(V_+ - V_{CC} - 0.7)/R_I$  となり、負の電源を超えた場合、入力電流は約  $(V_- - V_{EE} + 0.7)/R_I$  となります。アンプの入力に0.7Vを超える持続性の差動電圧が加えられた場合、あるいはアンプの電源電圧を超える入力電圧が加えられた場合、図5に示すように、適切な大きさの入力抵抗 ( $R_I$ ) によって入力電流を30mAに制限する必要があります。

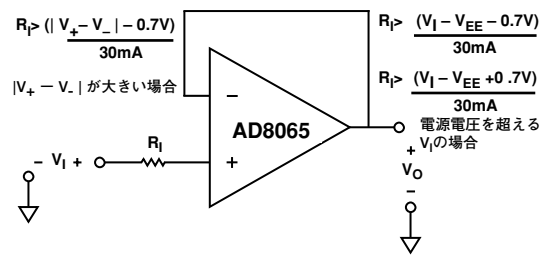


図5. 電流制限抵抗

#### 熱の考察

24Vの電源で6.5mAの静止電流の場合、は、無負荷状態で156mWを消費します。AD8066は、312mWを消費します。これは特に、小型のSOT23-5 (160 $^{\circ}$ C/Wの熱抵抗) において、熱による著しい影響を生じる可能性があります。 $V_{OS}$ 温度ドリフトは、17 $\mu$ V/ $^{\circ}$ Cの最大ドリフトを保証できるように調整されているので、24VのSOT23-5パッケージのAD8065では、ウォームアップの影響により最大0.425mVの変化を生じるおそれがあります。

$I_{b+}$ は、温度が10 $^{\circ}$ C上昇するごとに1.7倍ずつ増加します。 $I_{b-}$ は、単一5V電源とは異なり、24V電源でほぼ5倍の大きさに増大します。

最大消費電力の節で説明したように、大きな負荷により消費電力は増大し、チップの接合温度は上昇します。パッケージの定格消費電力を超えないように注意する必要があります。

#### 入力と出力の過負荷現象

AD8065は、入力段のオーバードライブによる位相反転を防止する内部回路を備えています。入力保護ダイオードと非位相反転回路を含んだ、簡単な入力段の回路図を図6に示します。

この回路は、入力コモンモード電圧が一定のスレッシュホールドを超えたときに、入力JFETペアのバイアス電流がOFFになり、また補助NPNペアのバイアス電流がONになって、アンプの制御を引き継ぐように調整されています。入力コモンモード電圧が実行可能な動作値に戻ると、FET段はONに戻り、またNPN段はOFFに戻って通常の動作が再開されます。

# AD8065/AD8066

NPNペアは、正電源までの入力電圧による動作に耐えることができるので、これは疑似レール・ツー・レール入力段となります。FET段のコモンモードの限度を超えて動作する場合、アンプの $V_{os}$ はNPNペアのオフセット（平均 $160\mu\text{V}$ 、標準偏差 $820\mu\text{V}$ ）まで変化し、 $I_b$ は、NPNペアのベース電流である最大 $45\mu\text{A}$ まで上昇します（TPC29を参照）。

スイッチバック、すなわち回復時間は、TPC24に示すとおり約 $100\text{ns}$ です。

レール・ツー・レール出力段の出力トランジスタは、出力がオーバードライブされたときの飽和範囲を制限する回路を備えています。これにより出力の回復時間が早まります。 $\pm 5\text{V}$ 電源での $0.5\text{V}$ の出力オーバードライブからの出力回復をTPC21に示します。

## レイアウト、グラウンド、バイパスの考察

### 電源バイパス

電源ピンは入力そのものであるから、雑音のない安定したdc電圧を供給できるよう配慮する必要があります。バイパス・コンデンサの目的は、すべての周波数において電源からグラウンドまでのインピーダンスを低減することです。これによって、大部分の雑音を分流またはフィルタリングできます。

デカップリング方式は、コンデンサを並列に組み合わせることにより、すべての周波数におけるバイパス・インピーダンスを最少限にすることを目的としたものです。 $0.1\mu\text{F}$ （X7RまたはNPO）のチップ・コンデンサがきわめて重要で、アンプ・パッケージのできるだけ近くに配置しなければなりません。 $4.7\mu\text{F}$ のタンタル・コンデンサは、高周波数のバイパスに関してはあまり重要でなく、電源入力が必要となるのは、ほとんどの場合、基板当たり1個だけです。

### グラウンド

高密度実装のPC基板では、グラウンド・プレーン層が重要な役割を果たし、電流を分散して寄生インダクタンスを最少限に低減

します。ただし、回路内で電流が流れる箇所を把握することが、効果的な高速回路設計を実現する上できわめて重要となります。電流経路の長さは、寄生インダクタンスの大きさ、従ってその経路の高周波数インピーダンスに正比例します。誘導性のグラウンド帰線における高速電流は、不要な電圧雑音を生成します。

高周波数バイパス・コンデンサのリード長は最も重要となります。バイパス・グラウンド内の寄生インダクタンスは、バイパス・コンデンサによるインピーダンスの低減動作に逆らって作用します。バイパス・コンデンサのグラウンド・リードを物理的に同じ位置に配置してください。負荷電流は電源からも流れるので、負荷インピーダンス用のグラウンドは、バイパス・コンデンサのグラウンドと物理的に同じ位置になければなりません。低周波数での効果を目的とした大きな値のコンデンサについては、電流の帰線経路の距離はあまり重要ではありません。

### 漏れ電流

PC基板のレイアウト不良、汚れ、および基板の絶縁材は、AD8065の入力バイアス電流よりもはるかに大きな漏れ電流を発生する可能性があります。各入力と近傍を走行するパターンとの間の電圧差によって、PC基板の絶縁体を貫通する漏れ電流を生じることになります。たとえば、 $1\text{V}/100\text{G}\Omega = 10\text{pA}$ になります。

同様に、基板上の汚れも深刻な漏れ電流を発生する可能性があります（皮膚の油がよく問題になります）。漏れ電流を大幅に低減するには、入力、および入力と同じ電位差で駆動される入力リードの周りに保護リング（シールド）を配置します。こうすれば、入力とその周辺域との間の電位差がなくなり、漏れ電流が生じることはありません。保護リングが完全に効果を発揮するためには、比較的低いインピーダンス・ソースで駆動する必要があります、さらに入力リードのすべての側面、および多層基板を使っている場合は上下も完全に囲む必要があります。

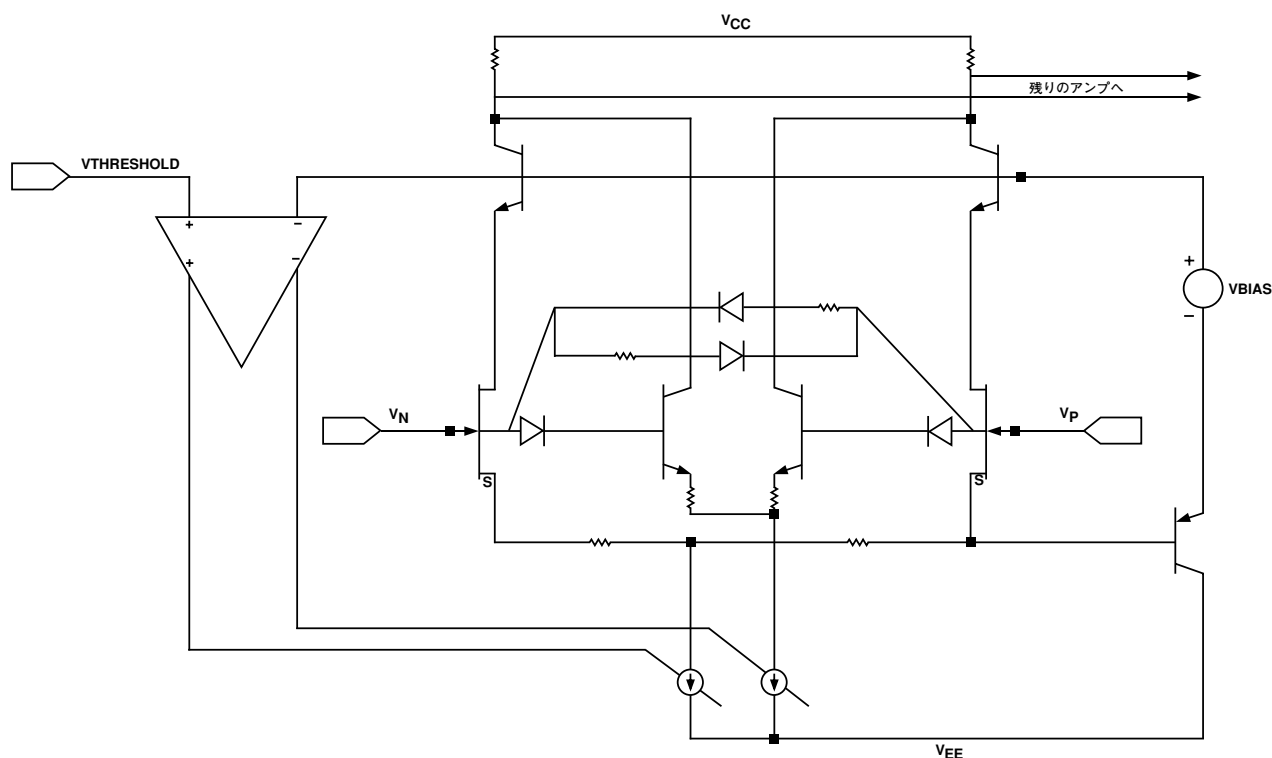


図6. 入力段の簡略図

漏れ電流を生じる可能性のあるもう1つの作用として、絶縁材そのものの電荷吸収があります。入力リードと保護リング間の素材の量を最少限にすることで、吸収を低減できるようになります。事例によっては、テフロン®やセラミックのような低吸収素材を必要とする場合もあります。

#### 入力容量

高速アンプは、バイパスやグランドに加えて、入力とグランド間の寄生容量の影響も受けやすくなっています。わずかなpF容量で高周波数での入力インピーダンスを低減できますが、これは結果としてアンプのゲインを増やすことになり、周波数応答のピーキングを招いたり、果ては発振を生じることさえあります。入力ピンに接続する外付けの受動素子はできるだけ入力の近くに配置して、寄生容量をなくすようにしてください。グランド・プレーンと電源プレーンは、基板のすべての層で、入力ピンからの距離を短くしておく必要があります。

#### 出力容量

頻度は低いですが、出力の寄生容量によって周波数応答のピーキングやリングを生じる可能性があります。この影響を効果的に低減するためには、次の2つの方法があります。

- 1) 図7に示すように、小さな値の抵抗 ( $R_S$ ) を出力に直列に配置し、負荷コンデンサをアンプの出力段から絶縁します。抵抗値としては、 $20\Omega$ が適切です (TPC7を参照)。

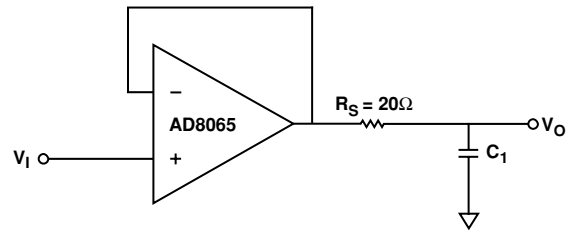


図7. 出力絶縁抵抗

- 2) 雑音ゲインの増大とともに位相余裕を増やすか、または-INから出力までの間に抵抗とコンデンサを並列に接続して極を追加します。

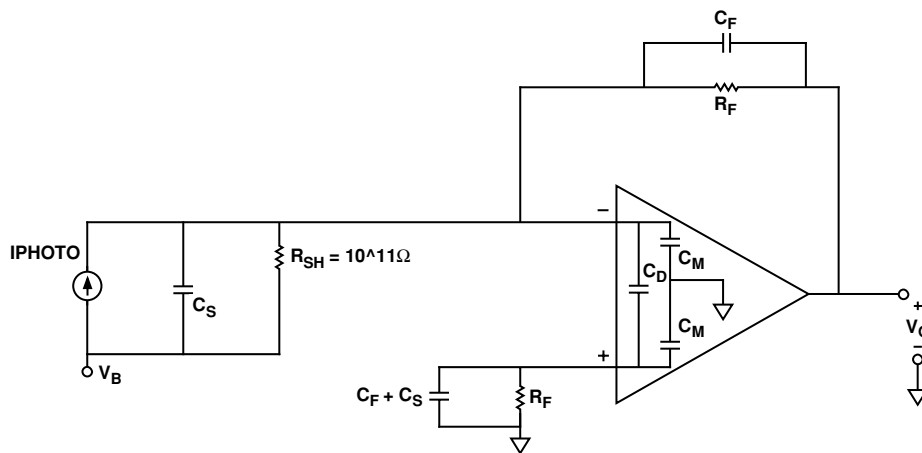


図8. 広帯域フォトダイオード・プリアンプ

# AD8065/AD8066

## 入出力間のカップリング

入出力間の容量カップリングを低減するため、出力信号のバターンを入力と平行に配置しないようにしてください。

## 広帯域フォトダイオード・プリアンプ

図8に、フォトダイオードの電氣的モデルを用いたI/V変換を示します。

基本伝達関数は次のとおりです。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで $I_{PHOTO}$ はフォトダイオードの出力電流で、 $R_F$ と $C_F$ の並列接続によって信号の帯域幅を設定します。

このプリアンプで達成可能な安定帯域幅は、 $R_F$ 、アンプの最終ゲイン帯域幅、およびアンプの加算接合部の総容量 ( $C_S$ とアンプの入力容量を含む) の関数となります。 $R_F$ と総容量により、アンプのループ伝達内に極が生成されるので、ピーキングや不安定状態を生じるおそれがあります。 $C_F$ を追加すると、ループ

伝達でゼロが生成され、極の影響が補償され、信号帯域幅が低減されます。これは、 $45^\circ$ の位相余裕 ( $f_{(45)}$ ) を生み出す信号帯域幅が次式で定義されることからわかります。

$$f_{(45)} = \sqrt{\frac{f_{CR}}{2\pi \times R_F \times C_S}}$$

$f_{CR}$  = アンプのクロスオーバー周波数

$R_F$  = フィードバック・アンプ

$C_S$  = アンプの加算接合部での総容量 (アンプ+フォトダイオード+基板の寄生容量)

$f_{(45)}$ を生成する $C_F$ の値は、次式で表すことができます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_{CR}}}$$

この事例での周波数応答は、約2dBのピーキングと15%のオーバーシュートを示します。 $C_F$ を2倍して帯域幅を半分に削減すると、過渡オーバーシュートが約5%の平坦な周波数応答となります。

表 I. フォトダイオード・プリアンプのrms雑音寄与分

要因	式	rms雑音 ( $R_F = 50k\Omega$ 、 $C_S = 15pF$ 、 $C_F = 2pF$ のとき)
RF (×2)	$\sqrt{2 \times 4 kT \times R_F \times f_2 \times 1.57}$	64.5μV
アンプ (~f1)	$ven \times \sqrt{f1}$	2.4μV
アンプ (f1~f2)	$ven \times \sqrt{\frac{(C_S + C_M + C_F + 2C_D)}{C_F}} \times \sqrt{f_2 - f_1}$	31μV
アンプ (f2~)	$ven \times \sqrt{\frac{(C_S + C_M + C_D + 2C_F)}{C_F}} \times \sqrt{f_3 \times 1.57}$	260μV
	合計	270μV

周波数全体にわたるプリアンプの出力雑音を図9に示します。

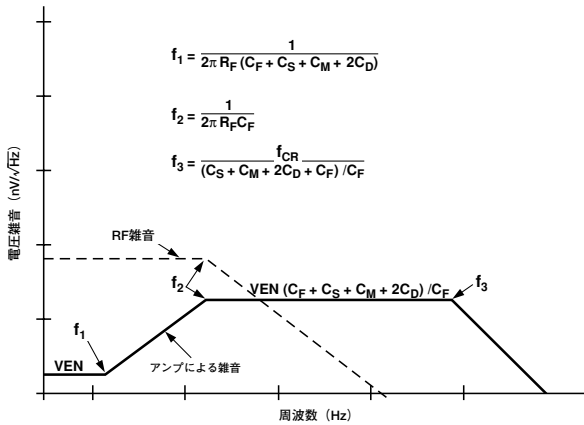


図9. フォトダイオード電圧雑音寄与

ループ伝達における極は、アンプの雑音ゲインではゼロに変換され、周波数全体にわたって入力電圧雑音を増幅することになります。 $C_F$ によって生じたループ伝送ゼロは増幅を制限します。

雑音ゲインの帯域幅は、プリアンプの信号帯域幅を超えて広がり、最終的には、アンプのループ・ゲインの減少によって減衰します。出力雑音に加算される共通モード雑音のピーキングの影響を除去するため、入力端子のインピーダンスを一致させておくことをお勧めします。

周波数全体にわたって出力電圧雑音のスペクトル密度の自乗を積分し、その平方根を計算することにより、プリアンプの総rms出力雑音が得られます。表Iで、アンプとフィードバックとソースの抵抗についての概算を示しています。一例としてプリアンプ ( $R_F = 50k\Omega$ ,  $C_S = 15pF$ ,  $C_F = 2pF$ , 帯域幅は約1.6MHz) の雑音成分も表に示しています。

### 高速JFET入力計測アンプ

図10に、AD8065を使用した高入力インピーダンスの高速計測アンプの例を示します。

dc伝達関数は次のとおりです。

$$V_{OUT} = (V_N - V_P) \left( \frac{1 + 1000}{R_G} \right)$$

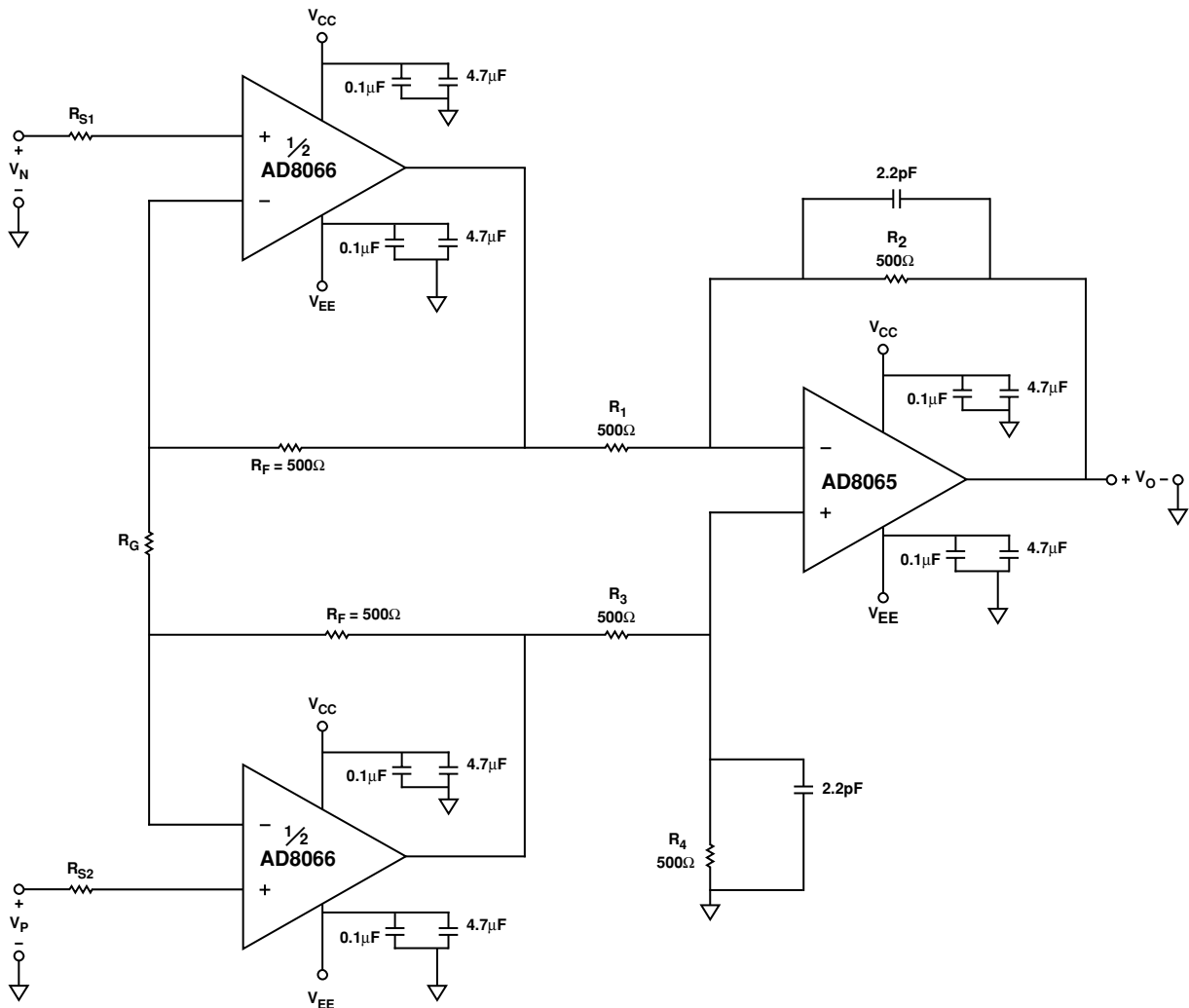


図10. 高速計測アンプ

## AD8065/AD8066

$G = +1$ の場合、2つのプリアンプのフィードバック抵抗を低い値に設定することをお勧めします（たとえば、 $50\Omega$ のソースインピーダンスに対して $50\Omega$ ）。 $G = +1$ の場合の帯域幅は、 $50\text{MHz}$ になります。それ以上のゲインの場合、次の式で示すように、帯域幅はプリアンプによって設定されます。

$$Inamp - 3\text{dB} = (f_{CR} \times R_G) / (2 \times R_F)$$

$inamp$ のコモンモード除去は、主として、抵抗比 $R1:R2$ と $R3:R4$ の整合によって決まり、次式で推定されます。

$$\frac{V_O}{V_{CM}} = \frac{(\delta 1 - \delta 2)}{(1 + \delta 1) \delta 2}$$

プリアンプの加算接合部のインピーダンスは、 $R_F || 0.5(R_G)$ に等しくなります。これは、整合のために使用される値です。

### ビデオ・バッファ

AD8065の出力電流の能力と速度は、ビデオ・バッファとしても利用できます。図11にその回路図を示します。

$G = +2$ の構成により、信号終端によって生じる信号の分圧を補償しています。このバッファは、低振幅から $2\text{Vp-p}$ までの最大 $7\text{MHz}$ の信号に対して $0.1\text{dB}$ の平坦性を維持します（TPC4）。差動ゲインと位相の測定結果は、 $65\text{V}$ 電源で $0.02\%$ と $0.028^\circ$ になります。

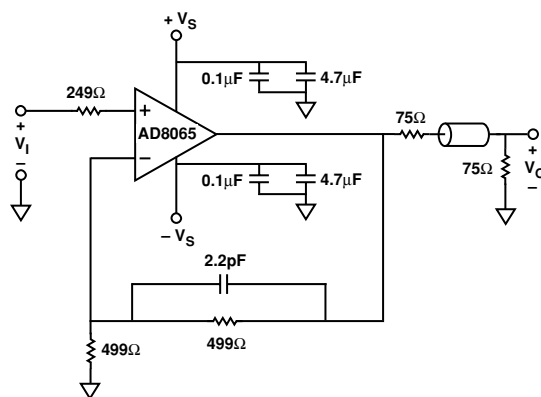
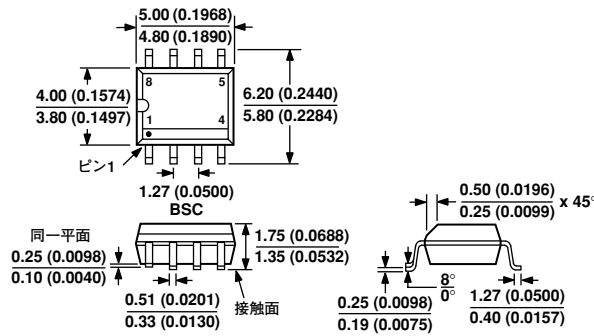


図11. ビデオ・バッファ

外形寸法

8ピン標準SOIC (Small Outline Package)  
(R-8)

寸法はミリメートルと (インチ) で表示

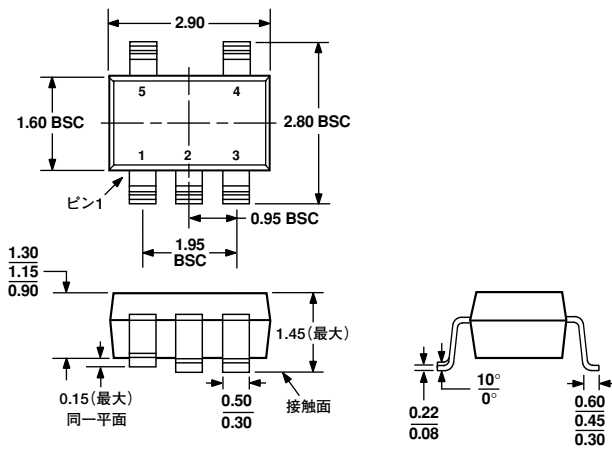


管理対象の寸法はミリメートルです。インチ寸法 (括弧内) は単なる参考用としてミリメートル相当値を四捨五入したものであり、設計で使用する値としてはふさわしくありません。

JEDEC規格MS-012AAに準拠

5ピン表面実装パッケージSOT23\*  
(RT-5)

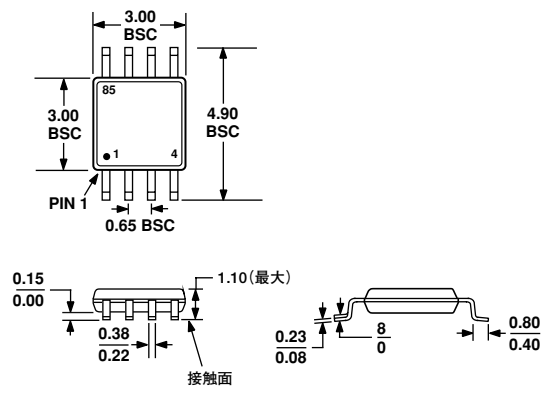
寸法はミリメートルで表示



JEDEC規格MO-178AAに準拠

8ピンMSOP  
(RM-8)

寸法はミリメートルで表示



JEDEC規格MO-187AAに準拠

※開発中

