

特長

外付け抵抗 1 本でゲイン設定

ゲイン範囲: 1~1000

入力電圧がグラウンド以下に変化可能

電源電圧を超える入力を保護

電源範囲が非常に広い

単電源動作: 2.2 V~36 V

両電源動作: ± 1.35 V~ ± 18 V

帯域幅(G = 1): 1.5 MHz

CMRR (G = 1): BR モデルで最小 90 dB

入力ノイズ: 22 nV/ $\sqrt{\text{Hz}}$

電源電流: 350 μA (typ)

仕様温度範囲: -40°C ~ $+125^{\circ}\text{C}$

8 ピンの SOIC または MSOP パッケージを採用

アプリケーション

工業用プロセス制御

ブリッジ・アンプ

医療計測機器

携帯型データ・アキュイジション

マルチチャンネル・システム

ピン配置

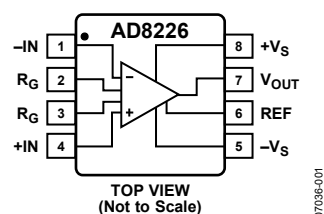


図 1.

表 1. 計装アンプの分類¹

General Purpose	Zero Drift	Military Grade	Low Power	High Speed PGA
AD8220	AD8231	AD620	AD627	AD8250
AD8221	AD8290	AD621	AD623	AD8251
AD8222	AD8293	AD524	AD8223	AD8253
AD8224	AD8553	AD526	AD8226	
AD8228	AD8556	AD624	AD8227	
AD8295	AD8557			

¹最新計装アンプについては <http://www.analog.com/jp> をご覧ください。

概要

AD8226 は、広い電源範囲を持つ低価格の計装アンプであり、1 本の外付け抵抗でゲインを 1~1000 に設定することができます。

AD8226 は、様々な信号電圧で動作するようにデザインされています。このデバイスは広い入力範囲とレール to レール出力を持つため、各電源電圧をフル利用して信号を処理することができます。この入力範囲では信号が負電源を下回ることができるため、両電源を必要とせず、グラウンド付近の小信号を増幅することができます。AD8226 は、両電源では ± 1.35 V~ ± 18 V の範囲で、単電源では 2.2 V~36 V の範囲で、それぞれ動作することができます。

AD8226 の強固な入力は、実環境のセンサーに接続するようにデザインされています。AD8226 は広い動作範囲を持つ他に、電源電圧を超える電圧を処理することもできます。例えば、 ± 5

V 電源で、デバイスは ± 35 V の入力に損傷なしで耐えることが保証されています。断線を検出できるようにするため、最小と最大の入力バイアス電流も規定されています。

AD8226 は、マルチチャンネルの省スペース・アプリケーションに最適です。AD8226 は他の低価格低消費電力の計装アンプと異なり、最小ゲイン=1 でデザインされているため、 ± 10 V の信号を容易に処理することができます。AD8226 は MSOP パッケージを採用し、 125°C の温度定格であるため、実装密度が高く、空気流のないデザインにも採用することができます。

AD8226 は 8 ピンの MSOP または SOIC パッケージを採用し、 -40°C ~ $+125^{\circ}\text{C}$ で動作が規定されています。

AD8226 と同じパッケージと性能を持ち、かつゲイン=5~1000 のデバイスが必要な場合は、AD8227 の採用をご検討ください。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	ゲインの選択.....	19
アプリケーション.....	1	リファレンス・ピン.....	20
ピン配置.....	1	入力電圧範囲.....	20
概要.....	1	レイアウト.....	20
改訂履歴.....	2	入力バイアス電流のリターン・パス.....	21
仕様.....	3	入力保護.....	22
絶対最大定格.....	7	無線周波数干渉(RFI).....	22
熱抵抗.....	7	アプリケーション情報.....	23
ESDの注意.....	7	差動駆動.....	23
ピン配置およびピン機能説明.....	8	高精度ストレイン・ゲージ.....	24
代表的な性能特性.....	9	ADCの駆動.....	24
動作原理.....	19	外形寸法.....	25
アーキテクチャ.....	19	オーダー・ガイド.....	25

改訂履歴

7/09—Rev. 0 to Rev. A

Added BRZ and BRM Models.....	Universal
Changes to Features Section.....	1
Changes to Table 1.....	1
Changes to General Description Section.....	1
Changes to Gain vs. Temperature Parameter, Output Parameter, and Operating Range Parameter, Table 2.....	4
Changes to Common-Mode Rejection Ratio (CMRR) Parameter and to Input Offset, V_{OS0} , Average Temperature Coefficient Parameter, Table 3.....	5
Changes to Gain vs. Temperature Parameter, Table 3.....	6
Changes to Gain Selection Section.....	19
Changes to Reference Terminal Section and Input Voltage Range Section.....	20
Changes to Ordering Guide.....	25

1/09—Revision 0: Initial Version

仕様

特に指定がない限り、 $+V_S = +15\text{ V}$ 、 $-V_S = -15\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $R_L = 10\text{ k}\Omega$ 、仕様は入力基準。

表 2.

Parameter	Conditions	ARZ, ARMZ			BRZ, BRMZ			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)	$V_{CM} = -10\text{ V to }+10\text{ V}$							
CMRR with DC to 60 Hz								
G = 1		80			90			dB
G = 10		100			105			dB
G = 100		105			110			dB
G = 1000		105			110			dB
CMRR with DC at 5 kHz								
G = 1		80			80			dB
G = 10		90			90			dB
G = 100		90			90			dB
G = 1000		100			100			dB
NOISE	Total noise: $e_N = \sqrt{(e_{NI}^2 + (e_{NO}/G)^2)}$							
Voltage Noise	1 kHz							
Input Voltage Noise, e_{NI}			22	24		22	24	nV/ $\sqrt{\text{Hz}}$
Output Voltage Noise, e_{NO}			120	125		120	125	nV/ $\sqrt{\text{Hz}}$
RTI	$f = 0.1\text{ Hz to }10\text{ Hz}$							
G = 1			2			2		$\mu\text{V p-p}$
G = 10			0.5			0.5		$\mu\text{V p-p}$
G = 100 to 1000			0.4			0.4		$\mu\text{V p-p}$
Current Noise	$f = 1\text{ kHz}$		100			100		fA/ $\sqrt{\text{Hz}}$
	$f = 0.1\text{ Hz to }10\text{ Hz}$		3			3		pA p-p
VOLTAGE OFFSET	Total offset voltage: $V_{OS} = V_{OSI} + (V_{OSO}/G)$							
Input Offset, V_{OSI}	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$			200			100	μV
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		0.5	2		0.5	1	$\mu\text{V}/^\circ\text{C}$
Output Offset, V_{OSO}	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$			1000			500	μV
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		2	10		1	5	$\mu\text{V}/^\circ\text{C}$
Offset RTI vs. Supply (PSR)	$V_S = \pm 5\text{ V to } \pm 15\text{ V}$							
G = 1		80			90			dB
G = 10		100			105			dB
G = 100		105			110			dB
G = 1000		105			110			dB
INPUT CURRENT								
Input Bias Current ¹	$T_A = +25^\circ\text{C}$	5	20	27	5	20	27	nA
	$T_A = +125^\circ\text{C}$	5	15	25	5	15	25	nA
	$T_A = -40^\circ\text{C}$	5	30	35	5	30	35	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		70			70		pA/ $^\circ\text{C}$
Input Offset Current	$T_A = +25^\circ\text{C}$			1.5			0.5	nA
	$T_A = +125^\circ\text{C}$			1.5			0.5	nA
	$T_A = -40^\circ\text{C}$			2			0.5	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		5			5		pA/ $^\circ\text{C}$
REFERENCE INPUT								
R_{IN}			100			100		k Ω
I_{IN}			7			7		μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Reference Gain to Output			1			1		V/V
Reference Gain Error			0.01			0.01		%
DYNAMIC RESPONSE								
Small-Signal -3 dB Bandwidth								
G = 1			1500			1500		kHz
G = 10			160			160		kHz
G = 100			20			20		kHz
G = 1000			2			2		kHz

Parameter	Conditions	ARZ, ARMZ			BRZ, BRMZ			Unit
		Min	Typ	Max	Min	Typ	Max	
Settling Time 0.01%	10 V step							
G = 1			25			25		μs
G = 10			15			15		μs
G = 100			40			40		μs
G = 1000			350			350		μs
Slew Rate	G = 1		0.4			0.4		V/μs
	G = 5 to 100		0.6			0.6		V/μs
GAIN	G = 1 + (49.4 kΩ/R_G)							
Gain Range		1		1000	1		1000	V/V
Gain Error	V _{OUT} ±10 V							
G = 1				0.04			0.01	%
G = 5 to 1000				0.3			0.1	%
Gain Nonlinearity	V _{OUT} = -10 V to +10 V							
G = 1 to 10	R _L ≥ 2 kΩ			10			10	ppm
G = 100	R _L ≥ 2 kΩ			75			75	ppm
G = 1000	R _L ≥ 2 kΩ			750			750	ppm
Gain vs. Temperature ²								
G = 1	T _A = -40°C to +85°C			5			1	ppm/°C
	T _A = 85°C to 125°C			5			2	ppm/°C
G > 1	T _A = -40°C to +125°C			-100			-100	ppm/°C
INPUT	V_S = ±1.35 V to +36 V							
Input Impedance								
Differential			0.8 2			0.8 2		GΩ pF
Common Mode			0.4 2			0.4 2		GΩ pF
Input Operating Voltage Range ³	T _A = +25°C	-V _S - 0.1		+V _S - 0.8	-V _S - 0.1		+V _S - 0.8	V
	T _A = +125°C	-V _S - 0.05		+V _S - 0.6	-V _S - 0.05		+V _S - 0.6	V
	T _A = -40°C	-V _S - 0.15		+V _S - 0.9	-V _S - 0.15		+V _S - 0.9	V
Input Overvoltage Range	T _A = -40°C to +125°C	+V _S - 40		-V _S + 40	+V _S - 40		-V _S + 40	V
OUTPUT								
Output Swing								
R _L = 2 kΩ to Ground	T _A = +25°C	-V _S + 0.4		+V _S - 0.7	-V _S + 0.4		+V _S - 0.7	V
	T _A = +125°C	-V _S + 0.4		+V _S - 1.0	-V _S + 0.4		+V _S - 1.0	V
	T _A = -40°C	-V _S + 1.2		+V _S - 1.1	-V _S + 1.2		+V _S - 1.1	V
R _L = 10 kΩ to Ground	T _A = +25°C	-V _S + 0.2		+V _S - 0.2	-V _S + 0.2		+V _S - 0.2	V
	T _A = +125°C	-V _S + 0.3		+V _S - 0.3	-V _S + 0.3		+V _S - 0.3	V
	T _A = -40°C	-V _S + 0.2		+V _S - 0.2	-V _S + 0.2		+V _S - 0.2	V
R _L = 100 kΩ to Ground	T _A = -40°C to +125°C	-V _S + 0.1		+V _S - 0.1	-V _S + 0.1		+V _S - 0.1	V
Short-Circuit Current			13			13		mA
POWER SUPPLY								
Operating Range	Dual-supply operation	±1.35		±18	±1.35		±18	V
Quiescent Current	T _A = +25°C		350	425		350	425	μA
	T _A = -40°C		250	325		250	325	μA
	T _A = +85°C		450	525		450	525	μA
	T _A = +125°C		525	600		525	600	μA
TEMPERATURE RANGE		-40		+125	-40		+125	°C

¹ 入力ステージでは PNP トランジスタを使っているため、デバイスに常に入力バイアス電流が流入しています。

² G > 1 の規定値には、外付けゲイン設定抵抗 R_G の影響は含まれません。

³ AD8226 入力ステージの入力電圧範囲。入力範囲は、同相モード電圧、差動電圧、ゲイン、リファレンス電圧に依存します。詳細については、入力電圧範囲のセクションを参照してください。

特に指定がない限り、 $+V_S = 2.7\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $V_{REF} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $G = 1$ 、 $R_L = 10\text{ k}\Omega$ 、仕様は入力基準。

表 3.

Parameter	Conditions	ARZ, ARMZ			BRZ, BRMZ			Unit
		Min	Typ	Max	Min	Typ	Max	
COMMON-MODE REJECTION RATIO (CMRR)	$V_{CM} = 0\text{ V to }1.7\text{ V}$							
CMRR with DC to 60 Hz								
G = 1		80			90			dB
G = 10		100			105			dB
G = 100		105			110			dB
G = 1000		105			110			dB
CMRR with DC at 5 kHz								
G = 1		80			80			dB
G = 10		90			90			dB
G = 100		90			90			dB
G = 1000		100			100			dB
NOISE	Total noise: $e_N = \sqrt{(e_{NI}^2 + (e_{NO}/G^2))}$							
Voltage Noise	1 kHz							
Input Voltage Noise, e_{NI}			22	24		22	24	nV/ $\sqrt{\text{Hz}}$
Output Voltage Noise, e_{NO}			120	125		120	125	nV/ $\sqrt{\text{Hz}}$
RTI	f = 0.1 Hz to 10 Hz							
G = 1			2.0			2.0		$\mu\text{V p-p}$
G = 10			0.5			0.5		$\mu\text{V p-p}$
G = 100 to 1000			0.4			0.4		$\mu\text{V p-p}$
Current Noise	f = 1 kHz		100			100		fA/ $\sqrt{\text{Hz}}$
	f = 0.1 Hz to 10 Hz		3			3		pA p-p
VOLTAGE OFFSET	Total offset voltage: $V_{OS} = V_{OSI} + (V_{OSO}/G)$							
Input Offset, V_{OSI}				200			100	μV
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		0.5	2		0.5	1	$\mu\text{V}/^\circ\text{C}$
Output Offset, V_{OSO}				1000			500	μV
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		2	10		1	5	$\mu\text{V}/^\circ\text{C}$
Offset RTI vs. Supply (PSR)	$V_S = 0\text{ V to }1.7\text{ V}$							
G = 1		80			90			dB
G = 10		100			105			dB
G = 100		105			110			dB
G = 1000		105			110			dB
INPUT CURRENT								
Input Bias Current ¹	$T_A = +25^\circ\text{C}$	5	20	27	5	20	27	nA
	$T_A = +125^\circ\text{C}$	5	15	25	5	15	25	nA
	$T_A = -40^\circ\text{C}$	5	30	35	5	30	35	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		70			70		pA/ $^\circ\text{C}$
Input Offset Current	$T_A = +25^\circ\text{C}$			1.5			0.5	nA
	$T_A = +125^\circ\text{C}$			1.5			0.5	nA
	$T_A = -40^\circ\text{C}$			1			0.1	nA
Average Temperature Coefficient	$T_A = -40^\circ\text{C to }+125^\circ\text{C}$		5			5		pA/ $^\circ\text{C}$
REFERENCE INPUT								
R_{IN}			100			100		k Ω
I_{IN}			7			7		μA
Voltage Range		$-V_S$		$+V_S$	$-V_S$		$+V_S$	V
Reference Gain to Output			1			1		V/V
Reference Gain Error			0.01			0.01		%
DYNAMIC RESPONSE								
Small-Signal -3 dB Bandwidth								
G = 1			1500			1500		kHz
G = 10			160			160		kHz
G = 100			20			20		kHz
G = 1000			2			2		kHz
Settling Time 0.01%	2 V step							
G = 1			6			6		μs
G = 10			6			6		μs
G = 100			35			35		μs
G = 1000			350			350		μs

Parameter	Conditions	ARZ, ARMZ			BRZ, BRMZ			Unit
		Min	Typ	Max	Min	Typ	Max	
Slew Rate	G = 1 G = 5 to 100		0.4 0.6			0.4 0.6		V/ μ s V/ μ s
GAIN	G = 1 + (49.4 k Ω /R _G)							
Gain Range		1		1000	1		1000	V/V
Gain Error								
G = 1	V _{OUT} = 0.8 V to 1.8 V			0.04			0.01%	%
G = 5 to 1000	V _{OUT} = 0.2 V to 2.5 V			0.3			0.1%	%
Gain vs. Temperature ²								
G = 1	T _A = -40°C to +85°C			5			1	ppm/°C
	T _A = +85°C to +125°C			5			2	ppm/°C
G > 1	T _A = -40°C to +125°C			-100				ppm/°C
INPUT	-V _S = 0 V, +V _S = 2.7 V to 36 V							
Input Impedance								
Differential				0.8 2			0.8 2	G Ω pF
Common Mode				0.4 2			0.4 2	G Ω pF
Input Operating Voltage Range ³	T _A = +25°C	-0.1		+V _S - 0.7	-0.1		+V _S - 0.7	V
	T _A = -40°C	-0.15		+V _S - 0.9	-0.15		+V _S - 0.9	V
	T _A = +125°C	-0.05		+V _S - 0.6	-0.05		+V _S - 0.6	V
Input Overvoltage Range	T _A = -40°C to +125°C	+V _S - 40		-V _S + 40	+V _S - 40		-V _S + 40	
OUTPUT								
Output Swing	R _L = 10 k Ω to 1.35 V, T _A = -40°C to +125°C	0.1		+V _S - 0.1	0.1		+V _S - 0.1	V
Short-Circuit Current			13			13		mA
POWER SUPPLY								
Operating Range	Single-supply operation	2.2		36	2.2		36	V
Quiescent Current	T _A = +25°C, -V _S = 0 V, +V _S = 2.7 V		325	400		325	400	μ A
	T _A = -40°C, -V _S = 0 V, +V _S = 2.7 V		250	325		250	325	μ A
	T _A = +85°C, -V _S = 0 V, +V _S = 2.7 V		425	500		425	500	μ A
	T _A = +125°C, -V _S = 0 V, +V _S = 2.7 V		475	550		475	550	μ A
TEMPERATURE RANGE		-40		+125	-40		+125	°C

¹ 入力ステージでは PNP トランジスタを使っているため、デバイスに常に入力バイアス電流が流入しています。

² G > 1 の規定値には、外付けゲイン設定抵抗 R_G の影響は含まれません。

³ AD8226 入力ステージの入力電圧範囲。入力範囲は、同相モード電圧、差動電圧、ゲイン、リファレンス電圧に依存します。詳細については、入力電圧範囲のセクションを参照してください。

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	± 18 V
Output Short-Circuit Current	Indefinite
Maximum Voltage at -IN or +IN	$-V_S + 40$ V
Minimum Voltage at -IN or +IN	$+V_S - 40$ V
REF Voltage	$\pm V_S$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Specified Temperature Range	-40°C to $+125^{\circ}\text{C}$
Maximum Junction Temperature	140°C
ESD	
Human Body Model	1.5 kV
Charge Device Model	1.5 kV
Machine Model	100 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、自然空冷のデバイスで規定。

表 5.熱抵抗

Package	θ_{JA}	Unit
8-Lead MSOP, 4-Layer JEDEC Board	135	$^{\circ}\text{C}/\text{W}$
8-Lead SOIC, 4-Layer JEDEC Board	121	$^{\circ}\text{C}/\text{W}$

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

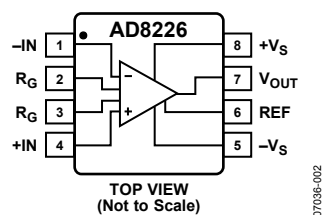


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	-IN	負入力。
2、3	R _G	ゲイン設定ピン。これら 2 本のピンの間にゲイン抵抗を接続します。
4	+IN	正入力。
5	-V _S	負電源。
6	REF	リファレンス。このピンは、低インピーダンスで駆動する必要があります。
7	V _{OUT}	出力。
8	+V _S	正電源。

代表的な性能特性

特に指定がない限り、 $T = 25^{\circ}\text{C}$ 、 $V_S = \pm 15\text{ V}$ 、 $R_L = 10\text{ k}\Omega$ 。

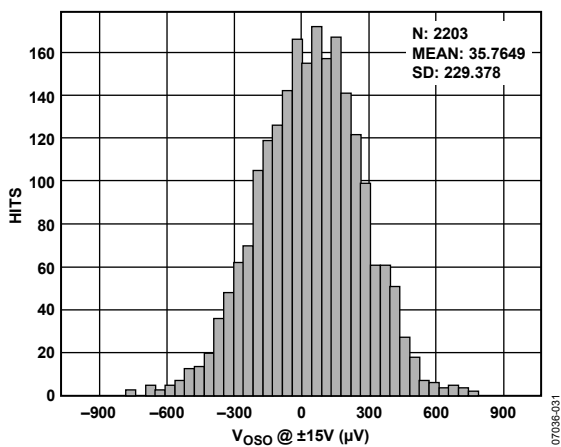


図 3. 出力オフセット電圧の分布

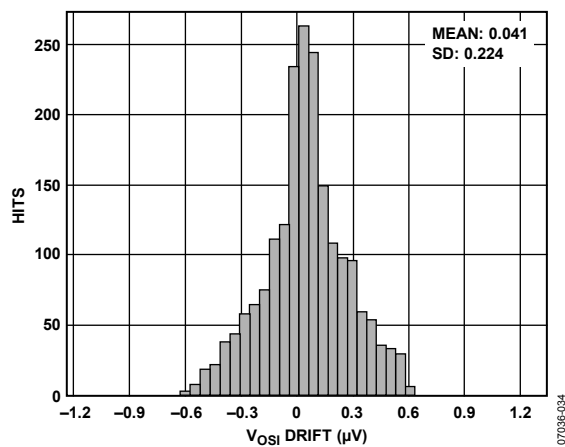


図 6. 入力オフセット電圧ドリフトの分布、 $G = 100$

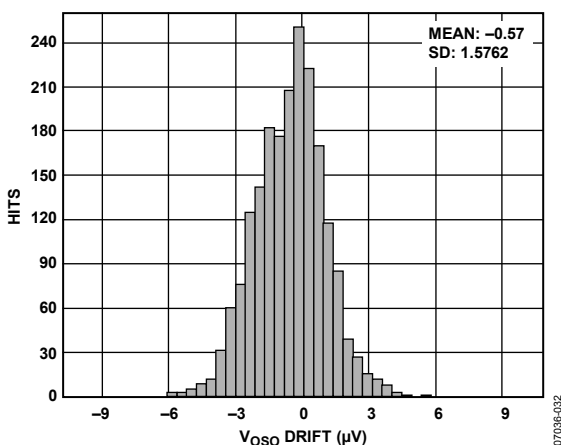


図 4. 出力オフセット電圧ドリフトの分布

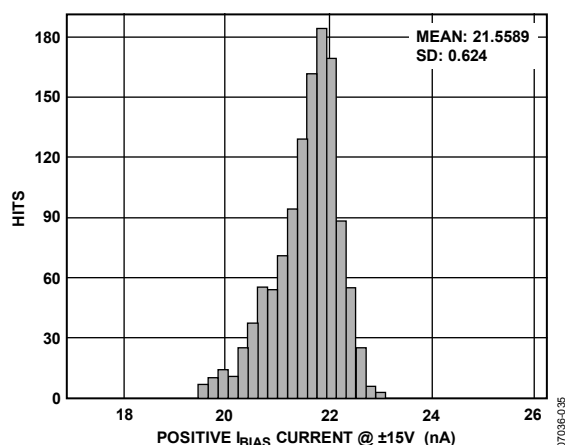


図 7. 入力バイアス電流の分布

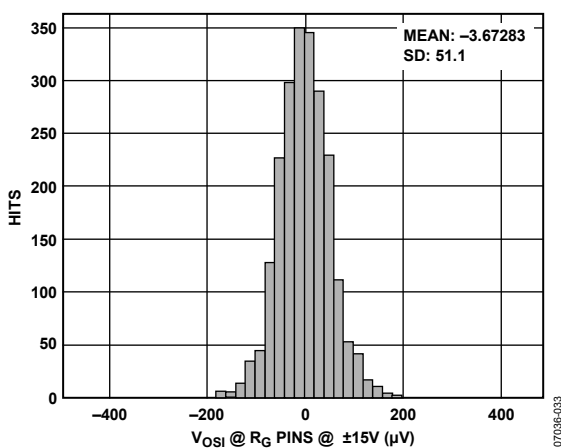


図 5. 入力オフセット電圧の分布

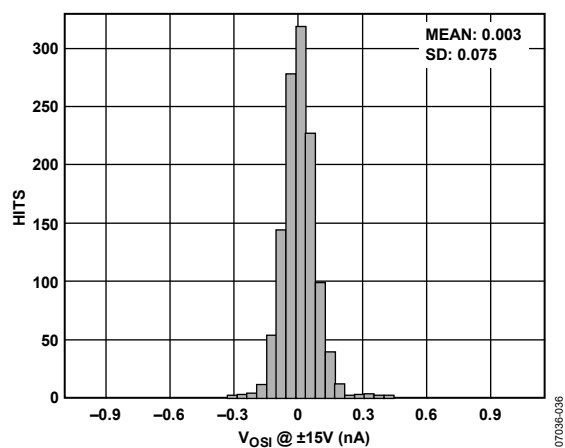


図 8. 入力オフセット電流の分布

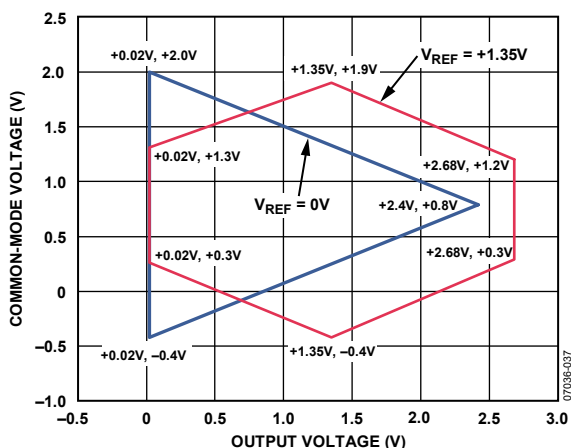


図 9. 出力電圧対入力同相モード電圧
単電源、 $V_S = +2.7\text{ V}$ 、 $G = 1$

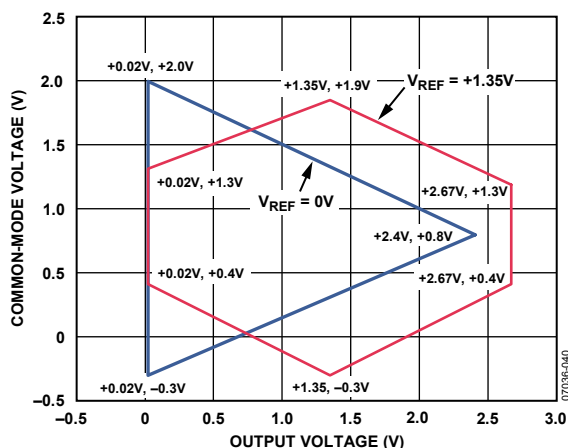


図 12. 出力電圧対入力同相モード電圧
単電源、 $V_S = +2.7\text{ V}$ 、 $G = 100$

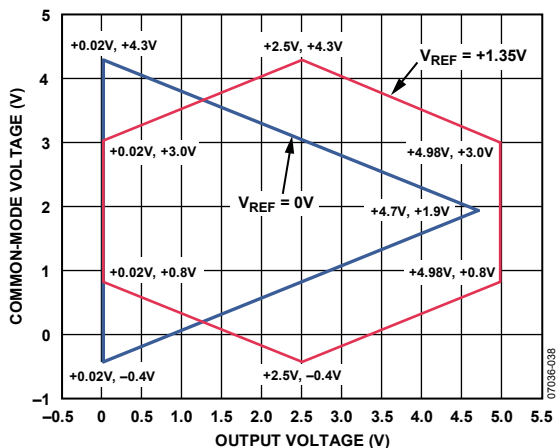


図 10. 出力電圧対入力同相モード電圧
単電源、 $V_S = +5\text{ V}$ 、 $G = 1$

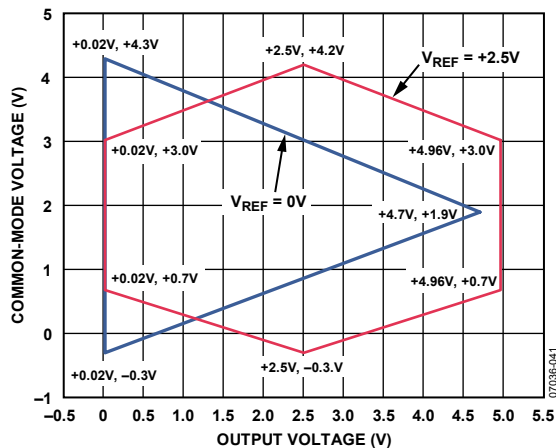


図 13. 出力電圧対入力同相モード電圧
単電源、 $V_S = +5\text{ V}$ 、 $G = 100$

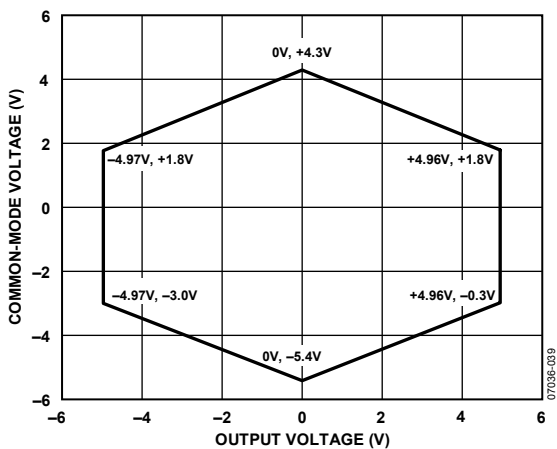


図 11. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 5\text{ V}$ 、 $G = 1$

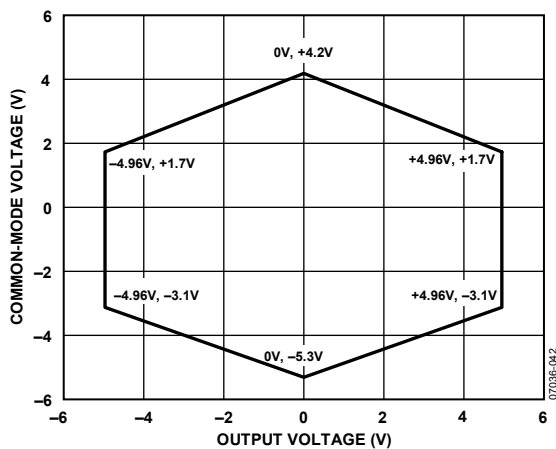


図 14. 出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 5\text{ V}$ 、 $G = 100$

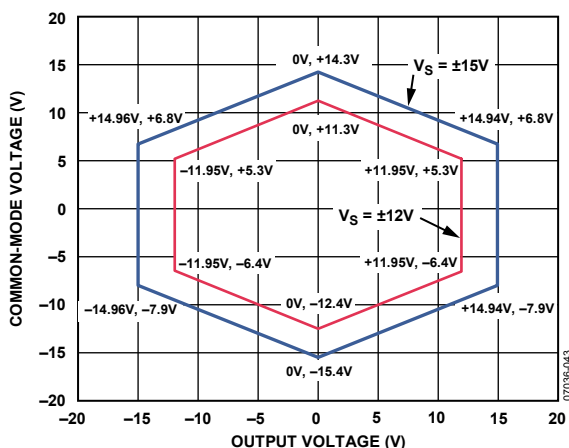


図 15.出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 15V$ 、 $G = 1$

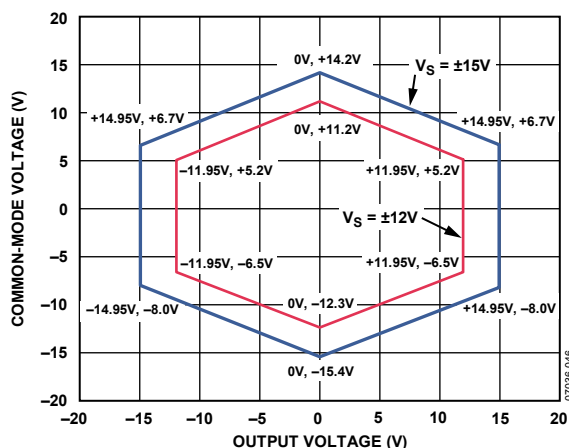


図 18.出力電圧対入力同相モード電圧
両電源、 $V_S = \pm 15V$ 、 $G = 100$

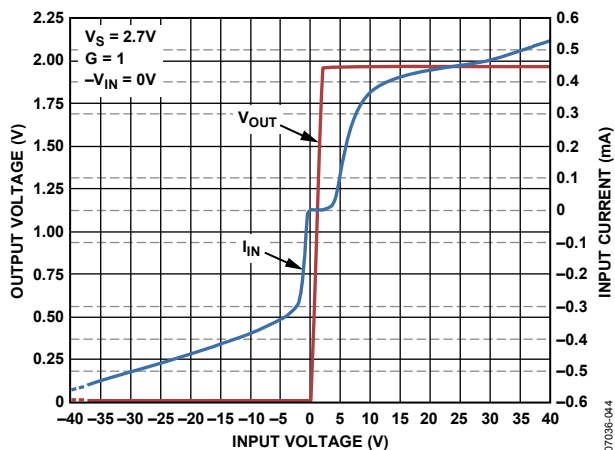


図 16.入力過電圧性能、 $G = 1$ 、 $V_S = 2.7V$

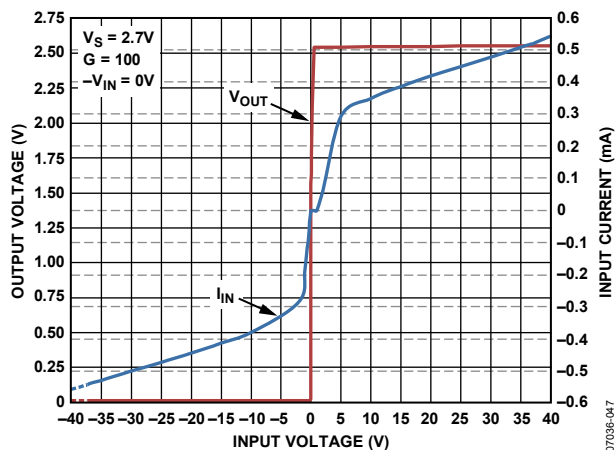


図 19.入力過電圧性能、 $G = 100$ 、 $V_S = 2.7V$

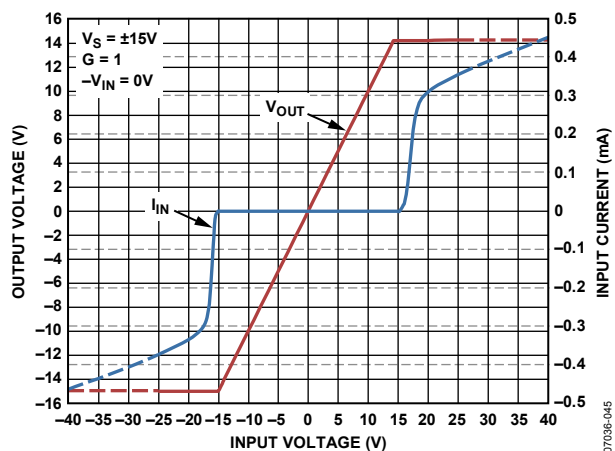


図 17.入力過電圧性能、 $G = 1$ 、 $V_S = \pm 15V$

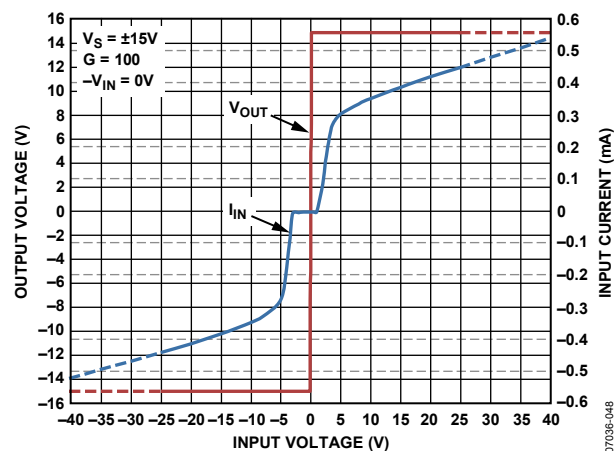


図 20.入力過電圧性能、 $G = 100$ 、 $V_S = \pm 15V$

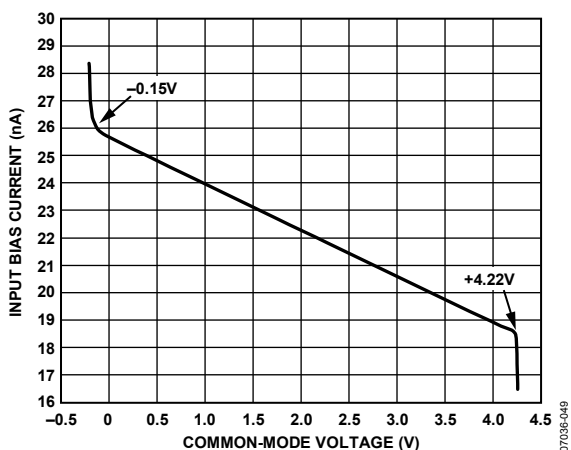


図 21.同相モード電圧対入力バイアス電流、 $V_S = +5V$

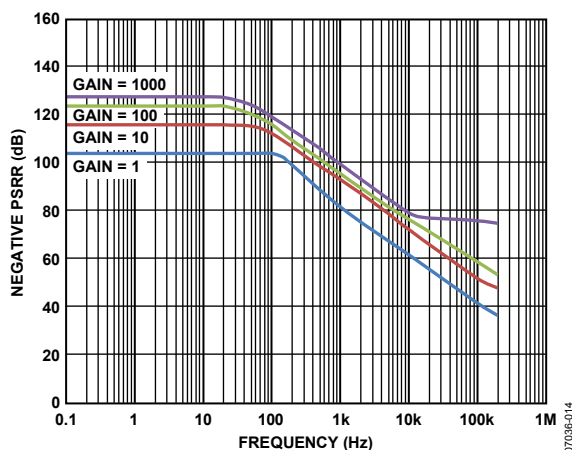


図 24.負 PSRR の周波数特性

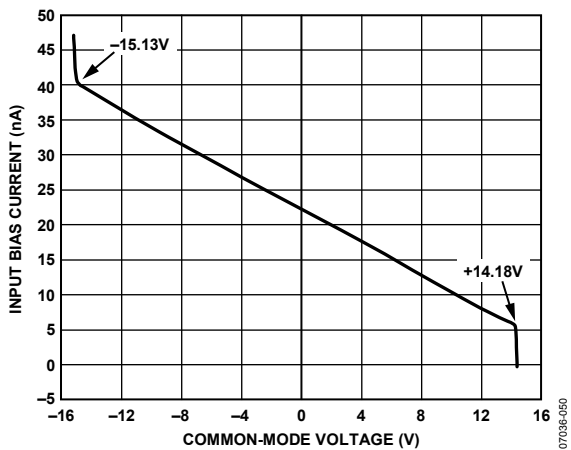


図 22.同相モード電圧対入力バイアス電流、 $V_S = \pm 15V$

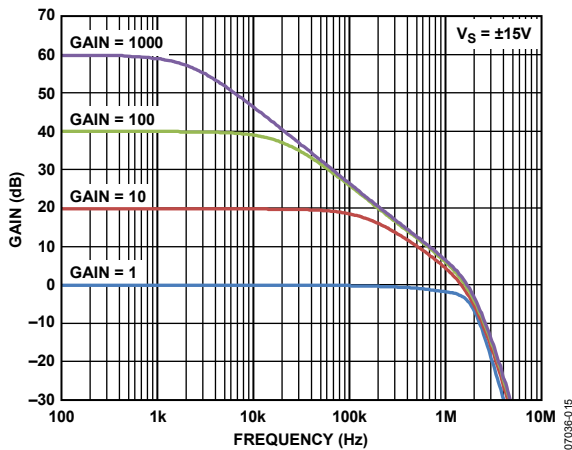


図 25.ゲインの周波数特性、 $V_S = \pm 15V$

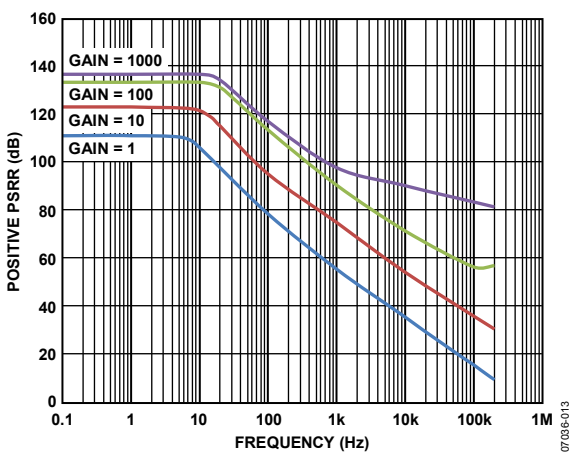


図 23.正 PSRR の周波数特性、RTI

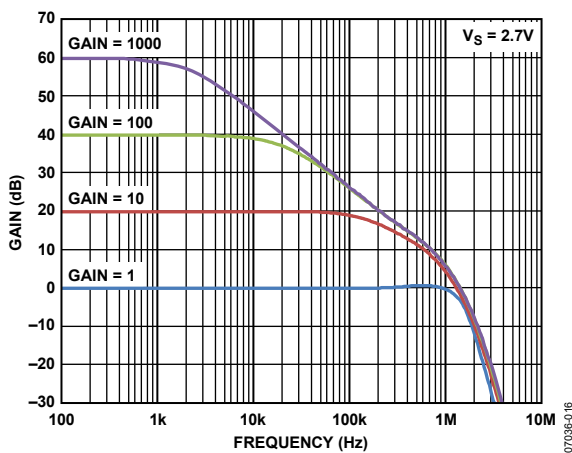


図 26.ゲインの周波数特性、2.7V 単電源

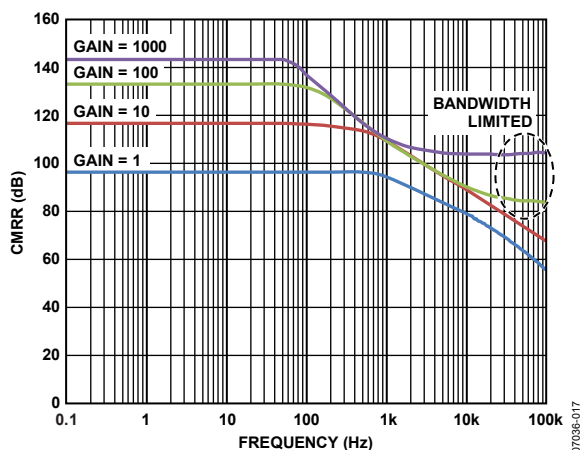


図 27. CMRR の周波数特性、RTI

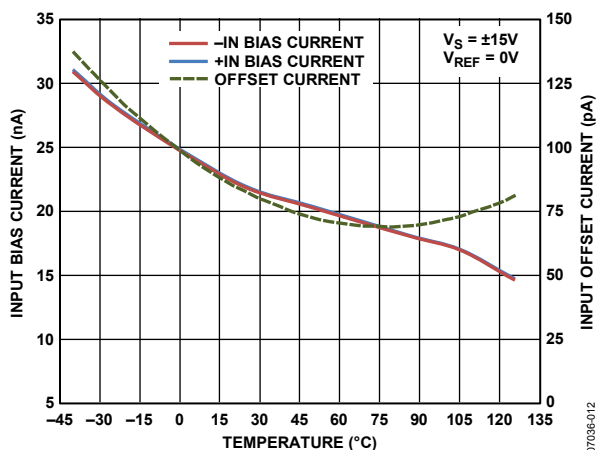


図 30. 入力バイアス電流と入力オフセット電流の温度特性

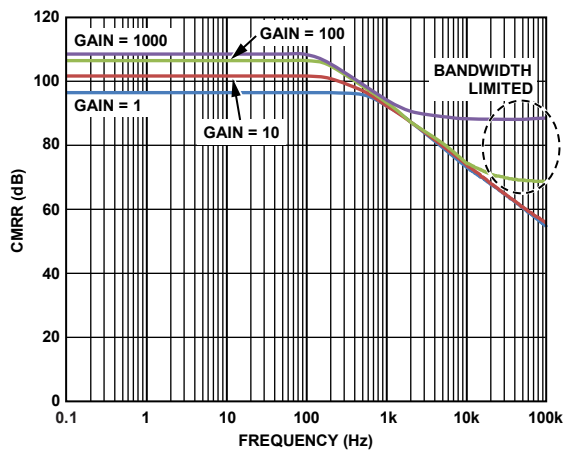


図 28. CMRR の周波数特性、RTI、1 kΩ ソース不平衡

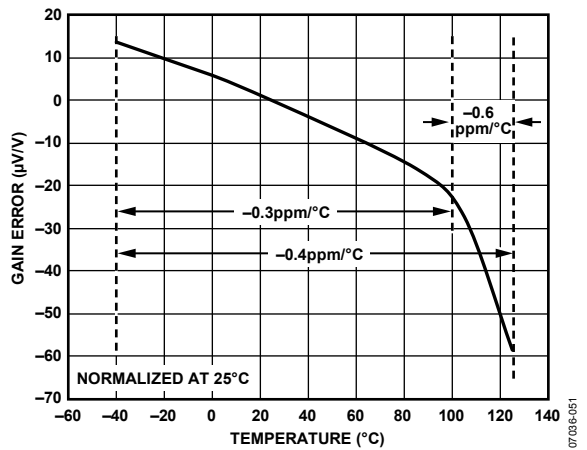


図 31. ゲイン誤差の温度特性、G = 1

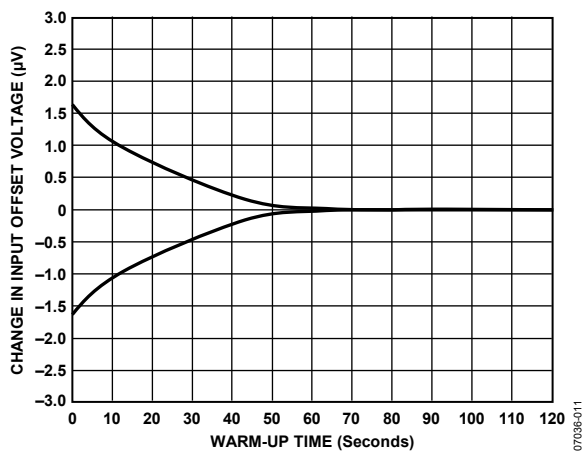


図 29. ウォームアップ時間対入力オフセット電圧変化

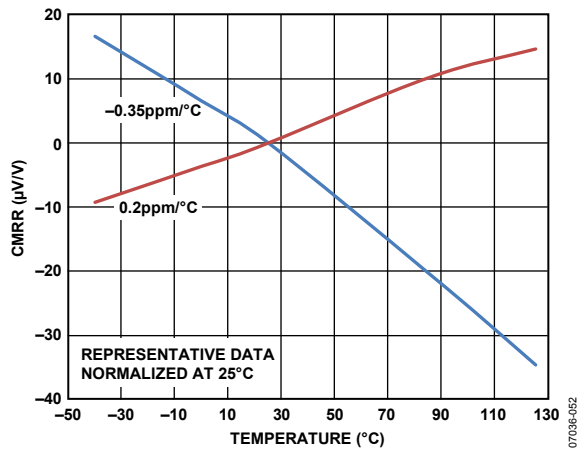


図 32. CMRR の温度特性、G = 1

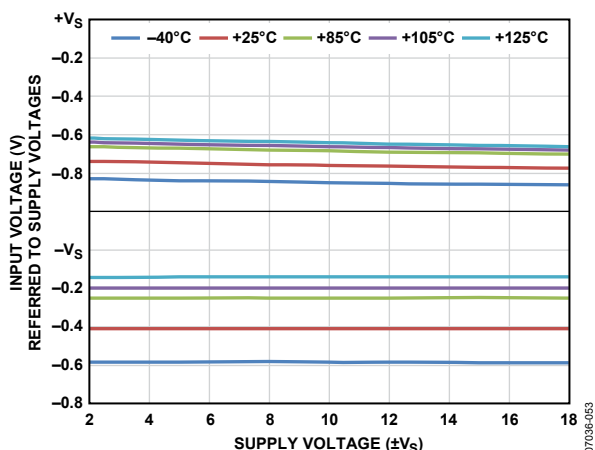


図 33.電源電圧対入力電圧制限値

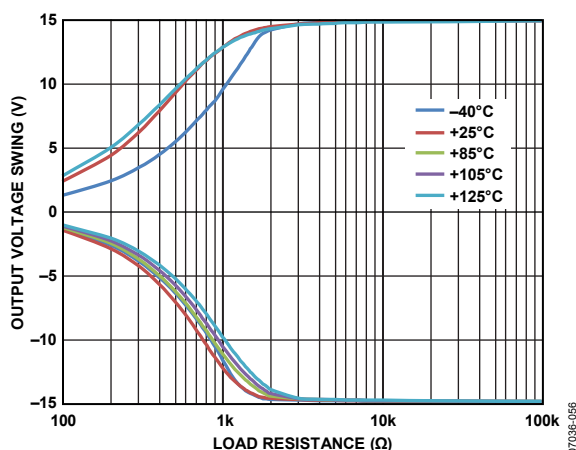


図 36.負荷抵抗対出力電圧振幅

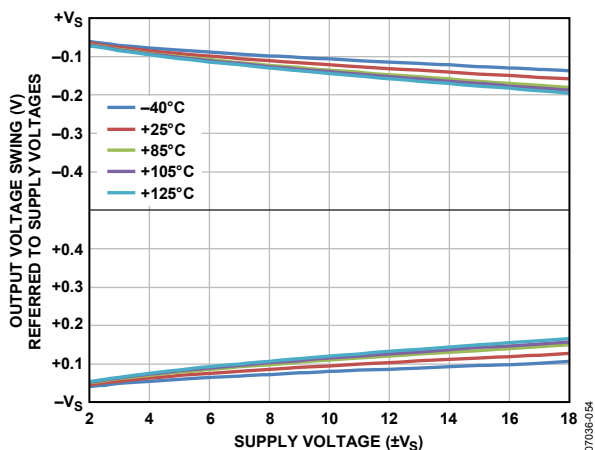


図 34.電源電圧対出力電圧振幅、 $R_L = 10\text{ k}\Omega$

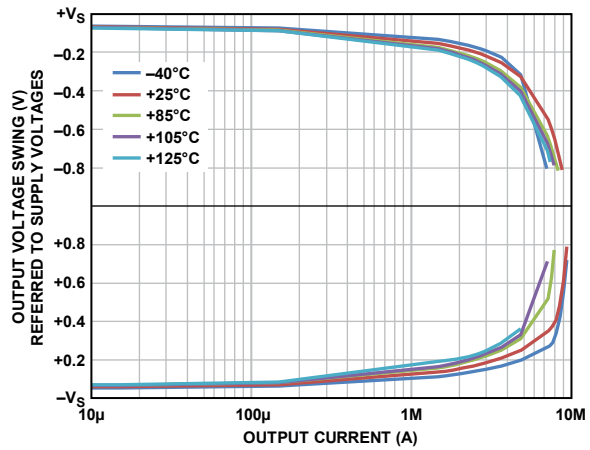


図 37.出力電流対出力電圧振幅、 $G = 1$

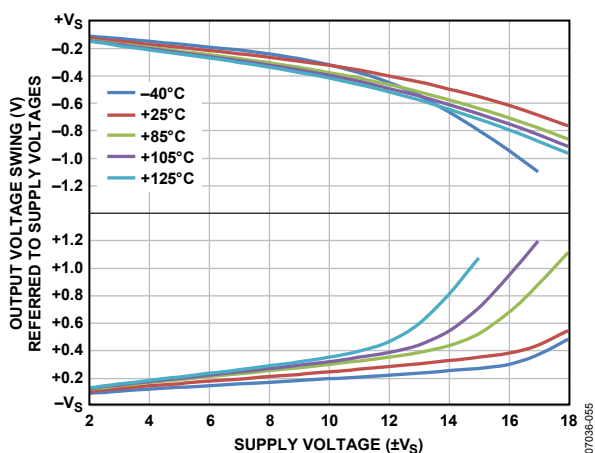


図 35.電源電圧対出力電圧振幅、 $R_L = 2\text{ k}\Omega$

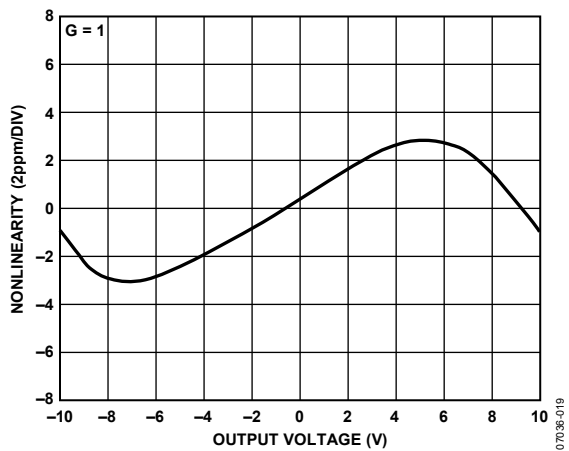


図 38.ゲイン非直線性、 $G = 1$ 、 $R_L \geq 2\text{ k}\Omega$

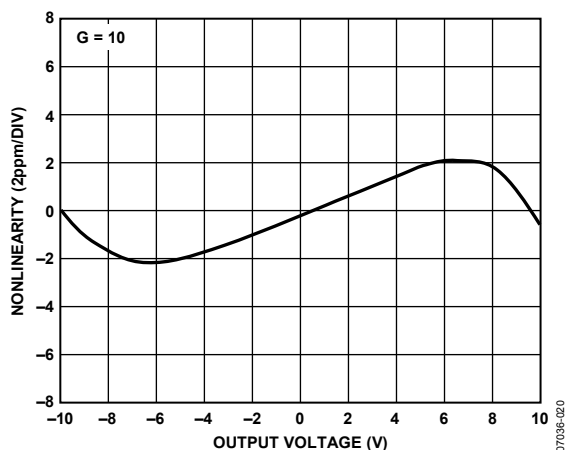


図 39. ゲイン非直線性、 $G = 10$ 、 $R_L \geq 2 \text{ k}\Omega$

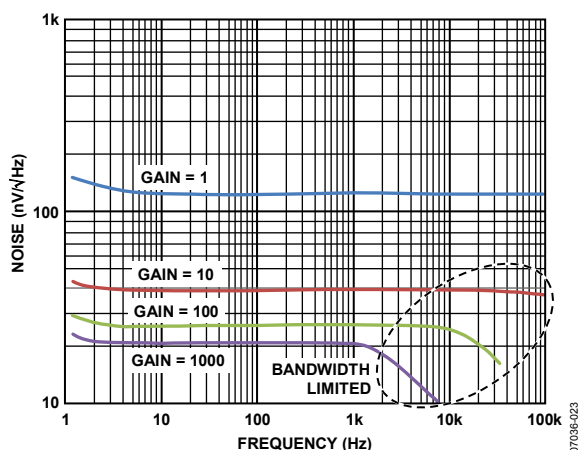


図 42. 電圧ノイズ・スペクトル密度の周波数特性

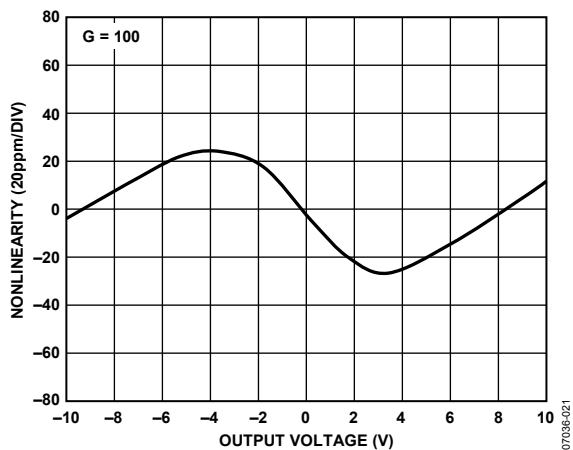


図 40. ゲイン非直線性、 $G = 100$ 、 $R_L \geq 2 \text{ k}\Omega$

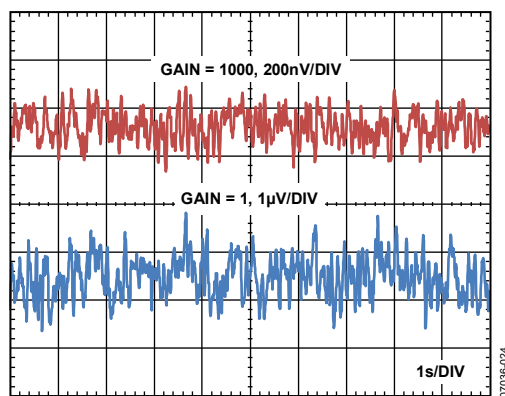


図 43. 0.1 Hz ~ 10 Hz での RTI 電圧ノイズ、 $G = 1$ 、 $G = 1000$

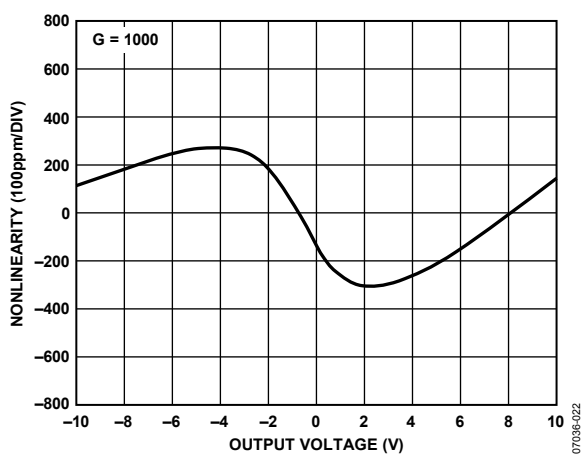


図 41. ゲイン非直線性、 $G = 1000$ 、 $R_L \geq 2 \text{ k}\Omega$

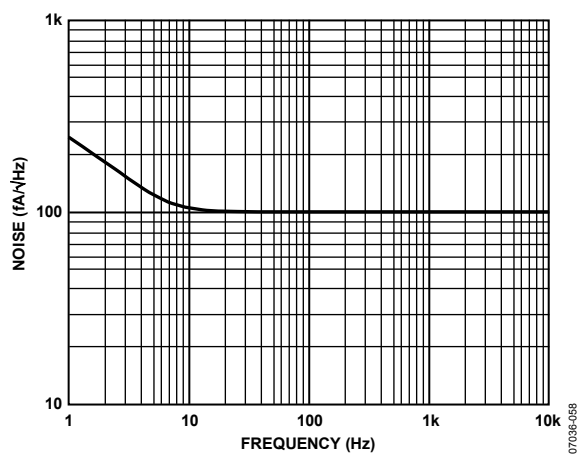


図 44. 電流ノイズ・スペクトル密度の周波数特性

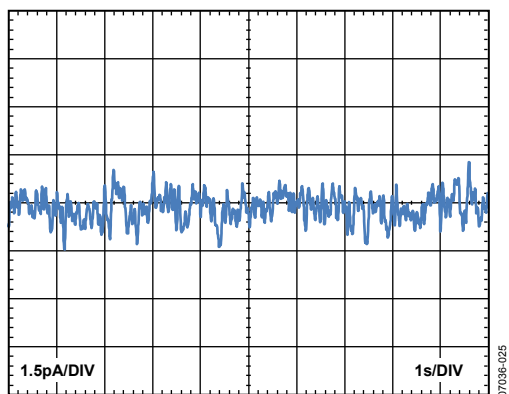


図 45. 0.1 Hz~10 Hz での電流ノイズ

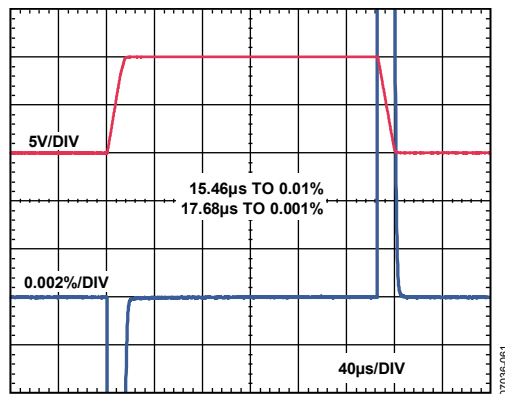
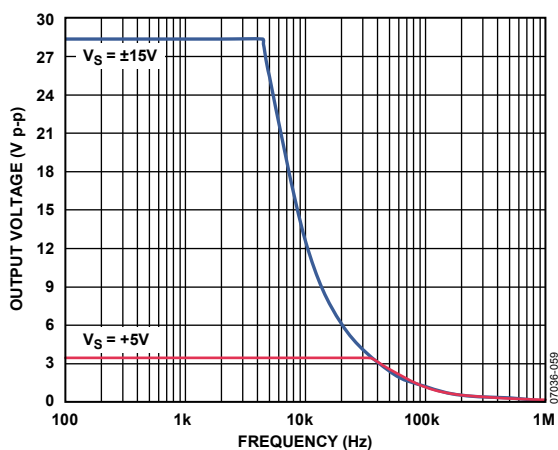
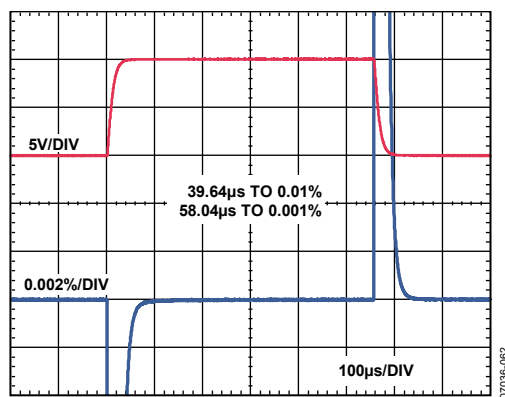
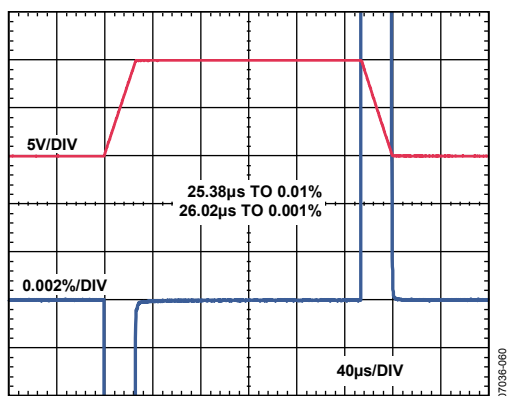
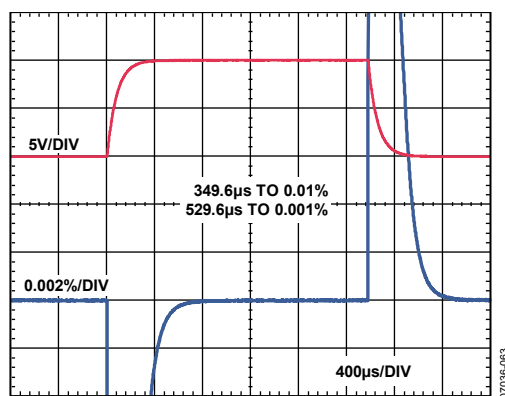
図 48. 大信号パルス応答とセトリング・タイム、 $G = 10$
10 V ステップ、 $V_S = \pm 15$ V

図 46. 大信号周波数応答

図 49. 大信号パルス応答とセトリング・タイム、 $G = 100$
10 V ステップ、 $V_S = \pm 15$ V図 47. 大信号パルス応答とセトリング・タイム、 $G = 1$
10 V ステップ、 $V_S = \pm 15$ V図 50. 大信号パルス応答とセトリング・タイム、 $G = 1000$
10 V ステップ、 $V_S = \pm 15$ V

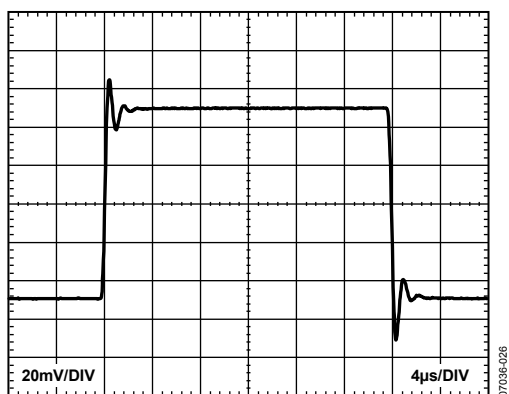


图 51.小信号应答、 $G = 1$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

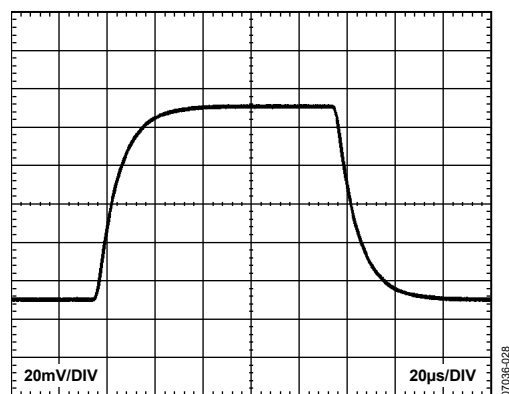


图 53.小信号应答、 $G = 100$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

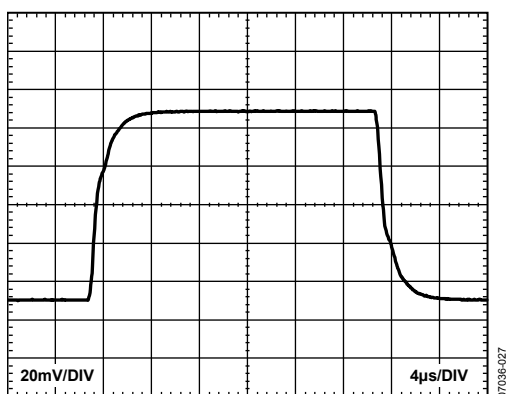


图 52.小信号应答、 $G = 10$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

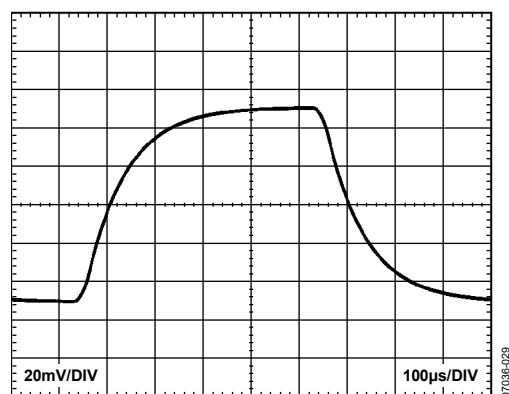


图 54.小信号应答、 $G = 1000$ 、 $R_L = 10\text{ k}\Omega$ 、 $C_L = 100\text{ pF}$

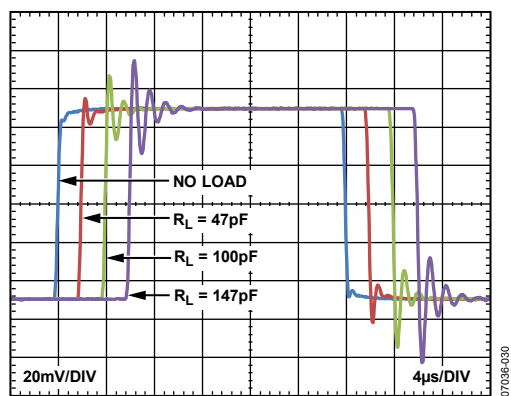


図 55. 様々な容量負荷での小信号応答、 $G = 1$ 、 $R_L = \infty$

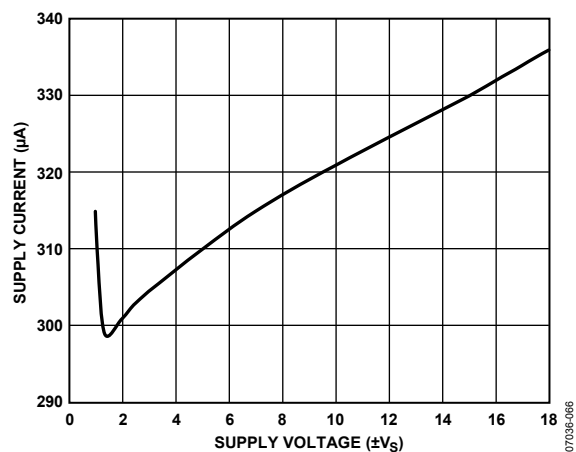


図 57. 電源電圧対電源電流

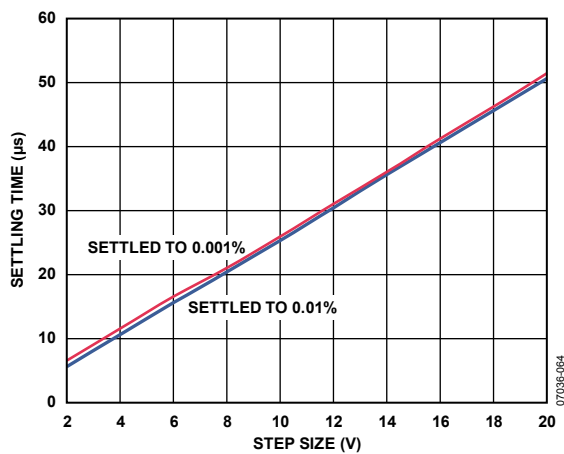


図 56. ステップ・サイズ対セトリング・タイム、 $V_S = \pm 15\text{ V}$ 両電源

動作原理

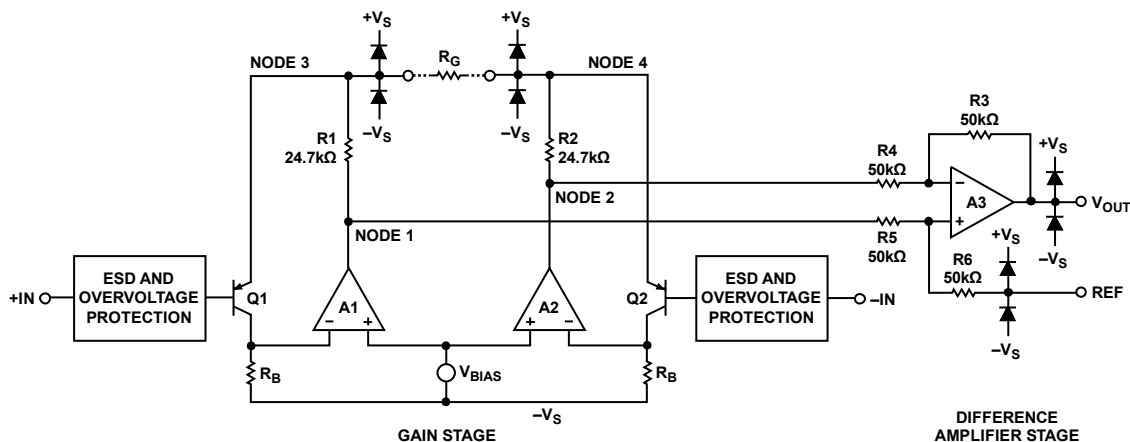


図 58.簡略化した回路図

アーキテクチャ

AD8226 は従来型 3 オペアンプ構成を採用しています。この構成は、差動増幅用のプリアンプと、それに続く同相モード電圧除去用ディファレンス・アンプの 2 ステージから構成されています。図 58 に、AD8226 の簡略化した回路図を示します。

初段ステージの動作は次のようになります。すなわち、バイアス抵抗 R_B の電圧を一定に維持するため、A1 はノード 3 を一定のダイオード電圧降下値(正入力電圧より上)に維持します。同様に、A2 はノード 4 を一定のダイオード電圧降下値(負入力電圧より上)に維持します。このようにして、差動入力電圧の増幅値がゲイン設定抵抗 R_G の両端に加えられます。この抵抗を流れる電流は抵抗 R1 と R2 にも流れるため、A2 出力と A1 出力の間に増幅された差動信号が現れます。増幅された差動信号の他に、元の同相モード信号とシフトされたダイオード電圧降下も存在していることに注意してください。

2 段目ステージは、A3 と 4 本の 50 k Ω 抵抗で構成されたディファレンス・アンプです。このステージは、増幅された差動信号から同相モード信号を除去するために設けてあります。

AD8226 の伝達関数は次式で表されます。

$$V_{OUT} = G(V_{IN+} - V_{IN-}) + V_{REF}$$

ここで、

$$G = 1 + \frac{49.4 \text{ k}\Omega}{R_G}$$

ゲインの選択

R_G ピン間に抵抗を接続すると、AD8226 のゲインが設定されます。ゲインは、表 7 からまたは次式を使って求めることができます。

$$R_G = \frac{49.4 \text{ k}\Omega}{G - 1}$$

表 7.1%抵抗を使った場合のゲイン

1% Standard Table Value of R_G (Ω)	Calculated Gain
49.9 k	1.990
12.4 k	4.984
5.49 k	9.998
2.61 k	19.93
1.00 k	50.40
499	100.0
249	199.4
100	495.0
49.9	991.0

ゲイン抵抗を使わない場合は、AD8226 は $G = 1$ (デフォルト) に設定されます。システムの総合ゲイン精度を求めるときは、 R_G 抵抗の偏差とゲイン・ドリフトを AD8226 の仕様に加算してください。ゲイン抵抗を使用しない場合は、ゲイン誤差とゲイン・ドリフトが小さくなります。

ゲイン=5 で、かつゲイン・ドリフトが小さいことが重要な場合には、AD8227 の採用をご検討ください。AD8227 のデフォルト・ゲインは 5 で、内部抵抗により設定されています。すべての抵抗が内蔵されているため、ゲイン・ドリフトは極めて小さくなっています(5 ppm/ $^{\circ}\text{C}$ 以下)。

リファレンス・ピン

AD8226 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。これは、出力信号を正確に電源の中心レベルにオフセットさせる必要がある場合に便利です。例えば、電圧源を REF ピンに接続して、AD8226 から単電源 ADC を駆動できるように、出力をレベル・シフトさせることができます。REF ピンは ESD ダイオードで保護されているため、 $+V_S$ または $-V_S$ を 0.3 V 以上超えることはできません。

最適性能を得るためには、REF ピンへ接続するソース・インピーダンスを $2\ \Omega$ 以下にする必要があります。図 58 に示すように、REF ピンは $50\ \text{k}\Omega$ 抵抗の片側端子に接続されています。REF ピンにインピーダンスを追加接続すると、この $50\ \text{k}\Omega$ の抵抗に加算されるため、正入力に接続された信号が増幅されます。追加された R_{REF} による増幅率は、 $2(50\ \text{k}\Omega + R_{REF}) / (100\ \text{k}\Omega + R_{REF})$ により計算されます。

正信号パスのみが増幅されて、負信号パスは影響を受けません。増幅率が平坦でない場合、CMRR が低下します。

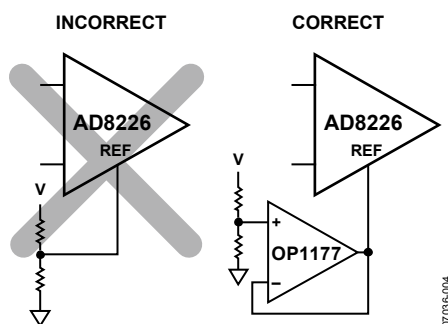


図 59. リファレンス電圧ピンの駆動

入力電圧範囲

図 9～図 15 および 図 18 に、種々の出力電圧と電源電圧に対する同相モード入力の許容電圧範囲を示します。AD8226 の 3 オペアンプ・アーキテクチャは、ディファレンス・アンプで同相モード電圧が除去される前に、初段ステージのゲインに適用されます。初段ステージと 2 段目ステージの間の内部ノード(図 58 のノード 1 とノード 2)には、増幅された信号、同相モード信号、ダイオード電圧降下の組み合わせが加わります。個々の入力信号と出力信号が制限されていない場合でも、この組み合わせの信号が電圧電源により制限されることがあります。

大部分のアプリケーションに対して、図 9～図 15 および 図 18 は、優れたデザインを実現するための十分な情報を提供します。さらに詳しい理解が必要なアプリケーションに対しては、式 1～式 3 を使うと、ゲイン (G)、同相モード入力電圧 (V_{CM})、差動入力電圧 (V_{DIFF})、リファレンス電圧 (V_{REF}) との関係を理解することができます。 V_{-LIMIT} 、 V_{+LIMIT} 、 V_{REF_LIMIT} の値を表 8 に示します。これら 3 つの式と、表 2 と 表 3 に示す入力範囲仕様と出力範囲仕様によって、デバイスの動作限界が決定されます。

$$V_{CM} - \left| \frac{(V_{DIFF})(G)}{2} \right| > -V_S + V_{-LIMIT} \quad (1)$$

$$V_{CM} + \left| \frac{(V_{DIFF})(G)}{2} \right| < +V_S - V_{+LIMIT} \quad (2)$$

$$\frac{(V_{DIFF})(G)}{2} + V_{CM} + V_{REF} < +V_S - V_{REF_LIMIT} \quad (3)$$

表 8. 様々な温度での入力電圧範囲定数

Temperature	V_{-LIMIT}	V_{+LIMIT}	V_{REF_LIMIT}
-40°C	-0.55 V	0.8 V	1.3 V
+25°C	-0.35 V	0.7 V	1.15 V
+85°C	-0.15 V	0.65 V	1.05 V
+125°C	-0.05 V	0.6 V	0.9 V

温度性能

同相モード入力範囲は、温度とともに上にシフトします。低温では、デバイスの正電源のヘッドルームが大きくなり、負電源付近の動作に余裕が生じます。逆に、高温では正電源のヘッドルームが小さくて済みますが、負電源付近の入力電圧はワーストケース状態になります。

最適性能のための推奨事項

一般的なデバイスは、このセクションに記載する限界まで機能しますが、最適性能を得るためには、数百 mV の余裕を持つようにデザインすることが推奨されます。信号が限界に近づくと、内部トランジスタの飽和が始まり、周波数と直線性の性能に影響を与えます。

アプリケーション条件が限界を超える場合には、1 つのソリューションとしては、AD8226 のゲインを小さくして、シグナル・チェーンの後段でゲインを増やす方法があります。もう 1 つのオプションはピン・コンパチブルな AD8227 を使用することです。

レイアウト

PCB レベルで AD8226 の最適性能を確保するためには、ボード・レイアウトのデザインに注意が必要です。AD8226 ピンは、このために論理的に配置されています。

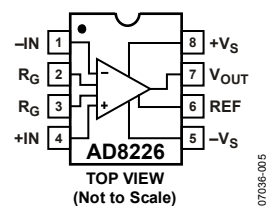


図 60. ピン配置図

全周波数での同相モード除去比

レイアウトが正しくないと、同相モード信号が差動信号に変換されて計装アンプに到達することがあります。このような変換は、入力パス相互の周波数応答が異なる場合に発生します。周波数に対して CMRR を高く維持するためには、各パスの入力ソース・インピーダンスと容量が一致している必要があります。入力パスへソース抵抗(例えば入力保護)を追加するときは、計装アンプ入力の近くに接続して、PCB パターンの寄生容量との相互作用を小さくする必要があります。

ゲイン設定ピンの寄生容量も、周波数に対する CMRR に影響を与えます。ボード・デザインでゲイン設定ピンに部品(例えばスイッチまたはジャンパ)を接続する場合は、できるだけ寄生容量の小さい部品を選ぶ必要があります。

電源

安定なDC電圧を使って、計装アンプに電源を供給する必要があります。電源ピンのノイズは性能に悪影響を与えることに注意してください。PSRR性能カーブの詳細については、図 23 と 図 24 を参照してください。

0.1 μF のコンデンサを各電源ピンのできるだけ近くに配置する必要があります。図 61 に示すように、10 μF のタンタル・コンデンサをデバイスから離れたところに接続することができます。多くの場合、このコンデンサは他の高精度IC と共用することができます。

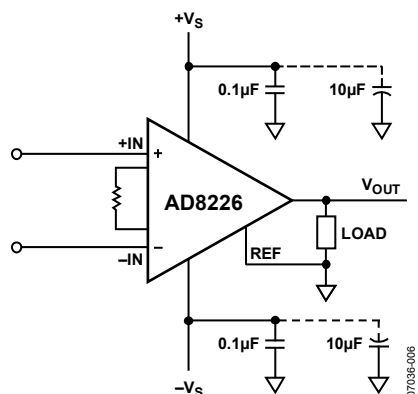


図 61.電源デカップリング、REF ローカル・グラウンド基準の出力

リファレンス

AD8226 の出力電圧は、リファレンス・ピンの電位を基準にして発生されます。REF を適切な最寄りのグラウンドに接続するように注意してください。

入力バイアス電流のリターン・パス

AD8226 の入力バイアス電流には、グラウンドへのリターン・パスが必要です。熱電対のように信号源にリターン電流パスがない場合には、図 62 に示すように設ける必要があります。

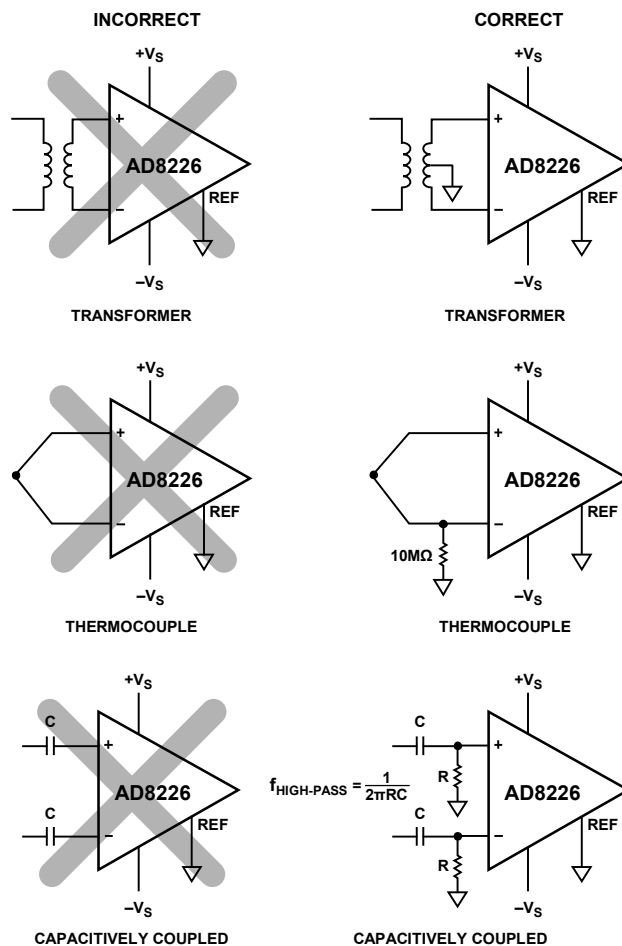


図 62. I_{BIAS} パスの構成

入力保護

AD8226 は非常に強固な入力を持っているため、一般に入力保護機能の追加は不要です。入力電圧は、反対側電源レールから最大 40 Vまで可能です。例えば、+5 V正電源と-8 V負電源の場合、デバイスは-35 Vから 32 Vまでの電圧に安全に耐えることができます。他の計装アンプとは異なり、このデバイスはデバイスが高ゲインである場合でも大きな差動入力電圧を処理することができます。図 16、図 17、図 19、図 20 に、過電圧状態でのデバイス動作を示します。

AD8226 の残りのピンは、電源電圧以内に維持する必要があります。AD8226 のすべてのピンは、ESD に対して保護されています。

AD8226 に許容限界を超える電圧が入力されるアプリケーションの場合には、外付け電流制限抵抗と、BAV199L、FJH1100、または SP720 のようなローリーク・ダイオード・クランプを使う必要があります。

無線周波数干渉(RFI)

アンプが強いRF信号が存在するアプリケーションで使われる場合には、RFの整流がしばしば問題になります。外乱が小さいDCオフセット電圧として現れることがあります。高周波信号は、図 63 に示すように計装アンプの入りに接続されたローパスRC回路で除去することができます。このフィルタは、次式の関係を使って入力信号の帯域幅を制限します。

$$FilterFrequency_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$FilterFrequency_{CM} = \frac{1}{2\pi RC_C}$$

ここで、 $C_D \geq 10 C_C$ 。

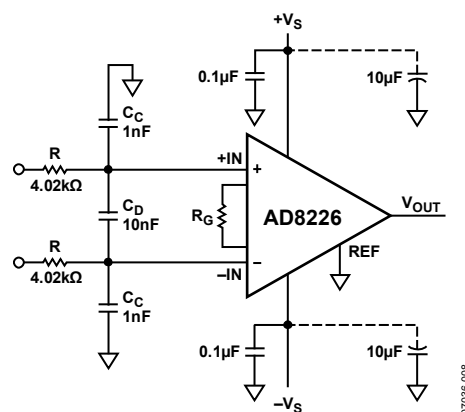


図 63. RFI の除去

C_D は差動信号に有効で、 C_C は同相モード信号に有効です。R と C_C の値は、RFI を小さくするように選択する必要があります。正入力の $R \times C_C$ と負入力の $R \times C_C$ との不一致は、AD8226 の CMRR 性能を低下させます。 C_C の値より 1 桁大きい C_D の値を使うと、不一致の影響が小さくなるので、性能が改善されます。

アプリケーション情報

差動駆動

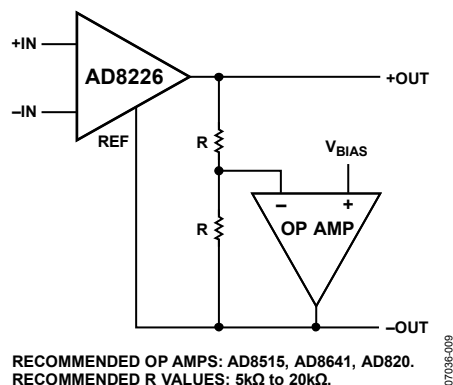


図 64. オペアンプを使用した差動出力

図 64 に、AD8226 に差動信号を出力させる方法を示します。

差動出力は、次式で決定されます。

$$V_{DIFF_OUT} = V_{OUT+} - V_{OUT-} = \text{ゲイン} \times (V_{IN+} - V_{IN-})$$

同相モード出力は、次式で決定されます。

$$V_{CM_OUT} = (V_{OUT+} + V_{OUT-})/2 = V_{BIAS}$$

この回路の利点は、DC 差動精度がオペアンプまたは抵抗に依存するのではなく AD8226 に依存することです。さらに、この回路では、AD8226 がリファレンス電圧を基準とする出力電圧となるように正確に制御しています。オペアンプの DC 性能と抵抗一致度により DC 同相モード出力精度が影響を受けますが、このような誤差はシグナル・チェーン内の次のデバイスで除去されるため、一般に全体システム精度には影響がありません。

最適差動出力性能を得るためのアドバイス

最適 AC 性能を得るためには、少なくとも 2 MHz のゲイン帯域幅と 1 V/μs のスルーレートを有するオペアンプの使用が推奨されます。オペアンプとしては、AD8641、AD8515、AD820 の使用が推奨されます。

抵抗とオペアンプ反転端子との間のパターン長をできるだけ短くしてください。このノードの容量が大きいと、回路が不安定になることがあります。容量を小さくできない場合は、小さい値の抵抗を使用してください。

最適な直線性と AC 性能を得るためには、最小の正電源電圧 (+V_S) が必要です。表 9 に、最適性能を得るために必要な最小電源電圧を示します。このモードでは、V_{CM_MAX} は AD8226 入力で期待される最大同相モード電圧を表しています。

表 9. 最小正電源電圧

Temperature	Equation
Less than -10°C	+V _S > (V _{CM_MAX} + V _{BIAS})/2 + 1.4 V
-10°C to 25°C	+V _S > (V _{CM_MAX} + V _{BIAS})/2 + 1.25 V
More than 25°C	+V _S > (V _{CM_MAX} + V _{BIAS})/2 + 1.1 V

高精度ストレイン・ゲージ

AD8226は低いオフセットと広範囲な周波数で高いCMRRを持つため、ブリッジ計測に対して優れた候補になっています。図 65 に示すように、ブリッジをアンプ入力に直接接続することができます。

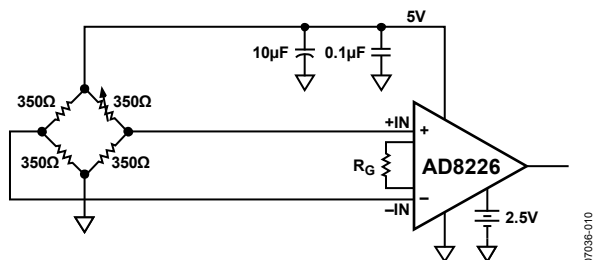


図 65.高精度ストレイン・ゲージ

ADCの駆動

図 66 に、ADC駆動の幾つかの方法を示します。この例では ADuC7026 マイクロコントローラを選択していますが、これは現代の大部分のADCで一般的な、バッファなしの電荷サンプリング・アーキテクチャを採用したADCを内蔵しているためです。

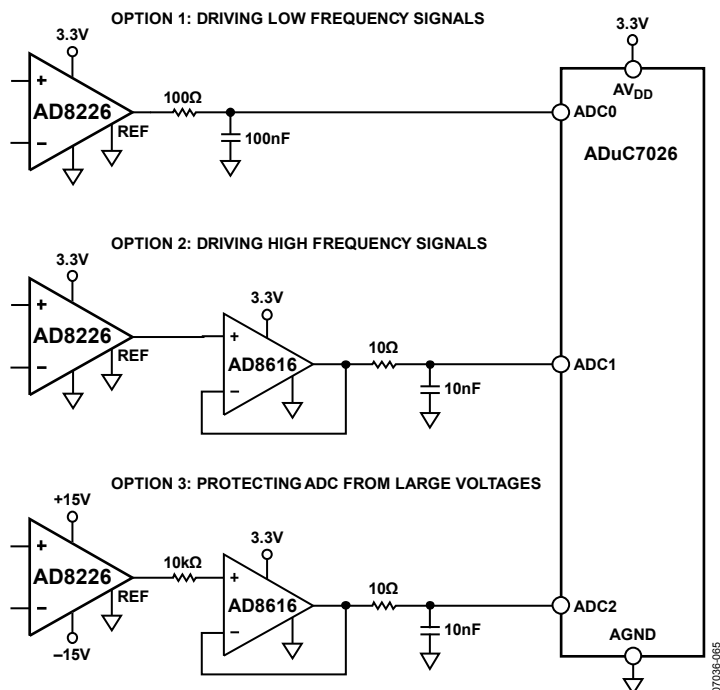


図 66.ADC の駆動

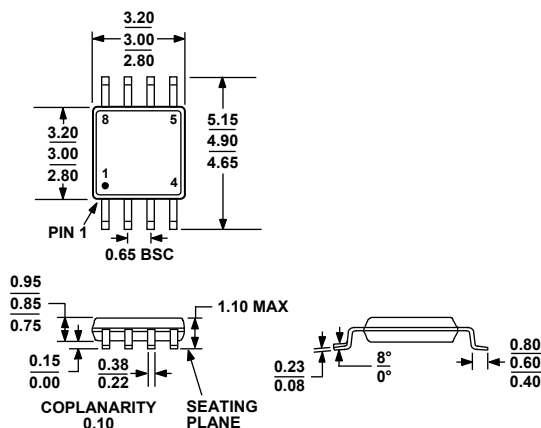
このタイプのアーキテクチャでは一般に、正しく動作するために、ADCとアンプとの間にRCバッファ・ステージが必要です。

オプション 1 に、電荷サンプリング ADC の駆動に必要な最小構成を示します。コンデンサは ADC サンプリング・コンデンサに対して電荷を供給し、抵抗は AD8226 を容量からシールドします。AD8226 を安定にするためには、抵抗とコンデンサの RC 時定数はほぼ $5 \mu\text{s}$ を維持する必要があります。この回路は主に低い周波数の信号に有効です。

オプション 2 に、高速信号を駆動する回路を示します。比較的広い帯域幅と出力駆動能力を持つ高精度オペアンプ(AD8616)を使用しています。このアンプは、はるかに大きい時定数の抵抗とコンデンサを駆動することができるため、高い周波数のアプリケーションに適しています。

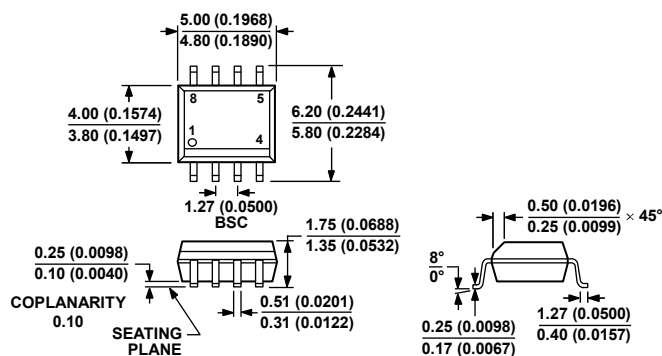
オプション 3 は、AD8226 が高い電圧電源で動作する必要があり、かつ単電源ADCを駆動する必要があるアプリケーションで有効です。通常の動作では、AD8226 出力はADC範囲内にあり、AD8616 は単純にそれをバッファするだけです。故障状態では、AD8226 出力が AD8616 とADCの電源範囲の外側に出てしまうことがあります。このことはこの回路では問題になりません。これは、2 つのアンプの間の $10 \text{ k}\Omega$ 抵抗により、AD8616 へ流れる電流が安全なレベルに制限されるためです。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 67. 8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 68. 8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ
(R-8)
寸法: mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
AD8226ARMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	Y18
AD8226ARMZ-RL ¹	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y18
AD8226ARMZ-R7 ¹	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y18
AD8226ARZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8226ARZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8226ARZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
AD8226BRMZ ¹	-40°C to +125°C	8-Lead MSOP	RM-8	Y19
AD8226BRMZ-RL ¹	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	Y19
AD8226BRMZ-R7 ¹	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	Y19
AD8226BRZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	
AD8226BRZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
AD8226BRZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	

¹ Z = RoHS 準拠製品