



# AD9958

## 特長

- 2チャンネルの同期DDS@500MSPS  
各チャンネルで独立した周波数／位相／振幅の制御  
周波数／位相／振幅の変化に対するレイテンシのマッチング  
優れたチャンネル間アイソレーション (>72dB)  
周波数／位相／振幅のリニアスイープ機能  
最大16レベルの周波数／位相／振幅変調 (ピンにより選択)  
2個の10ビットD/Aコンバータ (DAC) を内蔵  
個別に設定可能なDACフルスケール電流  
32ビットの周波数同調分解能  
14ビットの位相オフセット分解能  
10ビットの出力振幅スケールリング分解能  
800Mbpsのデータ・スループット性能を備えるシリアルI/O  
ポート (SPI)  
ソフトウェア／ハードウェア制御によるパワーダウン  
2電源動作 (1.8VのDDSコア／3.3VのシリアルI/O)  
複数のデバイスの同期化  
4倍から20倍までの範囲で逡倍率を選択可能なREF\_CLK乗算  
器 (PLL)  
選択可能なREF\_CLK水晶発振器  
56ピンLFCSPパッケージ

## アプリケーション

- 高速応答局発振器  
フェーズド・アレイ・レーダ／ソナー  
計測機器  
同期クロッキング  
AOTFのRFソース  
シングル・サイドバンド抑制キャリア  
直交周波数通信

## 機能ブロック図

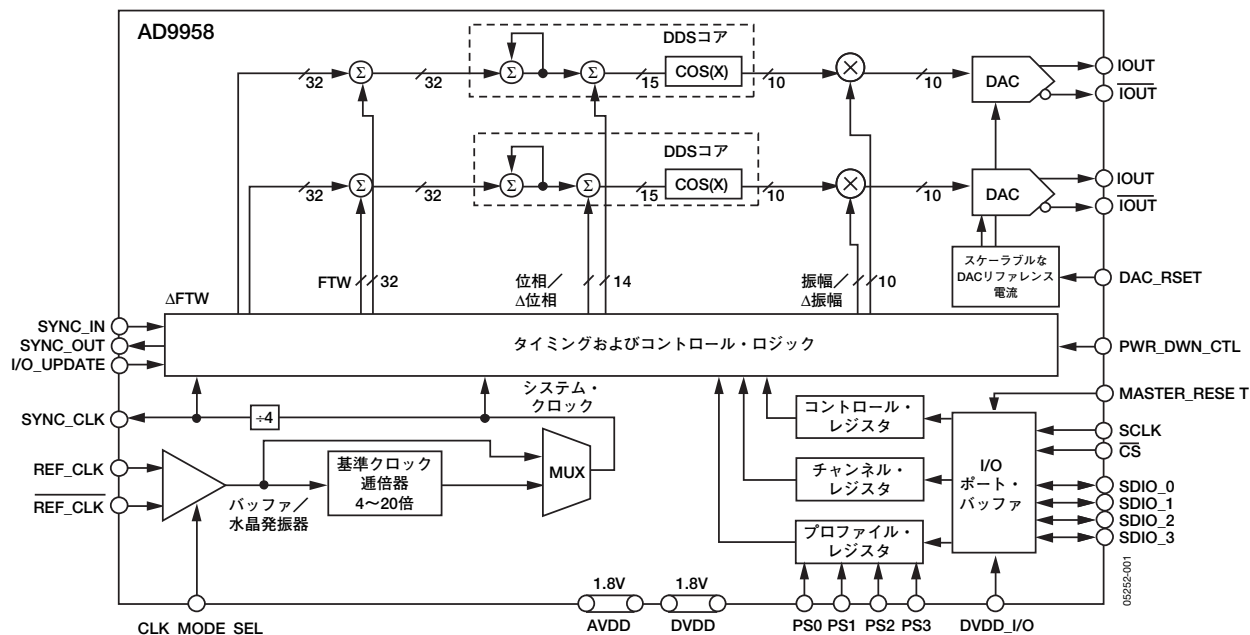


图1

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生ずる第三者の特許やその他の特許の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイスズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
電話03(5402) 8200

大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
電話06(6350) 6868

## 目次

特長	1	スリープおよび位相アキュムレータのクリア機能	25
アプリケーション	1	出力振幅制御モード	26
機能ブロック図	1	複数のAD9958の同期化	27
概要	3	自動モードによる同期	27
仕様	4	手動ソフトウェア・モードによる同期	27
絶対最大定格	8	手動ハードウェア・モードによる同期	27
ESDに関する注意	8	I/O_UPDATE、SYNC_CLKとシステム・クロックの関係	28
入力および出力等価回路	8	シリアルI/Oポート	29
ピン配置と機能の説明	9	概要	29
代表的な性能特性	11	命令バイト	30
アプリケーション回路	14	シリアルI/Oポート・ピン	30
動作原理	17	シリアルI/Oポート機能	30
DDSコア	17	MSB/LSB転送	30
DAC	17	シリアルI/O動作モード	31
動作モード	18	レジスタ・マップ	34
チャンネルの制約に関するガイドライン	18	コントロール・レジスタ・マップ	34
電源	18	チャンネル・レジスタ・マップ	35
シングル・トーン・モード	18	プロファイル・レジスタ・マップ	35
基準クロック・モード	19	コントロール・レジスタ	36
スケーラブルなDACリファレンス電流制御モード	20	チャンネル選択レジスタ (CSR)	36
パワーダウン機能	20	チャンネル機能レジスタ (CFR)	37
変調モード	20	外形寸法	39
RU/RD機能動作にSDIOピンを用いた変調	22	オーダー・ガイド	39
リニアスリープ (成形) 変調モード	22		
リニアスリープノー・ドウェル・モード	24		

## 改訂履歴

9/05—Revision 0: Initial Version

## 概要

AD9958は、各チャンネルの周波数、位相、振幅を個別に制御できる2個のDDSコアで構成されます。この柔軟性により、フィルタリングや増幅などのアナログ信号処理に伴って発生する信号間の不均衡や、PCボードのレイアウトに関連した mismatches を補正できます。2つのチャンネルは共通のシステム・クロックによって制御されるため、この各チャンネルは本来的に同期化されます。複数のデバイスの同期化も可能です。

AD9958は最大16レベルまでの周波数変調（FSK）、位相変調（PSK）、振幅変調（ASK）を実行できます。データをプロファイル・ピンに加えることによって、変調が実行されます。AD9958はさらに、レーダや計測機器などのアプリケーションで周波数、位相、振幅をリニアにスイープすることも可能です。

AD9958のシリアルI/Oポートはさまざまな設定が可能であるため、非常に高い柔軟性が確保されています。このシリアルI/Oポートは、アナログ・デバイスサイズの従来のDDS製品で見られるSPI動作と実質的に同等なSPI互換モード動作が可能です。4つのシリアルI/O動作モードを設定可能な4本のデータ・ピン（SDIO\_0:3）を使用して、柔軟性の高い操作を行うことができます。

AD9958には、低消費電力と高性能を実現する最新のDDS技術が採用されています。このデバイスは、優れたワイドバンドおよびナローバンドSFDR性能を備える2個の集積化された高速10ビットDACを内蔵しています。各チャンネルは、専用の32ビット周波数同調ワード、14ビット位相オフセット、10ビットの出力スケール調整用乗算器を備えています。

DACの出力は電源を基準にしており、抵抗でAVDDに終端させるか、センタータップ型トランスのセンターをAVDDに終端させます。各DACは専用のプログラマブル電圧リファレンスを内蔵しており、各チャンネルで異なるフルスケール電流を設定できます。

DDSは高分解能の分周器として動作します。REF\_CLKは入力として使用され、出力はDACから供給されます。REF\_CLK入力ソースは両方のチャンネルに共通であり、直接駆動するか、または内蔵REF\_CLK通倍器（PLL）と組み合わせて最大500MSPSまでで使用することもできます。PLLの通倍値は4～20の整数で設定できます。REF\_CLK入力はさらに、外付け水晶発振器をREF\_CLKソースとして使用できる発振器回路を特長としています。水晶発振器の周波数は、必ず20～30MHzの範囲とします。この水晶発振器はREF\_CLK通倍器とあわせて使用できます。

AD9958は、省スペースの56ピンLFCSPパッケージで提供しています。DDSコア（AVDDおよびDVDDピン）には、1.8Vの電源が供給されます。デジタルI/Oインターフェース（SPI）は3.3Vの電源で動作するため、DVDD\_I/Oピン（49番ピン）を3.3Vに接続します。

AD9958は、-40～+85℃の工業用温度範囲で動作します。

# AD9958

## 仕様

特に指定のない限り、AVDDおよびDVDD=1.8V±5%、DVDD\_I/O=3.3V±5%、R<sub>SET</sub>=1.91kΩ、外部基準クロック周波数=500MSPS（REF\_CLK通倍器をバイパス）。

表1

パラメータ	Min	Typ	Max	単位	テスト条件／備考
基準クロック入力特性					図33と図34を参照
周波数範囲					
REF_CLK通倍器のバイパス時	1		500	MHz	
REF_CLK通倍器のイネーブル時	10		125	MHz	
内部VCOの出力周波数範囲	255		500	MHz	
VCOゲイン・ビットをハイレベルに設定 <sup>1</sup>					
内部VCOの出力周波数範囲	100		160	MHz	
VCOゲイン・ビットをローレベルに設定 <sup>1</sup>					
水晶発振器のREF_CLKソース周波数範囲	20		30	MHz	
入力パワー感度	−5		3	dBm	ピン上で測定（シングルエンド）
入力電圧バイアス・レベル		1.15		V	
入力容量		2		pF	
入力インピーダンス		1500		Ω	
デューティ・サイクル（REF_CLK通倍器のバイパス時）	45		55	%	
デューティ・サイクル（REF_CLK通倍器のイネーブル時）	35		65	%	
CLKモード選択（24番ピン）のロジック1電圧	1.25		1.8	V	1.8Vのデジタル入力ロジック
CLKモード選択（24番ピン）のロジック0電圧			0.5	V	1.8Vのデジタル入力ロジック
DAC出力特性					AVDDを基準とする
分解能			10	ビット	
フルスケール出力電流	1.25		10	mA	
ゲイン誤差	−10		10	%FS	
チャンネル間の出力振幅マッチング誤差	−2.5		2.5	%	
出力電流オフセット		1	25	μA	
微分非直線性（DNL）		±0.5		LSB	
積分非直線性（INL）		±1.0		LSB	
出力容量		3		pF	
電圧コンプライアンス範囲	AVDD−0.50		AVDD+0.50	V	
チャンネル間アイソレーション	72			dB	DACの電源を相互に接続（図21を参照）
ワイドバンドSFDR					ワイドバンドSFDRの周波数範囲は、DCからナイキスト周波数まで
1～20MHzのアナログ出力		−65		dBc	
20～60MHzのアナログ出力		−62		dBc	
60～100MHzのアナログ出力		−59		dBc	
100～150MHzのアナログ出力		−56		dBc	
150～200MHzのアナログ出力		−53		dBc	
ナローバンドSFDR					
1.1MHzのアナログ出力（±10kHz）		−90		dBc	
1.1MHzのアナログ出力（±50kHz）		−88		dBc	
1.1MHzのアナログ出力（±250kHz）		−86		dBc	
1.1MHzのアナログ出力（±1MHz）		−85		dBc	
15.1MHzのアナログ出力（±10kHz）		−90		dBc	
15.1MHzのアナログ出力（±50kHz）		−87		dBc	
15.1MHzのアナログ出力（±250kHz）		−85		dBc	
15.1MHzのアナログ出力（±1MHz）		−83		dBc	
40.1MHzのアナログ出力（±10kHz）		−90		dBc	
40.1MHzのアナログ出力（±50kHz）		−87		dBc	
40.1MHzのアナログ出力（±250kHz）		−84		dBc	
40.1MHzのアナログ出力（±1MHz）		−82		dBc	
75.1MHzのアナログ出力（±10kHz）		−87		dBc	

パラメータ	Min	Typ	Max	単位	テスト条件／備考
75.1のアナログ出力 (±50kHz)		−85		dBc	
75.1のアナログ出力 (±250kHz)		−83		dBc	
75.1のアナログ出力 (±1MHz)		−82		dBc	
100.3のアナログ出力 (±10kHz)		−87		dBc	
100.3のアナログ出力 (±50kHz)		−85		dBc	
100.3のアナログ出力 (±250kHz)		−83		dBc	
100.3のアナログ出力 (±1MHz)		−81		dBc	
200.3のアナログ出力 (±10kHz)		−87		dBc	
200.3のアナログ出力 (±50kHz)		−85		dBc	
200.3のアナログ出力 (±250kHz)		−83		dBc	
200.3のアナログ出力 (±1MHz)		−81		dBc	
位相ノイズ特性					
残留位相ノイズ@15.1MHz ( $f_{OUT}$ )					
@1kHzのオフセット		−150		dBc/Hz	
@10kHzのオフセット		−159		dBc/Hz	
@100kHzのオフセット		−165		dBc/Hz	
@1MHzのオフセット		−165		dBc/Hz	
残留位相ノイズ@40.1MHz ( $f_{OUT}$ )					
@1kHzのオフセット		−142		dBc/Hz	
@10kHzのオフセット		−151		dBc/Hz	
@100kHzのオフセット		−160		dBc/Hz	
@1MHzのオフセット		−162		dBc/Hz	
残留位相ノイズ@75.1MHz ( $f_{OUT}$ )					
@1kHzのオフセット		−135		dBc/Hz	
@10kHzのオフセット		−146		dBc/Hz	
@100kHzのオフセット		−154		dBc/Hz	
@1MHzのオフセット		−157		dBc/Hz	
残留位相ノイズ@100.3MHz ( $f_{OUT}$ )					
@1kHzのオフセット		−134		dBc/Hz	
@10kHzのオフセット		−144		dBc/Hz	
@100kHzのオフセット		−152		dBc/Hz	
@1MHzのオフセット		−154		dBc/Hz	
残留位相ノイズ@15.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を5倍にイネーブル					
@1kHzのオフセット		−139		dBc/Hz	
@10kHzのオフセット		−149		dBc/Hz	
@100kHzのオフセット		−153		dBc/Hz	
@1MHzのオフセット		−148		dBc/Hz	
残留位相ノイズ@40.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を5倍にイネーブル					
@1kHzのオフセット		−130		dBc/Hz	
@10kHzのオフセット		−140		dBc/Hz	
@100kHzのオフセット		−145		dBc/Hz	
@1MHzのオフセット		−139		dBc/Hz	
残留位相ノイズ@75.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を5倍にイネーブル					
@1kHzのオフセット		−123		dBc/Hz	
@10kHzのオフセット		−134		dBc/Hz	
@100kHzのオフセット		−138		dBc/Hz	
@1MHzのオフセット		−132		dBc/Hz	
残留位相ノイズ@100.3MHz ( $f_{OUT}$ ) REF_CLK通倍器を5倍にイネーブル					
@1kHzのオフセット		−120		dBc/Hz	
@10kHzのオフセット		−130		dBc/Hz	
@100kHzのオフセット		−135		dBc/Hz	
@1MHzのオフセット		−129		dBc/Hz	

# AD9958

パラメータ	Min	Typ	Max	単位	テスト条件／備考
残留位相ノイズ@15.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を20倍にイネーブル @1kHzのオフセット @10kHzのオフセット @100kHzのオフセット @1MHzのオフセット 残留位相ノイズ@40.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を20倍にイネーブル @1kHzのオフセット @10kHzのオフセット @100kHzのオフセット @1MHzのオフセット 残留位相ノイズ@75.1MHz ( $f_{OUT}$ ) REF_CLK通倍器を20倍にイネーブル @1kHzのオフセット @10kHzのオフセット @100kHzのオフセット @1MHzのオフセット 残留位相ノイズ@100.3MHz ( $f_{OUT}$ ) REF_CLK通倍器を20倍にイネーブル @1kHzのオフセット @10kHzのオフセット @100kHzのオフセット @1MHzのオフセット		−127 −136 −139 −138 −117 −128 −132 −130 −110 −121 −125 −123 −107 −119 −121 −119		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz	
シリアル・ポートのタイミング特性 シリアル・クロック (SCLK) の最大周波数 SCLKローレベル最小パルス幅 ( $t_{PWL}$ ) SCLKハイレベル最小パルス幅 ( $t_{PWH}$ ) データ・セットアップ最小時間 ( $t_{DS}$ ) データ・ホールド最小時間 CSBセットアップ最小時間 ( $t_{PRE}$ ) 読出し動作のデータ有効最小時間	1.6 2.2 2.2 0 1.0 12		200 ns ns ns ns ns ns	MHz ns ns ns ns ns ns	
その他のタイミング特性 Master_Reset最小パルス幅 I/O_Update最小パルス幅 最小セットアップ時間 (I/O_UpdateからSYNC_CLKまで) 最小ホールド時間 (I/O_UpdateからSYNC_CLKまで) 最小セットアップ時間 (プロファイル入力からSYNC_CLKまで) 最小ホールド時間 (プロファイル入力からSYNC_CLKまで) 最小セットアップ時間 (SDIO入力からSYNC_CLKまで) 最小ホールド時間 (SDIO入力からSYNC_CLKまで) REF_CLKからSYNC_CLKまでの伝播時間	1 1 4.8 0 5.4 0 2.5 0 2.25		3.5 5.5	ns ns ns ns ns ns ns ns ns	最小パルス幅=1同期クロック・サイクル 最小パルス幅=1同期クロック・サイクル 1つの立上がりエッジから次の立上がりエッジまでの時間 1つの立上がりエッジから次の立上がりエッジまでの時間
CMOSロジック入力 $V_{IH}$ $V_{IL}$ ロジック1電流 ロジック0電流 入力容量	2.0 0.8 3 −12 2		12 0.4	V V $\mu$ A $\mu$ A pF	
CMOSロジック出力 (1mAの負荷) $V_{OH}$ $V_{OL}$	2.7 0.4			V V	
電源 トータル消費電力—両方のチャンネルをオン、シングル・トーン・モード トータル消費電力—両方のチャンネルをオン、スweep・アキュムレータの使用時		315 350	380 420	mW mW	電源変動に左右されます 電源変動に左右されます

パラメータ	Min	Typ	Max	単位	テスト条件／備考
トータル消費電力—完全なパワーダウン時		13		mW	
IAVDD—両方のチャンネルをオン、シングル・トーン・モード		90	105	mA	
IAVDD—両方のチャンネルをオン、スイープ・アキュムレータ、REF_CLK通倍器、10ビット出力スケーラのイネーブル時		95	110	mA	
IDVDD—両方のチャンネルをオン、シングル・トーン・モード		60	70	mA	
IDVDD—両方のチャンネルをオン、スイープ・アキュムレータ、REF_CLK通倍器、10ビット出力スケーラのイネーブル時		70	80	mA	
IDVDD_I/O			22	mA	IDVDD=読出し
IDVDD_I/O			30	mA	IDVDD=書き込み
IAVDD—パワーダウン・モード			2.5	mA	
IDVDD—パワーダウン・モード			2.5	mA	
データ・レイテンシ（パイプライン遅延）、シングル・トーン・モード <sup>2,3</sup>					
周波数、位相、振幅の各ワードからDAC出力までの遅延、レイテンシ・マッチングのイネーブル時 システム・クロック	29			Sys Clk	
周波数ワードからDAC出力までの遅延、レイテンシ・マッチングのデイスエーブル時	29			Sys Clk	
位相オフセット・ワードからDAC出力までの遅延、レイテンシ・マッチングのデイスエーブル時	25			Sys Clk	
振幅ワードからDAC出力までの遅延、レイテンシ・マッチングのデイスエーブル時	17			Sys Clk	
データ・レイテンシ（パイプライン遅延）、変調モード <sup>3,4</sup>					
周波数ワードからDAC出力までの遅延	34			Sys Clk	
位相オフセット・ワードからDAC出力までの遅延	29			Sys Clk	
振幅ワードからDAC出力までの遅延	21			Sys Clk	
データ・レイテンシ（パイプライン遅延）、リニアスイープ・モード <sup>3,4</sup>					
周波数立上がり／立下がりデルタ同調ワードからDAC出力までの遅延	41			Sys Clk	
位相オフセット立上がり／立下がりデルタ同調ワードからDAC出力までの遅延	37			Sys Clk	
振幅立上がり／立下がりデルタ同調ワードからDAC出力までの遅延	29			Sys Clk	

<sup>1</sup> VCO周波数が160～255MHzの範囲では動作が保証されません。

<sup>2</sup> データ・レイテンシはI/O\_UPDATEを基準とします。

<sup>3</sup> データ・レイテンシは固定されます。

<sup>4</sup> データ・レイテンシはプロファイル変化を基準とします。

## 絶対最大定格

表2

パラメータ	定格値
最大ジャンクション温度	150℃
DVDD_I/O (49番ピン)	4V
AVDD、DVDD	2V
デジタル入力電圧 (DVDD_I/O=3.3V)	-0.7～+4V
デジタル出力電流	5mA
保存温度範囲	-65～+150℃
動作温度範囲	-40～+85℃
リード温度 (ハンダ処理10秒)	300℃
$\theta_{JA}$	21℃/W
$\theta_{JC}$	2℃/W

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

### 注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



### 入力および出力等価回路

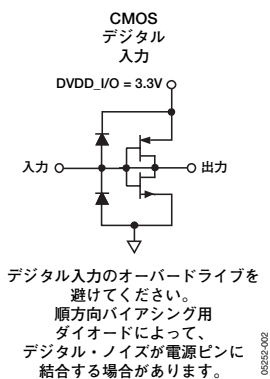


図2

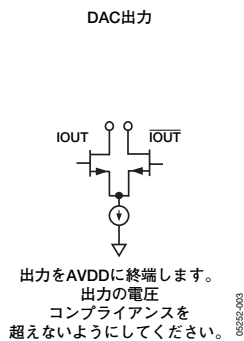


図3

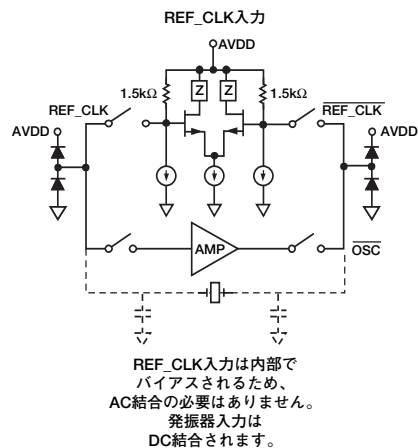
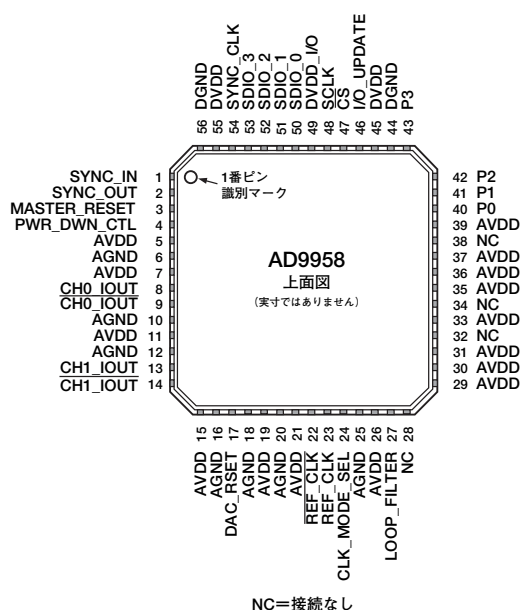


図4



## ピン配置と機能の説明



- 注
1. パッケージ底面の露出パッドは電氣的接続部のためグラウンドにハンダ付けしてください。
  2. 49番ピンはDVDD\_I/Oです。3.3V電源に接続してください。

0552-005

図5. ピン配置

表3. ピン機能の説明

ピン番号	記号	I/O	説明
1	SYNC_IN	I	複数のAD9958の同期に使用します。マスターとして使用するAD9958のSYNC_OUTピンに接続してください。
2	SYNC_OUT	O	複数のAD9958の同期に使用します。スレーブとして使用するAD9958のSYNC_INピンに接続してください。
3	MASTER_RESET	I	アクティブ・ハイレベルのリセット・ピン。MASTER_RESETピンをアサートすると、「レジスタ・マップ」で説明するように、AD9958の内部レジスタがデフォルト状態に強制設定されます。
4	PWR_DWN_CTL	I	外部パワーダウン制御入力ピン
5、7、11、15、19、21、 26、29、30、31、33、35、 36、37、39	AVDD	I	アナログ電源ピン (1.8V)
6、10、12、16、18、20、25	AGND	I	アナログ・グラウンド・ピン
45、55	DVDD	I	デジタル電源ピン (1.8V)
44、56	DGND	I	デジタル・グラウンド・ピン
8	CH0_IOUT	O	真のDAC出力。AVDDに終端します。
9	CH0_IOUT	O	コンプリメンタリDAC出力。AVDDに終端します。
13	CH1_IOUT	O	真のDAC出力。AVDDに終端します。
14	CH1_IOUT	O	コンプリメンタリDAC出力。AVDDに終端します。
17	DAC_RSET	I	DACすべてのリファレンス電流を設定します。1.91k $\Omega$ (公称値) の抵抗をこのピンとAGNDとの間に接続します。
22	REF_CLK	I	基準クロック／発振器のコンプリメンタリ入力。REF_CLKをシングルエンド・モードで動作させるときは、このピンとAVDDまたはAGNDとの間に0.1 $\mu$ Fのコンデンサを外付けして、デカップリング処理を行ってください。

# AD9958

ピン番号	記号	I/O	説明
23	REF_CLK	I	基準クロック／発振器入力。REF_CLKをシングルエンド・モードで動作させるときは、このピンが入力として使用されます。基準クロックの設定については、「動作モード」を参照してください。
24	CLK_MODE_SEL	I	発振器回路部の制御ピン。注意：1.8Vを超える電圧でこのピンを駆動しないでください。このピンがハイレベル（1.8V）のとき、発振器回路部がイネーブルになり、REF_CLKソースとして水晶発振器を受け入れます。ローレベルのときは、発振器回路部がバイパスされます。
27	LOOP_FILTER	I	PLLループ・フィルタの外部ゼロ補償ネットワークに接続します。このネットワークは通常、0Ωの抵抗と680pFのコンデンサをAVDD間に直列に接続する回路で構成されます。
28、32、34、38	NC	—	接続なし
40、41、42、43	P0、P1、P2、P3	I	変調（FSK、PSK、ASK）、スリープ・アキュムレータの起動／停止、または出力振幅のランプアップ／ランプダウンに使用されるデータ・ピンです。これらのモードでは、SYNC_CLKをイネーブルにしてください。これらのデータ入力のトグル操作は、I/O_UPDATEピンの機能と同等です。データはSYNC_CLK（54番ピン）と同期します。データ入力は、SYNC_CLKに要求されるセットアップ時間とホールド時間の仕様を満たさなければなりません。このタイミング仕様を満たせば、データがDACから出力されるまでのパイプライン遅延が一定の時間として保証されます。これが満たされなければ、SYNC_CLKのサイクル時間に±1の不確実性が発生します。これらのピンの機能は、レジスタFR1<12:14>のプロファイル・ピン設定（PPC）ビットで制御します。
46	I/O_UPDATE	I	このピンのエッジが立ち上がるとき、シリアルI/Oポートのバッファからアクティブなレジスタにデータが転送されます。I/O_UPDATEは、SYNC_CLK（54番ピン）と同期します。I/O_UPDATEは、SYNC_CLKに要求されるセットアップ時間とホールド時間の仕様を満たさなければなりません。このタイミング仕様を満たせば、データがDACから出力されるまでのパイプライン遅延が一定の時間として保証されます。満たされなければ、SYNC_CLKのサイクル時間に±1の不確実性が発生します。最小パルス幅は、1サイクルに相当するSYNC_CLK時間です。
47	$\overline{\text{CS}}$	I	アクティブ・ローレベルのチップ・セレクト入力です。このピンを使用して、1つのコモンI/Oバス（SPI）を複数のAD9958の間で共有するように設定できます。
48	SCLK	I	I/O動作に使用されるシリアル・データ・クロック。データ・ビットはSCLKの立上がりエッジで書き込まれ、SCLKの立下がりエッジで読み出されます。
49	DVDD_I/O	I	SPIポートとデジタルI/O用の3.3Vデジタル電源
50	SDIO_0	I/O	データ・ピンSDIO_0は、シリアルI/Oポート専用です。
51、52、53	SDIO_1、SDIO_2、SDIO_3	I/O	データ・ピンSDIO_1:3は、シリアルI/Oポート用として使用するか、またはDAC出力振幅のランプアップ／ランプダウン（RU/RD）の開始に使用できます。
54	SYNC_CLK	O	SYNC_CLKは、システム・クロックの1/4のレートで動作します。これをデイスエーブルにできます。I/O_UPDATEまたはデータ入力（40～43番ピン）は、SYNC_CLKと同期します。I/O_UPDATEまたはデータ入力は、SYNC_CLKに要求されるセットアップ時間とホールド時間の仕様を満たさなければなりません。このタイミング仕様を満たせば、データがDACから出力されるまでのパイプライン遅延が一定の時間として保証されます。満たされなければ、SYNC_CLKのサイクル時間に±1の不確実性が発生します。

## 代表的な性能特性

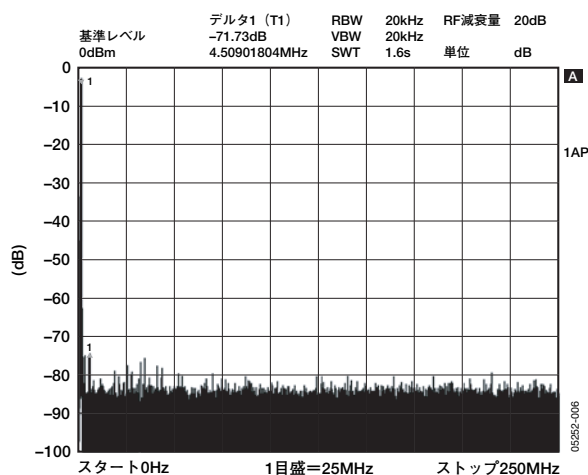


図6.  $f_{OUT}=1.1\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

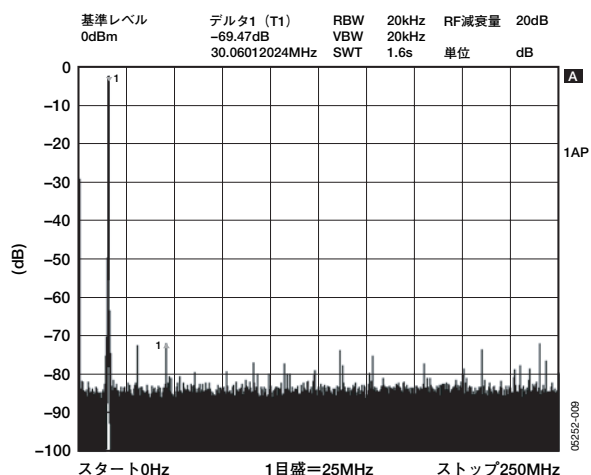


図9.  $f_{OUT}=15.1\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

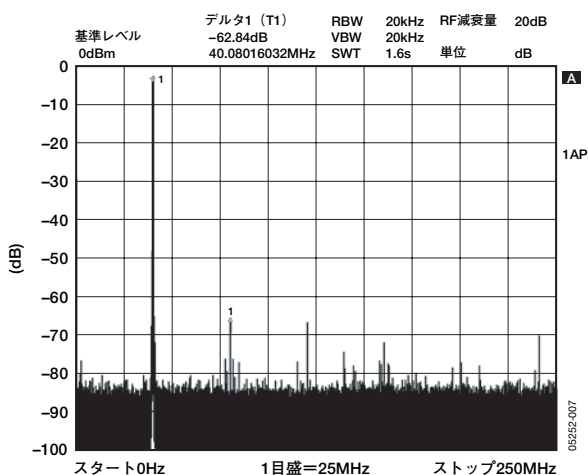


図7.  $f_{OUT}=40.1\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

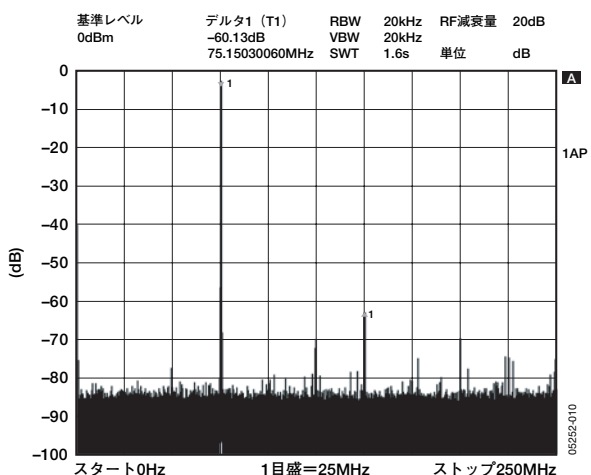


図10.  $f_{OUT}=75.1\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

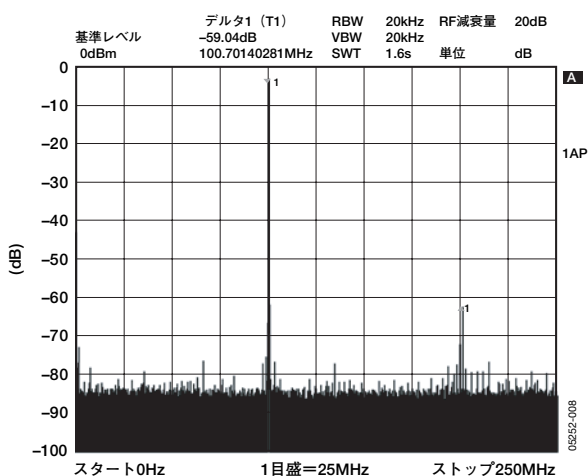


図8.  $f_{OUT}=100.3\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

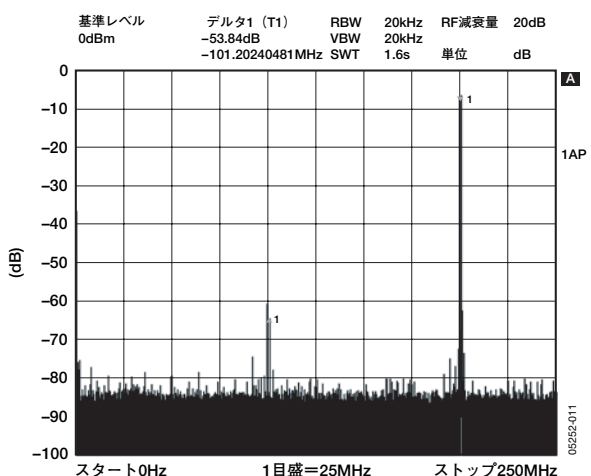


図11.  $f_{OUT}=200.3\text{MHz}$ 、 $f_{CLK}=500\text{MSPS}$ 、  
ワイドバンドSFDR

# AD9958

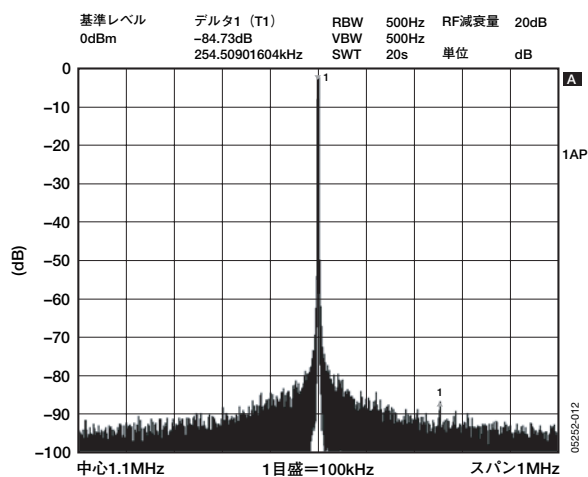


図12.  $f_{OUT}=1.1\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

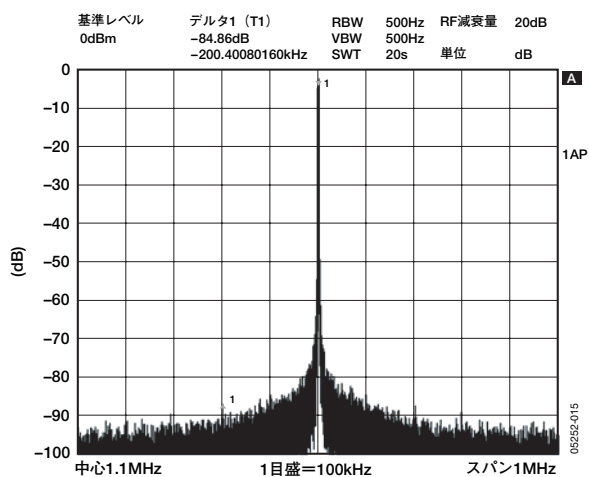


図15.  $f_{OUT}=15.1\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

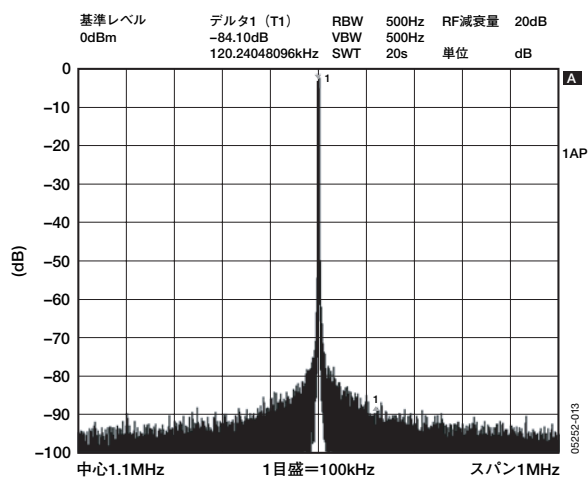


図13.  $f_{OUT}=40.1\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

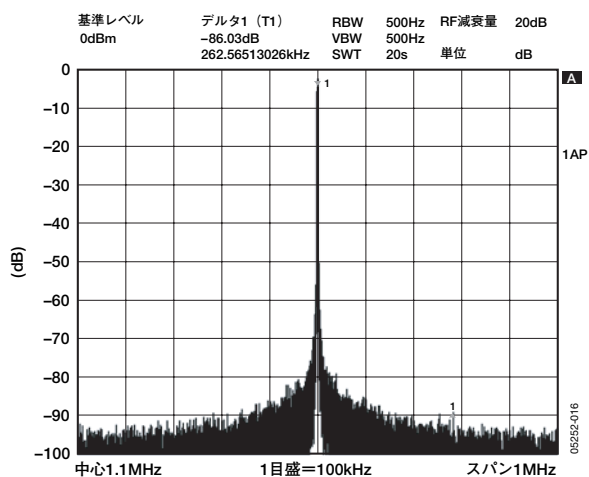


図16.  $f_{OUT}=75.1\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

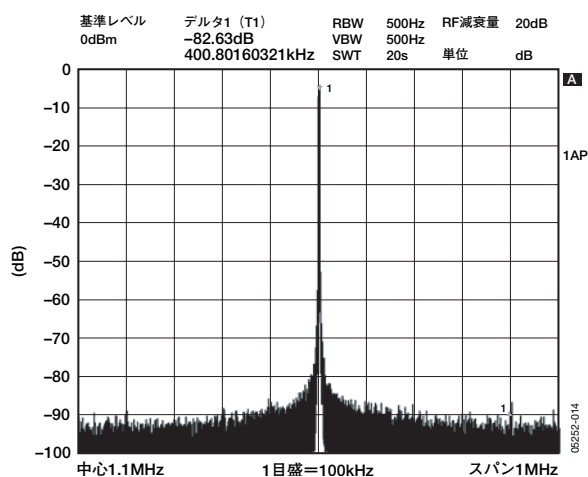


図14.  $f_{OUT}=100.3\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

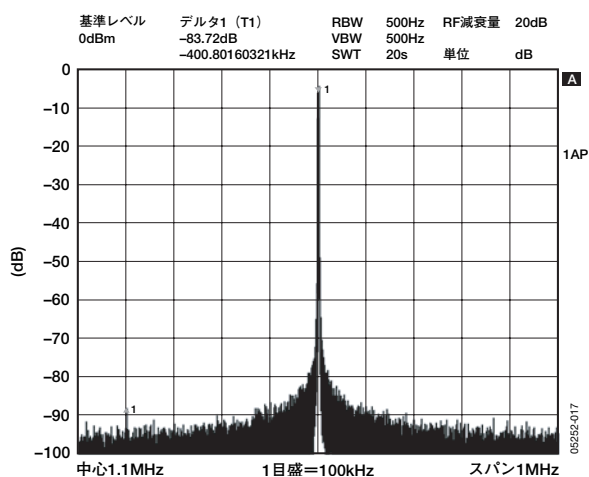


図17.  $f_{OUT}=200.3\text{MHz}$ ,  $f_{CLK}=500\text{MSPS}$ ,  
ナローバンドSFDR、 $\pm 1\text{MHz}$

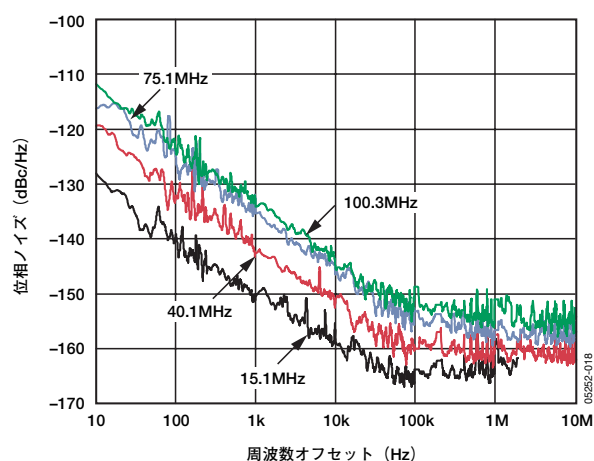


図18. 残留位相ノイズ (SSB) ( $f_{OUT}=15.1\text{MHz}$ 、 $40.1\text{MHz}$ 、 $75.1\text{MHz}$ 、 $100.3\text{MHz}$ 、 $f_{CLK}=500\text{MHz}$ 、REF\_CLK通倍器のバイパス時)

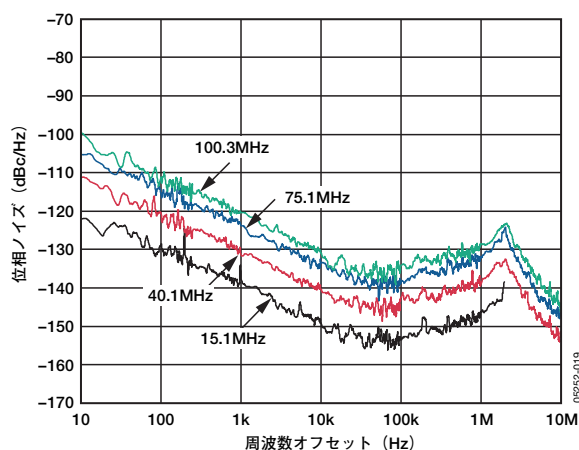


図19. 残留位相ノイズ (SSB) ( $f_{OUT}=15.1\text{MHz}$ 、 $40.1\text{MHz}$ 、 $75.1\text{MHz}$ 、 $100.3\text{MHz}$ 、 $f_{CLK}=500\text{MHz}$ 、REF\_CLK通倍器=5倍に設定)

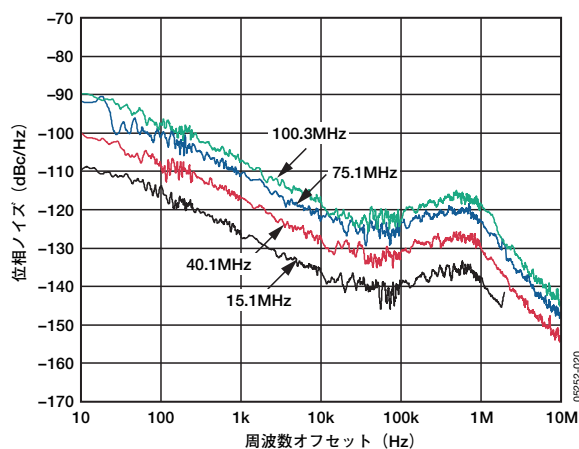


図20. 残留位相ノイズ (SSB) ( $f_{OUT}=15.1\text{MHz}$ 、 $40.1\text{MHz}$ 、 $75.1\text{MHz}$ 、 $100.3\text{MHz}$ 、 $f_{CLK}=500\text{MHz}$ 、REF\_CLK通倍器=20倍に設定)

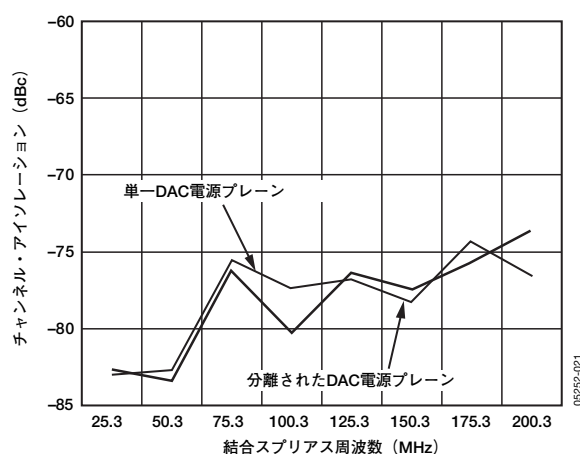


図21. 500MSPS動作時のチャンネル・アイソレーション (該当チャンネルを110.3MHzに固定し、もう一方のチャンネルを周波数スイープ)

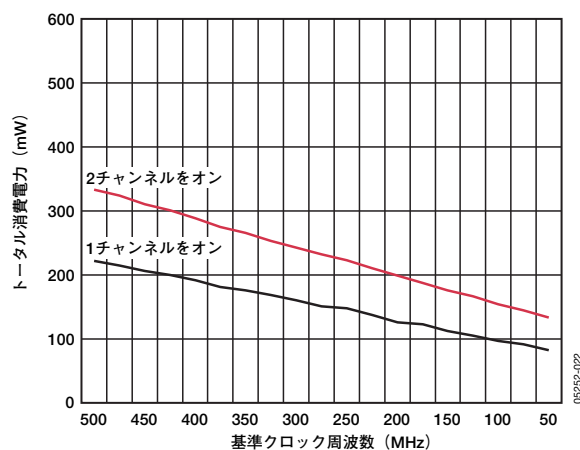


図22. 基準クロック周波数、消費電力、チャンネル (片方または両方) パワー・オン/オフの関連特性

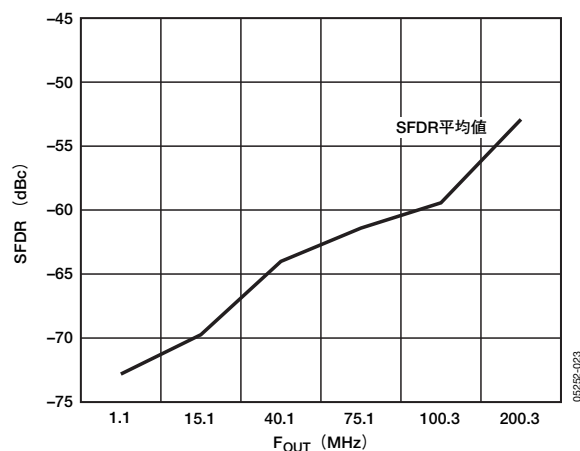


図23.  $f_{OUT}$  対 チャンネルのSFDR平均値

## アプリケーション回路

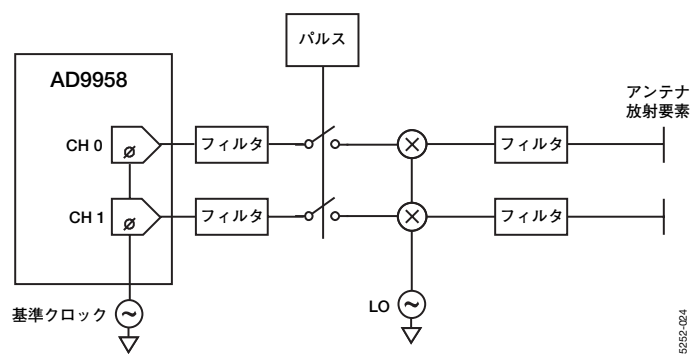


図24. FMCWまたはパルス信号レーダ・アプリケーションでDDSによる高精度の周波数／位相制御を利用するフェーズド・アレイ・レーダ。DDSは連続的な信号波を出力するか、周波数スイープを実行します。

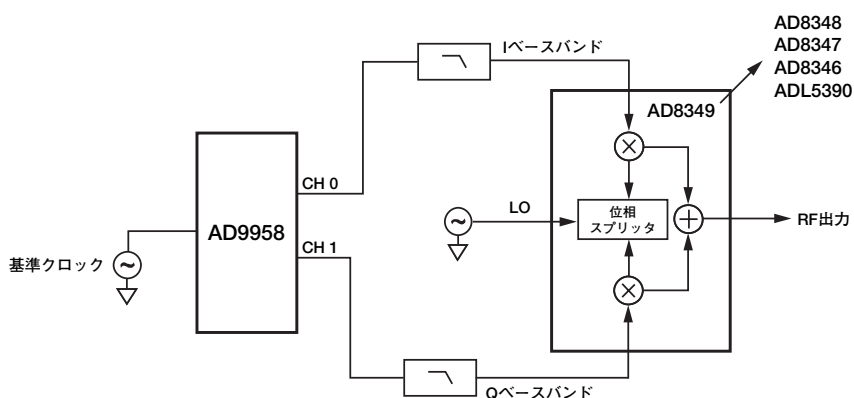


図25. シングル・サイドバンドが抑制されたキャリアのアップ・コンバージョン

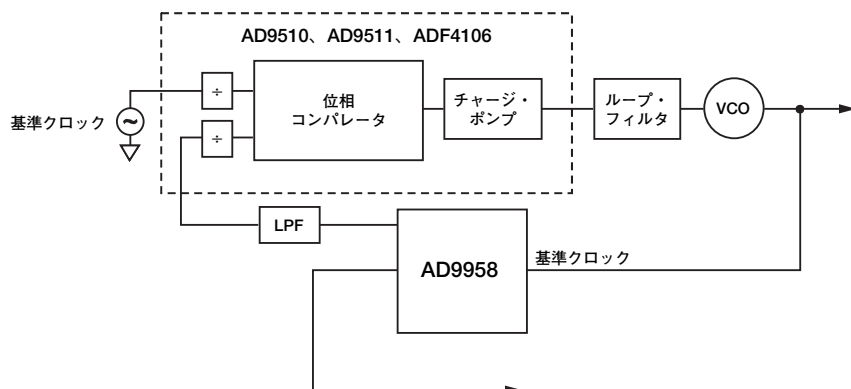


図26. PLLで基準クロックにロックし、周波数と遅延を微調整同調してクロックの分配を行うDDS



図27. 複数のAD9958を同期化し、AD9510を基準クロックとSYNCクロックのクロック分配器として使用して、チャンネル容量を増加する回路



図28. DDSから音響光学的可変フィルタにステイミュラスを供給する回路

## AD9958

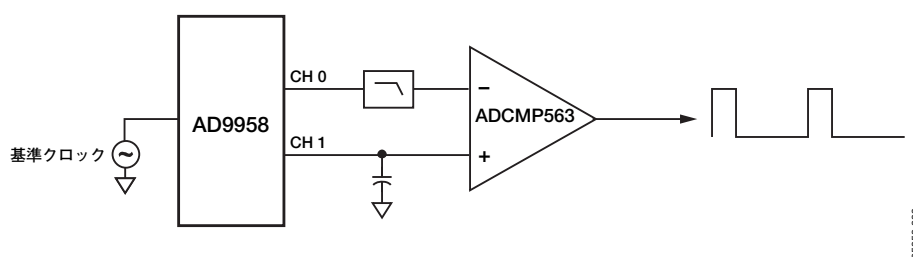


図29. DDSの位相オフセット値を使用してデューティ・サイクルを制御し、コンパレータに入力されるDC電圧を変化させる信号電波クロック源

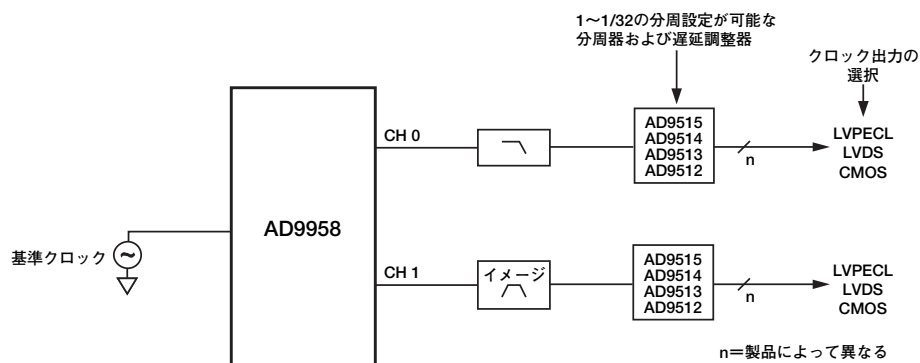


図30. AD951xシリーズのクロック分配用チップを使用するクロック発生回路



## 動作原理

### DDSコア

AD9958は、それぞれ32ビットの位相アキュムレータと位相振幅コンバータで構成される2個のDDSコアを内蔵しています。位相アキュムレータにクロックが供給され、位相のインクリメント値（周波数同調ワード）が0よりも大きくなるときに、これらのデジタル・ブロックでデジタルのサイン波が生成されます。位相振幅コンバータは、 $\cos(\theta)$  演算によって位相情報を振幅情報に同時変換します。

各DDSチャンネルの出力周波数 ( $f_o$ ) は、各位相アキュムレータのロールオーバー・レート関数として変化します。この正確な関係を次式で表すことができます。

$$f_o = \frac{(FTW)(f_s)}{2^{32}} \quad (0 \leq FTW \leq 2^{31} \text{ のとき})$$

ここで、

$f_s$  = システム・クロック・レート

$FTW$  = 周波数同調ワード

$2^{32}$  は、位相アキュムレータのキャパシティを表します。

両方のチャンネルがシステム・クロックを共有しているため、チャンネルは本来的に同期しています。

DDSコア・アーキテクチャは、出力信号の位相をオフセットする機能にも対応します。これは、チャンネル位相オフセット・ワード (CPOW) によって実行されます。CPOWは位相オフセット値を格納する14ビットのレジスタです。この値が位相アキュムレータの出力に加算されて、出力信号の現在の位相がオフセットされます。各チャンネルには、それぞれ専用の位相オフセット・ワード・レジスタが用意されています。この特長を利用して、両方のチャンネルを互いに既知の位相関係に設定できます。位相オフセットの正確な値を、次式で表すことができます。

$$\Phi = \left( \frac{CPOW}{2^{14}} \right) \times 360^\circ$$

### DAC

AD9958は、2個の10ビット電流出力DACを内蔵しています。このDACは、デジタル・コード（振幅）を個別のアナログ値に変換します。DACの電流出力を出力インピーダンスの高い ( $100k\Omega$  typ) 電流ソースとしてモデル化できます。多くのDACと異なる点として、予測される電流のフローに対処するために、抵抗またはセンタータップ付きのトランスを使用して、電流出力をAVDDに終端する必要があります。

各DACは、結合されたフルスケール出力電流 ( $I_{OUT} + I_{OUTB}$ ) を供給するコンプリメンタリ出力を備えています。出力は常に電流をシンクし、合計値はいつでもフルスケール電流に等しくなります。フルスケール電流の制御には、外部抵抗 ( $R_{SET}$ ) および「動作モード」で説明するスケーラブルなDAC電流制御ビットを使用します。抵抗 $R_{SET}$ は、DAC\_RSETピンとアナログ・グラウンド (AGND) との間に接続します。次式に示すように、フルスケール電流は抵抗の値と反比例します。

$$R_{SET} \propto \frac{18.91}{I_{OUT}}$$

結合されたDAC出力の最大フルスケール出力電流は15mAですが、この出力を10mAに制限すると、最適なスプリアスフリー・ダイナミック・レンジ (SFDR) 性能が得られます。DAC出力電圧のコンプライアンス範囲は、 $AVDD + 0.5V$  から  $AVDD - 0.5V$  までとなっています。生成される電圧がこの範囲を超えると、過度の高調波歪みが発生することがあります。出力電圧がコンプライアンス範囲内に維持されるように、負荷終端に十分な注意を払ってください。この範囲を超えるようなことがあれば、DAC出力回路が損傷を受ける可能性が高くなります。

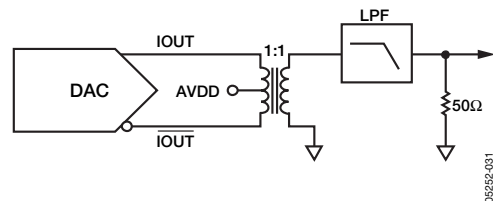


図31. 代表的なDAC出力終端回路の構成

## 動作モード

AD9958が同時に実行可能な動作モード（シングル・トーン、変調、リニアスイープなど）の組み合わせはいくつもあります。ただし、一部のモードでは複数のデータ・ピンを使用するため、それによって制限される場合があります。以下のガイドラインを使用すれば、ある動作モードの組合せがAD9958で同時に実行できるかどうかを確認できます。

シングル・トーン・モード以外のすべてのモードでは、SYNC\_CLKを常にイネーブルにしてください。

### チャンネルの制約に関するガイドライン

1. シングル・トーン生成、2レベル変調、リニアスイープの各モードは、いずれかのチャンネルでイネーブルにでき、任意の組合せで同時に実行できます。
2. 両方のチャンネルで4レベル変調を同時に実行できます。
3. いずれかのチャンネルで8レベルまたは16レベル変調を実行できます。もう一方のチャンネルではシングル・トーン・モードのみが可能です。
4. シングル・トーン生成モードでは、RU/RD機能を両方のチャンネルで利用できます。RU/RD機能については、「出力振幅制御モード」を参照してください。
5. プロファイル・ピンのP2とP3をRU/RD機能用として使用するとき、いずれかのチャンネルでRU/RD機能付きの2レベル変調を実行でき、両方のチャンネルでRU/RD機能付きのリニア周波数あるいは位相のスイープを実行できます。
6. プロファイル・ピンのP3をRU/RD機能用として使用するとき、いずれかのチャンネルでRU/RD機能付きの8レベル変調を実行できます。もう一方のチャンネルではシングル・トーン生成モードのみが可能です。
7. SDIO\_1:3ピンをRU/RD機能用として使用するとき、片方または両方のチャンネルでRU/RD機能付きの2レベル変調を実行できます。片方のチャンネルを2レベル変調モードにしない場合、そのチャンネルではシングル・トーン生成モードのみが可能です。
8. SDIO\_1:3ピンをRU/RD機能用として使用するとき、片方または両方のチャンネルでRU/RD機能付きの4レベル変調を実行できます。片方のチャンネルを4レベル変調モードにしない場合、そのチャンネルではシングル・トーン生成モードのみが可能です。
9. SDIO\_1:3ピンをRU/RD機能用として使用するとき、いずれかのチャンネルでRU/RD機能付きの8レベル変調を実行できます。もう一方のチャンネルではシングル・トーン生成モードのみが可能です。
10. SDIO\_1:3ピンをRU/RD機能用として使用するとき、いずれかのチャンネルでRU/RD機能付きの16レベル変調を実行できます。もう一方のチャンネルではシングル・トーン生成モードのみが可能です。
11. 振幅変調、リニア振幅スイープの各モードとRU/RD機能を同時に実行することはできませんが、RU/RD機能と同時に周波数および位相変調モードを実行できます。

### 電源

DDSコアとこれに付随するアナログ回路の電源は、AVDDとDVDDの各電源ピンから供給されます。これらのピンは、公称値1.8Vの電源に接続します。

DVDD\_I/Oピンは、公称値3.3Vの電源に接続します。CLK\_MODE\_SEL入力を除くすべてのデジタル入力は、3.3Vロジックです。CLK\_MODE\_SEL（24番ピン）はアナログ入力であるため、1.8Vロジックで動作します。

### シングル・トーン・モード

シングル・トーン・モードは、マスター・リセット信号の後にデフォルト設定される動作モードです。このモードでは、2つのDDSチャンネルが周波数同調ワードの1つのアドレス・ロケーション（レジスタ0x04）と位相オフセット・ワードのアドレス・ロケーション（レジスタ0x05）を共有します。これらの共有アドレスとともに、チャンネル・イネーブル・ビットがあります。そのため、周波数同調ワードと位相オフセット・ワード、またはこのいずれかを各チャンネルで個別に設定できます（以下のステップ1～5の説明を参照）。チャンネル・イネーブル・ビットがあるため、チャンネルをイネーブルまたはディスエーブルにするときにI/Oを更新する必要がありません。

チャンネル選択レジスタ（CSR、レジスタ0x00）のチャンネル・イネーブル・ビットについては、「レジスタ・マップ」を参照してください。CSRのデータ・バイトが書き込まれた直後に、チャンネル・イネーブル・ビットはイネーブルまたはディスエーブルに設定されます。

必要であれば、アドレスの共有によって各チャンネルでデータを同時に書き込むことが可能です。デフォルト状態では、すべてのチャンネル・イネーブル・ビットがイネーブルになります。したがって、周波数同調ワードと位相オフセット・ワード、またはこのいずれかが両方のチャンネルで共通に使用されますが、シリアルI/Oポートを介した書き込み動作が実行されるのは1回のみです。

以下に記載するステップは、チャンネル・イネーブル・ビットを使用して各チャンネルで各種の周波数同調ワード／位相オフセット・ワードをプログラミングする際の基本的な手順を説明したものです。

1. DUTをパワーアップし、マスター・リセットを発行します。マスター・リセットによって、AD9958はシングル・トーン・モードおよびシリアル・プログラミング動作のシングル・ビット・モード（「シリアルI/O動作モード」を参照）に設定されます。周波数同調ワードと位相オフセット・ワードは、この時点で0にデフォルト設定されます。
2. 片方のチャンネル・イネーブル・ビット（レジスタ0x00）をイネーブルにし、もう一方のチャンネル・イネーブル・ビットをディスエーブルにします。
3. シリアルI/Oポートを使用して、イネーブルにしたチャンネルに対して所望の周波数同調ワード（レジスタ0x04）／位相オフセット・ワード（レジスタ0x05）を設定します。
4. 各チャンネルについて、ステップ2とステップ3を繰り返します。
5. I/O更新信号を送信します。I/Oの更新が完了した後、両方のチャンネルで設定された周波数／位相オフセット値が出力されます。

**シングル・トーン・モード—パイプライン遅延マッチング**  
 シングル・トーン・モードでは、AD9958は周波数、位相、振幅のすべての変化に対して、DAC入力のパイプライン遅延をマッチングさせます。したがって、このようなアプリケーションで使用される3つの入力ポート間でのパイプラインの遅延相違に対処する必要がありません。この機能をイネーブルにするには、チャンネル機能レジスタ（CSR、レジスタ0x03）のパイプライン遅延マッチング・ビットをアサートします。この機能を利用できるのは、シングル・トーン・モードのときのみです。

## 基準クロック・モード

AD9958では、内部システム・クロックを生成する方法として、いくつかの基準クロック構成をサポートしています。高周波数のクロック源からAD9958にクロックを直接供給する代わりに、内蔵のPLLベースの基準クロック通倍器を使用してシステム・クロックを生成することも可能です。水晶発振器をクロック入力ピンに接続する方法によって、低周波数の基準クロック信号を供給しオンチップの発振器回路を使用することもできます。これらの機能をイネーブルにすると、AD9958を低周波数のクロック源で動作させることが可能となりますが、DDSとDACの動作に対応する高速の更新レートは維持します。ただし、クロック通倍器を使用すると、出力位相ノイズの特性が変化します。ベストな位相ノイズ性能を確保するには、クリーンで安定性が高く、しかもスルーレートの高いクロックが要求されます。図19と図20を参照してください。

PLLをイネーブルにすると、基準クロック周波数を4～20の整数で通倍できます。PLLの周波数通倍値は、5ビットの通倍値によって表されます。これらのビットは、機能レジスタ1（FR1）のビット<22:18>として割り当てられています。「レジスタ・マップ」を参照してください。

FR1 <22:18>を4～20（10進値）の範囲の値に設定すると、クロック通倍器がイネーブルになります。このレジスタの整数値が通倍率を表します。クロック通倍器をイネーブルにしているときのシステム・クロック・レートは、基準クロック・レートを通倍率で乗算した値に等しくなります。FR1 <22:18>に3以下または21以上の値を設定すると、クロック通倍器がディセーブルになり、通倍率は実質的に1になります。

PLLのクロック通倍器をイネーブルにすると、または通倍値を変更するときは、PLLがロックされるまでの時間（1ms typ）を確保してください。

PLLの出力周波数は、100～500MHzに制限されます。ただし、VCOゲイン・ビットを使用して適切な範囲を設定してください。このVCOゲイン・ビットを使用して、出力周波数の範囲をロー／ハイのいずれかに設定します。デフォルトではローに設定されています（詳細は「仕様」を参照）。

PLLのチャージ・ポンプ電流は、デフォルトでは75μAに設定されています。通常はこの設定で位相ノイズ特性がベストに維持されます。チャージ・ポンプ電流を増加させると、位相ノイズ性能が劣化しますが、ロック時間が短くなり、ループ帯域幅が変化します。

CLK\_MODE\_SEL（24番ピン）をロジック・ハイ（1.8Vロジック）に駆動すると、水晶発振器を使用するオンチップ発振器の動作がイネーブルになります。オンチップ発振器をイネーブルにして、水晶発振器をREF\_CLKとREF\_CLKBの各入力に外付けすることで、低周波数の基準クロックでの動作が可能となります。水晶発振器の周波数は、20～30MHzとしてください。

クロックの動作モードを表4にまとめています。詳細については、「仕様」を参照してください。

表4

CLK_MODE_SEL (24番ピン)	FR1 <22:18> PLL、 ビット=M	発振器の イネーブル	システム・ クロック (f <sub>SYSCLK</sub> )	最小／最大 周波数範囲 (MHz)
ハイレベル＝ 1.8Vロジック	4 ≤ M ≤ 20	あり	f <sub>SYSCLK</sub> = f <sub>OSC</sub> × M	100 < f <sub>SYSCLK</sub> < 500
ハイレベル＝ 1.8Vロジック	M < 4または M > 20	あり	f <sub>SYSCLK</sub> = f <sub>OSC</sub>	20 < f <sub>SYSCLK</sub> < 30
ローレベル	4 ≤ M ≤ 20	なし	f <sub>SYSCLK</sub> = F <sub>REF CLK</sub> × M	100 < f <sub>SYSCLK</sub> < 500
ローレベル	M < 4または M > 20	なし	f <sub>SYSCLK</sub> = F <sub>REF CLK</sub>	0 < f <sub>SYSCLK</sub> < 500

## 基準クロック入力回路

基準クロック入力回路には2つの動作モードがあり、24番ピン（クロック・モード選択）のロジック状態によって選択します。第1のモード（ロジック・ローレベル）では、この回路を入力バッファとして設定します。内部DCバイアシングのために、基準クロックを入力にAC結合してください。このモードでは、差動またはシングルエンドいずれかの入力構成が可能です。シングルエンドのモードを選択する際には、0.1μFのコンデンサを使用して、コンプリメンタリ基準クロック入力（23番ピン）をAVDDまたはAGNDに対してデカップリングしてください。図32と図33は、AD9958の代表的な基準クロック構成回路例を示しています。

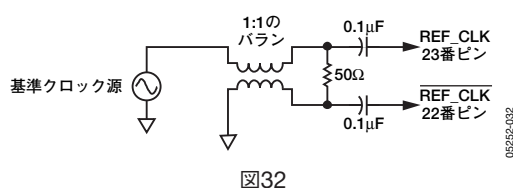


図32

基準クロック源として、LVPECLまたはPECLドライバを基準クロック入力に接続することも可能です。

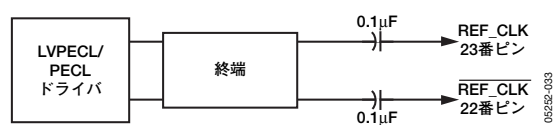


図33

第2の動作モード（24番ピンをロジック・ハイレベル＝1.8V）では、水晶発振器を使用する内部発振器の動作が実行されます。このモードでは、水晶発振器のリードを経由して両方のクロック入力にDC結合されて、バイパスされます。水晶発振器の周波数範囲は、20～30MHzとします。水晶発振器を使用する回路の構成を図34に示します。

# AD9958

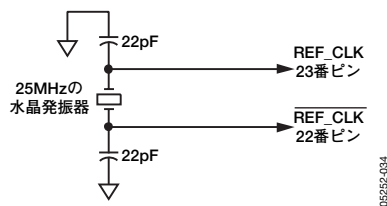


図34

## スケーラブルなDACリファレンス電流制御モード

R<sub>SET</sub>は2個のDAC間で共有されます。したがって、デフォルト状態のときに2つのDACのフルスケール電流値は等しくなります。スケーラブルなDACリファレンスを使用することによって各DACそれぞれ個別にフルスケール電流を設定できます。CFRレジスタのビット<9:8>を使用して、この設定を行います。各DACを個別にスケールして各チャンネルで制御を実行するためのビット設定を表5に記載します。

表5

CFR <9:8>		LSB電流状態
1	1	フルスケール
0	1	ハーフスケール
1	0	1/4スケール
0	0	1/8スケール

## パワーダウン機能

AD9958は外部制御可能なパワーダウン・ピンを備えており、さらにアナログ・デバイセズの既存のDDS製品で使われている機能と同様なソフトウェア・プログラマブルのパワーダウン・ビットを利用することもできます。

ソフトウェア制御のパワーダウンでは、制御ビット (CFR <7:6>) を使用して、入力クロック回路、DAC、(チャンネルごとの) デジタル・ロジックを個別にパワーダウンできます。外部制御パワーダウン・ピン (PWR\_DWN\_CTL) がハイレベルのとき、上記の制御ビットは非アクティブになります。PWR\_DWN\_CTL入力ピンがハイレベルのとき、AD9958はFR1 <6>ビットに基づいてパワーダウン・モードに入ります。PWR\_DWN\_CTL入力ピンがローレベルに遷移すると、外部パワーダウン制御が非アクティブになります。

FR1 <6>ビットがゼロで、PWR\_DWN\_CTL入力ピンがハイレベルのとき、AD9958は高速復帰パワーダウン・モードに設定されます。このモードでは、デジタル・ロジックとDACのデジタル・ロジックがパワーダウンします。DACのバイアス回路、発振器、クロック入力回路はパワーダウンしません。

FR1 <6>ビットとPWR\_DWN\_CTL入力ピンがともにハイレベルのとき、AD9958は完全なパワーダウン・モードに入ります。このモードでは、すべての機能がパワーダウンします。これには、パワーアップするまでにかなりの時間を要するDACとPLLも含まれます。PLLをバイパスすると、PLLがシャットダウンするため、消費電力が節約されます。

PWR\_DWN\_CTL入力ピンがハイレベルのときは、個々のパワーダウン・ビット (CFR <7:6>とFR1 <7>) が無効 (ドント・ケア) になり、使用されません。PWR\_DWN\_CTL入力ピンがローレベルのときは、個々のパワーダウン・ビットを使用して、パワーダウン動作モードを制御します。

パワーダウン信号はすべて、ロジック1が低消費電力モード、ロジック0がパワーアップ・モードを示すように設計されています。

## 変調モード

AD9958は2、4、8、16レベルの周波数変調 (FSK)、位相変調 (PSK)、振幅変調 (ASK) を実行できます。データをプロファイル・ピンに加えることによって、変調が実行されます。各チャンネルを個別に設定できますが、両チャンネルの同時変調は、プロファイル・ピンの本数に限度があるために制限されます。たとえば、16レベルの変調には4本のプロファイル・ピンがすべて使用されるため、もう一方のチャンネルでは変調を行えません。

AD9958はさらに、変調 (FSKとPSKのみ) シーケンスの前、実行中、その後に出力振幅をランプアップまたはランプダウンする機能も備えています。この動作は、10ビットの出力スケールを使用して実行されます。RU/RD機能が必要な場合、未使用のプロファイル・ピンまたは未使用のSDIO\_1:3ピンを使用して、この動作を起動するように設定できます。RU/RD機能の詳細については、「出力振幅制御モード」を参照してください。

変調モードでは、各チャンネル専用に用意されている一連の制御ビットを使用して、変調のタイプ (周波数、位相、振幅) を決定します。柔軟性を確保するため、各チャンネルは16個のプロファイル・レジスタを備えています。レジスタ・アドレス0x0A~0x18は、周波数、位相、振幅を変調するためのプロファイル・レジスタです。0x04、0x05、0x06の各レジスタは、それぞれ周波数、位相、振幅の変調専用レジスタです。これらのレジスタには、周波数、位相オフセット、振幅の最初の各ワードが格納されます。

分解能は、周波数変調が32ビット、位相変調が14ビット、振幅変調が10ビットです。位相または振幅変調では、プロファイル・レジスタでワード値のMSBをアライメントし、使用しないビットをドント・ケアにしてください。

変調モードでは、AFPビット (CFR <23:22>) とレベル・ビット (FR1 <9:8>) を設定して、変調のタイプとレベルを指定します。表6と表7の設定方法を参照してください。ダイレクト変調モードでは、リニアスリープ・イネーブル・ビットをロジック0に設定してください。

表6

AFP CFR <23:22>		リニアスリープ・イネーブル CFR <14>	説明
0	0	X	変調をディスエーブル
0	1	0	振幅変調
1	0	0	周波数変調
1	1	0	位相変調



表7

変調レベル・ビットFR1 <9:8>		説明
0	0	2レベル変調
0	1	4レベル変調
1	0	8レベル変調
1	1	16レベル変調

変調時にRU/RD機能制御用のピンを使用してこの機能の適用を制限できます。SDIOピンはRU/RD機能専用であり、変調用ではありません。

表8

RU/RDビット FR1 <11:10>		説明
0	0	RU/RD機能をディスエーブルにします。
0	1	2番と3番のプロファイル・ピンのみRU/RD動作に使用できます。
1	0	3番のプロファイル・ピンのみRU/RD動作に使用できます。
1	1	1番、2番、3番のSDIOピンのみRU/RD動作に使用できます。シリアルI/Oが1ビット・モードのみで使用されるように強制設定されます。

プロファイル・ピンをRU/RD動作に使用する場合には、ロジック0のときにランプアップ動作、ロジック1のときにランプダウン動作になります。

2チャンネルであり、またデータ・ピンの本数が限られているため、プロファイル・ピンとSDIO\_1:3ピン、またはそのいずれかのピンを専用のチャンネルに割り当てる必要があります。プロファイル・ピンの設定を行うか、またはPPCビット (FR1 <14:12>) を使用して、この制御を行います。各変調の説明の後に、データ・ピンの割当て方法を記載しています。

### 2レベル変調—RU/RD機能なし

変調レベル・ビットを00 (2レベル) に設定します。AFPビットは、所望の変調タイプに設定します。RU/RDビットとリニアスweep・ビットは、ディスエーブルにします。プロファイル・ピンとチャンネルを割り当てる方法を表9に示します。

表9

プロファイル・ ピン設定 (PPC) ビットFR1 <14:12>			P0	P1	P2	P3	説明
X	X	X	該当なし	該当なし	CH0	CH1	両方のチャンネルを2レベル変調モード、RU/RD機能なし

表9に示すように、チャンネル0の変調を選択するときは、プロファイル・ピンP2のみを使用します。P2ピンがロジック0であれば、レジスタ0 (レジスタ0x04) が選択されます。P2ピンがロジック1のときは、レジスタ1 (レジスタ0x0A) が選択されます。

### 4レベル変調—RU/RD機能なし

変調レベル・ビットを01 (4レベル) に設定します。AFPビットは、所望の変調タイプに設定します。RU/RDビットとリニアスweep・ビットは、ディスエーブルにします。プロファイル・ピンとチャンネルを割り当てる方法を表10に示します。

表10

プロファイル・ ピン設定 (PPC) ビットFR1 <14:12>			P0	P1	P2	P3	説明
1	0	1	CH0	CH0	CH1	CH1	CH0とCH1を4レベル変調モード、RU/RD機能なし

この条件のときに選択されるプロファイル・レジスタは、プロファイル・ピンの<P0:P1>または<P2:P3>に指定される2ビット値に基づきます。

たとえば、PPC=101、<P0:P1>=11、<P2:P3>=01であれば、チャンネル0のプロファイル・レジスタ3に格納されたデータがチャンネル0の出力に現れ、チャンネル1のプロファイル・レジスタ1に格納されたデータがチャンネル1の出力に現れます。

### 8レベル変調—RU/RD機能なし

変調レベル・ビットを10 (8レベル) に設定します。AFPビットは非ゼロ値に設定します。RU/RDビットとリニアスweep・ビットは、ディスエーブルにします。使用しない3チャンネルのAFPビットは00に設定してください。プロファイル・ピンとチャンネルを割り当てる方法を表11に示します。

表11

プロファイル・ ピン設定 (PPC) ビットFR1 <14:12>			P0	P1	P2	P3	説明
X	1	0	CH0	CH0	CH0	X	CH0を8レベル変調モード、RU/RD機能なし
X	1	1	CH1	CH1	CH1	X	CH1を8レベル変調モード、RU/RD機能なし

この条件のときに選択されるプロファイル・レジスタ (16個のうちの1個) は、プロファイル・ピン<P0-P2>に指定される3ビット値に基づきます。たとえば、PPC=X10、<P0-P2>=111であれば、チャンネル0のプロファイル・レジスタ7に格納されたデータがチャンネル0に出力されます。

### 16レベル変調—RU/RD機能なし

変調レベル・ビットを11 (16レベル) に設定します。AFPビットは、所望の変調タイプに設定します。RU/RDビットとリニアスweep・ビットは、ディスエーブルにします。使用しない3チャンネルのAFPビットは00に設定してください。プロファイル・ピンとチャンネルを割り当てる方法を表12に示します。

表12

プロファイル・ ピン設定 (PPC) ビットFR1 <14:12>			P0	P1	P2	P3	説明
X	1	0	CH0	CH0	CH0	CH0	CH0を16レベル変調モード、RU/RD機能なし
X	1	1	CH1	CH1	CH1	CH1	CH1を16レベル変調モード、RU/RD機能なし

この条件のときに選択されるプロファイル・レジスタは、プロファイル・ピン<P0-P3>に指定される4ビット値に基づきます。たとえば、PPC=X11、<P0-P3>=1110であれば、チャンネル

## AD9958

1のプロファイル・レジスタ14に格納されたデータがチャンネル1に出力されます。

**RU/RD機能動作にプロファイル・ピンを用いた2レベル変調**  
RU/RDビット=01のとき、P2とP3のプロファイル・ピンをRU/RD機能動作に使用できます。このモードで利用できる変調レベルは、2レベルのみです。選択可能なピン割当てについては、表13を参照してください。

表13

プロファイル・ピン設定 (PPC) ビット FR1 <14:12>			P0	P1	P2	P3	説明
1	0	1	CH0	CH1	CH0 RU/RD	CH1 RU/RD	2レベル変調、 RU/RD機能あり、 CH0、CH1

**RU/RD機能動作にプロファイル・ピンを用いた8レベル変調**  
RU/RDビット=10のとき、P3のプロファイル・ピンをRU/RD機能動作に使用できます。このモードで利用できる変調レベルは、8レベルのみです。選択可能なピン割当てについては、表14を参照してください。

表14

プロファイル・ピン設定 (PPC) ビット FR1 <14:12>			P0	P1	P2	P3	説明
X	1	0	CH0	CH0	CH0	CH0 RU/RD	8レベル変調、 RU/RD機能あり、 CH0
X	1	1	CH1	CH1	CH1	CH1 RU/RD	8レベル変調、 RU/RD機能あり、 CH1

### RU/RD機能動作にSDIOピンを用いた変調

RU/RDビット=11のとき、1番、2番、3番のSDIOピンをRU/RD機能動作に使用できます。このモードでは、2、4、16の変調レベルを選択できます。シリアルI/Oポートは、1ビットのシリアル・モードのみ利用できます。

### RU/RD機能動作にSDIOピンを用いた2レベル変調

表15

プロファイル・ピン設定 (PPC) ビット FR1 <14:12>			P0	P1	P2	P3
X	X	X	該当なし	該当なし	CH0	CH1

この設定では、各プロファイル・ピンが特定のチャンネル専用として使用されます。この場合、表16で説明するように、SDIOピンをRU/RD機能動作に使用できます。

表16

SDIOピン			説明
1	2	3	
1	0	0	CH0でランプアップ機能をトリガします。
1	0	1	CH0でランプダウン機能をトリガします。
1	1	0	CH1でランプアップ機能をトリガします。
1	1	1	CH1でランプダウン機能をトリガします。

### RU/RD機能動作にSDIOピンを用いた4レベル変調

RU/RDビット=11（1番と2番のSDIOピンをRU/RD機能動作に使用可能）のとき、変調レベルを4に設定します。SDIOピンを含むピン割当てについては、表17を参照してください。

表17

プロファイル・ピン設定 (PPC) ビット FR1 <14:12>			P0	P1	P2	P3	SDIO 1	SDIO 2	SDIO 3
1	0	1	CH0	CH0	CH1	CH1	CH0 RU/RD	CH1 RU/RD	該当 なし

表17に示す設定では、プロファイル・ピンの<P1:P2>または<P3:P4>に指定される2ビット値に基づいて、プロファイル・レジスタが選択されます。

たとえば、PPC=101、<P0:P1>=11、<P2:P3>=01であれば、チャンネル0のプロファイル・レジスタ3に格納されたデータがチャンネル0の出力に現れ、チャンネル1のプロファイル・レジスタ1に格納されたデータがチャンネル1の出力に現れます。1番と2番のSDIOピンを使用して、RU/RD機能を実行します。

### RU/RD機能動作にSDIOピンを用いた16レベル変調

RU/RDビット=11（1番のSDIOピンをRU/RD機能動作に使用可能）のとき、変調レベルを16に設定します。表18に記載するピン割当てを参照してください。

表18

プロファイル・ピン設定 (PPC) ビット FR1 <14:12>			P0	P1	P2	P3	SDIO 1	SDIO 2	SDIO 3
X	1	0	CH0	CH0	CH0	CH0	CH0 RU/RD	該当 なし	該当 なし
X	1	1	CH1	CH1	CH1	CH1	CH1 RU/RD	該当 なし	該当 なし

表18に示す設定では、プロファイル・ピンの<P0:P3>に指定される4ビット値に基づいて、プロファイル・レジスタが選択されます。たとえば、PPC=X11、<P0:P3>=1101であれば、チャンネル1のプロファイル・レジスタ13に格納されたデータがチャンネル1に出力されます。SDIO\_1ピンを使用して、RU/RD機能を実行します。

## リニアスイープ（成形）変調モード

リニアスイープを利用すると、周波数、位相、振幅を開始ポイント（S0）から終了ポイント（E0）までスイープできます。リニアスイープ・モードでは、S0からE0までの大きな瞬間的な変化をユーザ定義されたより緩やかな変化に置き換えることによって、ダイレクト変調と比べて優れた帯域幅の抑制を行います。

リニアスイープ・モードでは、S0をプロファイル・レジスタ0にロードし（スイープのタイプに応じて、0x04、0x05、0x06の3個のレジスタのうち、いずれか1個がプロファイル・レジスタ0に該当します）、E0を常にプロファイル・レジスタ1（レジスタ0x0A）にロードします。E0を周波数スイープとして設定する場合の分解能は32ビット、位相スイープでは14ビット、振幅スイープでは10ビットです。位相または振幅をスイープする際には、プロファイル1レジスタでワード値のMSBをアライメントしてください。使用しないビットはドント・ケアです。

プロファイル・ピンを使用して、周波数、位相、振幅のリニアスイープの方向をトリガおよび制御します。各チャンネルで個別にリニアスイープを設定できます。リニアスイープ・モードでは、2番のプロファイル・ピンがチャンネル0専用、3番のプロファイル・ピンがチャンネル1専用などのように使用されます。

AD9958は、リニアスイープの前後に（10ビットの出力スケラを使用して）出力振幅をランプアップまたはランプダウン（RU/RD）できます。このRU/RD機能が必要な場合には、未使用のプロファイル・ピンまたはSDIO\_1:3ピンをRU/RD動作に使用するように設定します。

特定のチャンネルでリニアスイープ・モードをイネーブルにするには、AFPビット（CFR <23:22>）、変調レベル・ビット（FR1 <9:8>）、リニアスイープ・イネーブル・ビット（CFR <14>）の設定を行います。実行するリニアスイープのタイプをAFPビットで指定します。変調レベル・ビットは、指定するチャンネルに対して00（2レベル）に設定してください（表19と表20を参照）。

表19

AFP CFR <23:22>		リニアスイープ・イネーブル CFR <14>	説明
0	0	1	該当なし
0	1	1	振幅スイープ
1	0	1	周波数スイープ
1	1	1	位相スイープ

表20

変調レベル・ビットFR1 <9:8>		説明
0	0	2レベル変調
0	1	4レベル変調
1	0	8レベル変調
1	1	16レベル変調

### リニアスイープのスロープ設定

S0からE0までの間の中間的なステップ・サイズ（デルタ同調ワード）と各ステップで費やされた時間（スイープ・ランプ・レート・ワード）を使用して、リニアスイープのスロープを設定します。デルタ同調ワードの分解能は周波数が32ビット、位相が14ビット、振幅が10ビットです。デルタ・ランプ・レートの分解能は8ビットです。

リニアスイープ・モードでは、立上がりデルタ・ワード（RDW、レジスタ0x08）と立上がりスイープ・ランプ・レート・ワード（RSRR、レジスタ0x07）を各チャンネルに割り当てます。E0の方向にスイープが立ち上がるときに、これらの設定が適用されます。S0の方向にスイープが立ち下がる時は、立下がりデルタ・ワード（FDW、レジスタ0x09）と立下がりスイープ・ランプ・レート・ワード（FSRR、レジスタ0x07）が適用されます。

立上がりデルタ・ワードまたは立下がりデルタ・ワードが大きすぎる場合、スイープ・アキュムレータがオーバーフロー状態になります。この発生を防止するために、フルスケール値とE0値の差（フルスケール値－E0）よりも、立上がり、または立下がりデルタ・ワードが大きくなるようにしてください。周波数スイープのフルスケール値は $2^{31}-1$ です。位相スイープのフルスケール値は $2^{14}-1$ 、振幅スイープのフルスケール値は $2^{10}-1$ です。

図35は、プロファイル・ピンを使用してリニアスイープを立ち上げ、その後立ち下げている様子を示しています。ノー・ドウェル・ビットはデイスエーブルにしておきます。そうしないと、E0に達した後スイープ・アキュムレータが0に戻ります。

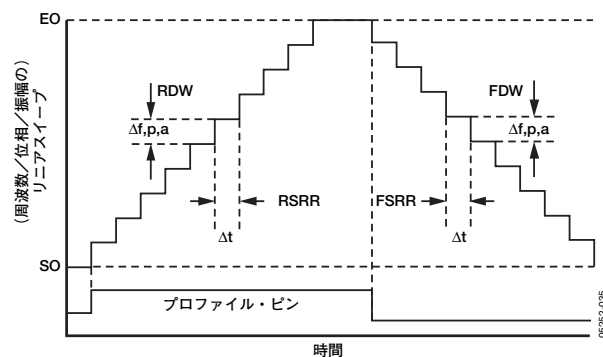


図35

S0からE0への遷移が段階的または非線形の場合、所望の応答性を得るまでの遷移時に、デルタ同調ワードとランプ・レート・ワードの設定変更を行うことができます。

デルタ周波数、デルタ位相、またはデルタ振幅のRDWあるいはFDWのステップ・サイズを計算する式は、次のようになります。

$$\Delta f = \left( \frac{RDW}{2^{32}} \right) \times SYNC\_CLK \text{ (Hz)}$$

$$\Delta \Phi = \left( \frac{RDW}{2^{14}} \right) \times 360^\circ$$

$$\Delta a = \left( \frac{RDW}{2^{10}} \right) \times 1024 \text{ (DAC のフルスケール電流)}$$

RSRRまたはFSRRからの時間差を計算する式は、次のようになります。

$$t = \left( \frac{RSRR}{2^8} \right) \times 1/SYNC\_CLK$$

500MSPSの動作時（SYNC\_CLK=125MHz）に、各ステップ間の最大時間インターバルは $(1/125\text{MHz}) \times 256 = 2.048\mu\text{s}$ となります。最小時間インターバルは $(1/125\text{MHz}) \times 1 = 8.0\text{ns}$ です。

スイープ・ランプ・レート・ブロック（タイマ）は、8ビットのロード可能なダウン・カウンタで、ロードされた値からカウント1まで連続的にカウントダウンを実行します。ランプ・レート・タイマが1になると、適切なランプ・レート値がロードされ、カウンタが再び1までのカウントダウンを始めます。タイマがイネーブルである限り、このロードとカウントダウン動作が続行されます。ただし、以下に説明する2つの方法のいずれかによって、カウント1に達する前に、カウント値を再ロードできます。

第1の方法は、プロファイル・ピンのロジック・レベルを変更します。プロファイル・ピンがロジック0からロジック1に変化すると、立上がりスイープ・ランプ・レート・レジスタ（RSRR）の値がランプ・レート・タイマにロードされ、その後タイマは通常どおりのカウントダウンを行います。プロファイル・ピンがロジック1からロジック0に変化すると、立下がりスイープ・ランプ・レート・レジスタ（FSRR）の値がランプ・レート・タイマにロードされ、その後タイマは通常どおりのカウントダウンを行います。

第2は、CFR <14>ビットを設定し、I/O更新を発行する方法です。スイープをイネーブルにし、CFR <14>ビットを設定すると、プロファイル・ピンによって設定された値をランプ・レート・タイマがロードします。プロファイル・ピンがハイレベルの場合、ランプ・レート・タイマはRSRRの値をロードします。プロファイル・ピンがローレベルの場合、ランプ・レート・タイマはFSRRの値をロードします。

#### 周波数のリニアスイープの例：AFPビット=10

変調レベル・ビット=00、スイープ・イネーブル・ビット=1、ノー・ドウェル・ビット=0とします。

リニアスイープ・モードでは、プロファイル・ピンがローからハイのレベルに遷移すると、RDWがスイープ・アキュムレータの入力に加えられ、RSRRレジスタの値がスイープ・レート・タイマにロードされます。

出力がCTW1レジスタの値と等しくなるまで、ランプ・レート(RSRR)によって指定されたレートでRDWが累積されます。その後スイープが完了し、出力が一定の周波数に保持されます。

プロファイル・ピンがハイからローのレベルに遷移するときは、FDWがスイープ・アキュムレータの入力に加えられ、FSRRレジスタの値がスイープ・レート・タイマにロードされます。

出力がCTW0レジスタの値と等しくなるまで、ランプ・レート(FSRR)によって指定されたレートでFDWが累積されます。

その後スイープが完了し、出力が一定の周波数に保持されます。

図36に示すリニアスイープのブロック図を参照してください。図38は、ノー・ドウェル・モードをディセーブルにした場合の周波数スイープを示しています。このモードでは、プロファイル・ピンのロジック状態に出力が追従します。位相スイープ、振幅スイープもこれと同じ方法で実行されます。

#### リニアスイープノー・ドウェル・モード

リニアスイープのノー・ドウェル・ビット (CFR <15>) を設定すると、ドウェル・リニアスイープ・モードとまったく同じ方法で立上がりスイープが開始されます。すなわち、プロファイル入力ピンでロジック1を検出すると、立上がりスイープ動作が始まります。ワードが終端値に達するまで、立上がりスイープ・ランプ・レートで設定されたレートと、立上がりデルタ同調ワードで設定された分解能で、立上がりスイープが続行されます。終端値に達すると、出力が即座に開始ポイントに復帰し、プロファイル入力ピンでロジック1を検出するまで、その状態が維持されます。ノー・ドウェル・モードの例を図37に示します。この図で「A」と記されたポイントは、プロファイル・ピンで立上がりエッジが検出された場所を示し、「B」と記されたポイントは、出力がE0に達したとAD9958が判断して、S0に復帰した場所を示します。

このモードでは、立下がりランプ・レート・レジスタと立下がりデルタ・ワードは使用されません。

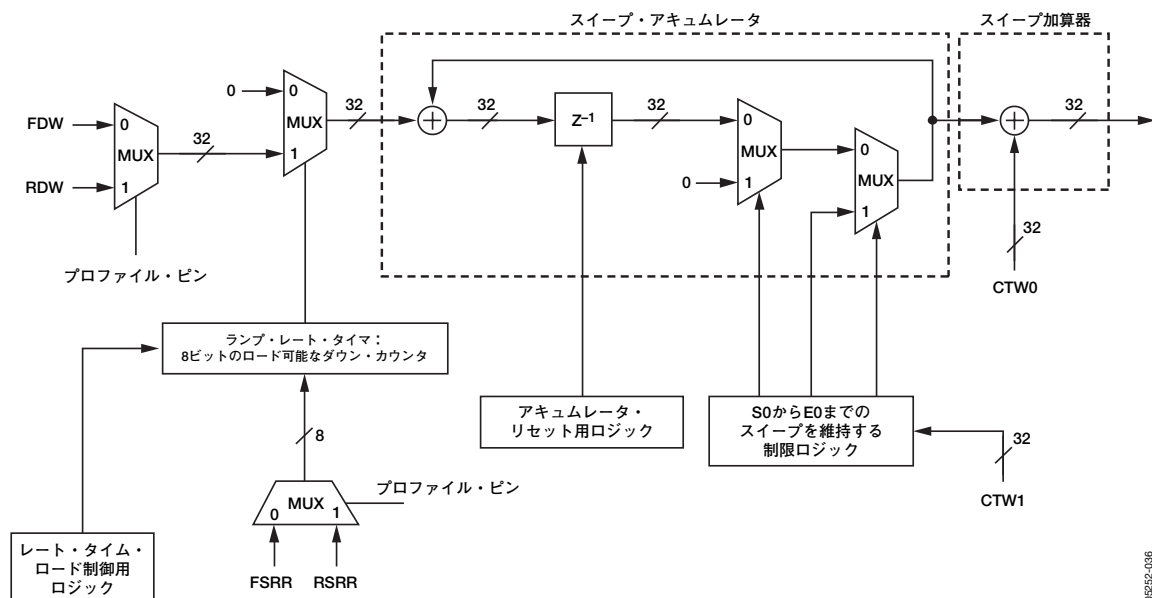


図36. リニアスイープのブロック図

05952-036



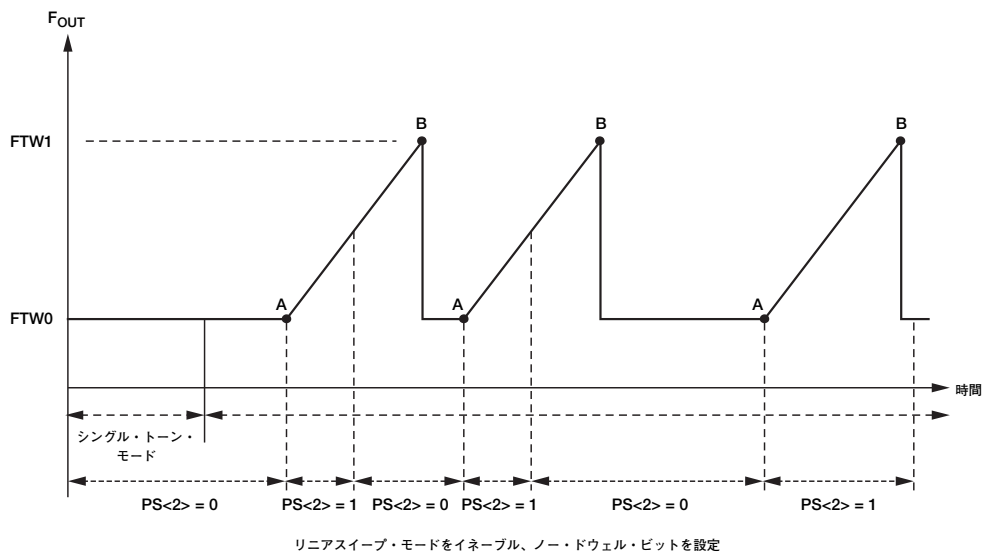
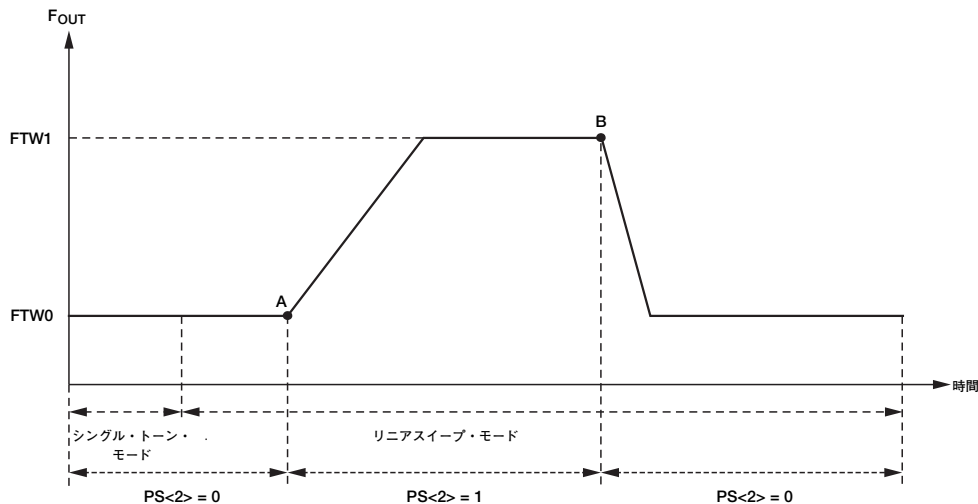


図37



ポイントA: 立上がりランプ・レート・レジスタにデータがロードされ、立上がりDFTWが加えられるポイント  
 ポイントB: 立下がりランプ・レート・レジスタにデータがロードされ、立下がりDFTWが加えられるポイント

図38. ノー・ドウェル機能をディスエーブルにしたときのリニアスイープ

## スイープおよび位相アキュムレータのクリア機能

AD9958では、2つのクリア機能を実行できます。1つめは、スイープ・ロジックと位相アキュムレータの連続ゼロ調整機能(クリア&ホールド機能)、もう1つは、クリア&リリース機能、つまり自動ゼロ設定機能です。CFR <4>はスイープ・アキュムレータ自動クリア・ビット、CFR <2>は位相アキュムレータ自動クリア・ビットです。連続クリア・ビットはCFRに割り当てられ、CFR <3>はスイープ・アキュムレータをクリアし、CFR <1>は位相アキュムレータをクリアします。

## 連続クリア・ビット

連続クリア・ビットは静的な制御信号で、アクティブ・ハイのとき、ビットがアクティブの間、各アキュムレータを0に保持します。ビットがローレベルに変化すると、各アキュムレータの動作が可能になります。

## クリア&リリース・ビット

スイープ・アキュムレータ自動クリア・ビットを設定すると、I/Oの更新時またはプロファイル入力ピンのロジック状態が変化するとき、スイープ・アキュムレータをクリアしてリリース(解放)します。位相アキュムレータ自動クリア・ビットを設定すると、I/Oの更新時またはプロファイル入力ピンのロジック状態が変化するとき、位相アキュムレータをクリアしてリリースします。この自動クリア機能は、クリア&リリース・ビットがシリアル・ポートからリセットされるまで、その後I/O更新やプロファイル入力ピンのロジック状態が変化するたびに繰り返し実行されます。

## 出力振幅制御モード

DACから出力されるオン／オフ信号振幅のランプアップおよびランプダウン（RU/RD）時間を10ビットのスケール・ファクタ（通倍器）で制御します。デジタル・データのバースト送信時に、この機能によって急激なデータ・バーストがスペクトルに及ぼす悪影響が低減されます。通倍器イネーブル・ビットをクリアして（ACR <12>=0）、これをバイパスできます。

自動と手動のRU/RDモード動作が可能です。自動モードでは、振幅ランプ・レート・コントロール・レジスタで設定されたレートでフルスケール（10ビット）のリニア・ランプまでのゼロスケールが生成されます。プロファイル・ピンまたはSDIO1:3ピンを使用して、ランプの開始と方向を制御できます。

手動モードでは、振幅コントロール・レジスタ（レジスタ0x06）に振幅スケール・ファクタ値を手動で書き込んで、出力振幅を直接的に制御できます。手動モードをイネーブルにするには、ACR <12>=1およびACR <11>=0に設定します。

### 自動RU/RDモード動作

ACR <12>とACR <11>両方のビットを1に設定すると、自動RU/RDモードがアクティブになります。自動RU/RDをイネーブルにすると、スケール・ファクタが内部で生成され、これが通倍器の入力ポートに転送されて、出力のスケールが行われます。スケール・ファクタは10ビット・カウンタの出力で、8ビット出力のランプ・レート・レジスタによって設定されたレートでインクリメント／デクリメントを行います。外部ピンがハイレベルであれば、スケール・ファクタがインクリメントし、ローレベルであればデクリメントします。内部で生成されるスケール・ファクタのステップ・サイズは、ACRレジスタの<15:14>ビットによって制御します。ACR <15:14>ビットを使用して、内部で生成されるスケール・ファクタのステップ・サイズをインクリメント／デクリメントする方法を表21で説明します。

表21

自動スケール・ファクタ・ステップ・サイズ ASF <15:14>（バイナリ）	インクリメント／デクリメント・サイズ
00	1
01	2
10	4
11	8

このモードの特長として、振幅スケール・ファクタ・レジスタ（ASF）の値によって出力振幅の最大許容値が制限されます。したがって、フルスケールよりも小さい値に出力振幅をランプできます。

### ランプ・レート・タイマ

ランプ・レート・タイマはロード可能なダウン・カウンタで、内部スケール・ファクタを生成する10ビット・カウンタに供給するクロック信号を生成します。カウント1（10進値）に達するたびに、ASFの値がランプ・レート・タイマにロードされます。このロードとカウントダウンの動作は、カウント1に達する前に強制的にデータがロードされる場合を除いて、タイマがイネーブルである限り、続行されます。

ロードARRタイマ・ビットのACR <10>を設定すると、I/Oの更新時またはプロファイル入力ピンのロジック状態が変化するとき、あるいは1のカウント値に達するときに、ACR値がランプ・レート・タイマにロードされます。以下に説明する3つの方法によって、カウント1に達する前に、ACR値をランプ・レート・タイマにロードできます。

- 第1の方法は、1本または複数のプロファイル・ピンもしくはSDIO\_1:3ピンのロジック・レベルを変更します。制御信号のロジック状態が変化すると、ACR値がランプ・レート・タイマにロードされ、その後タイマは通常どおりのカウントダウンを行います。
- 第2の方法は、ロードARRタイマ・ビット（ACR <10>）を設定し、I/O更新を発行します。
- 最後の方法は、非アクティブの自動RU/RDモードをアクティブの自動RU/RDモードに変更します。

### RU/RDピンのチャンネル割当て

- 両方のチャンネルがシングル・トーン・モードのときは、プロファイル・ピンをRU/RD動作に使用します。
- 両方のチャンネルがリニアスイープ・モードに設定され、RU/RDモードがアクティブになっている場合は、SDIO\_1:3ピンをRU/RD動作に使用します。
- 変調モードのピン割当てに関しては、「変調モード」を参照してください。

表22

プロファイル・ピン	RU/RD動作
P2	CH0
P3	CH1

表23

リニアスイープおよびRU/RDモードの同時イネーブル	SDIO			ランプアップ／ランプダウン制御信号の割当て
	1	2	3	
CH0でイネーブル	1	0	0	CH0でランプアップ機能
CH0でイネーブル	1	0	1	CH0でランプダウン機能
CH1でイネーブル	1	1	0	CH1でランプアップ機能
CH1でイネーブル	1	1	1	CH1でランプダウン機能

## 複数のAD9958の同期化

AD9958製品では、複数のデバイスを容易に同期させることができます。パワーアップ時に、複数のAD9958デバイス間でSYNC\_CLKの位相がオフセットすることがあります。このオフセットを補正し、SYNC\_CLKのエッジをアライメントするために、複数のSYNC\_CLKを同期させる方法が3つ（1つの自動モードと2つの手動モード）があります。これらのモードを利用すると、複数のAD9958デバイスの内部ステート・マシンが既知の状態に強制設定され、SYNC\_CLKのエッジがアライメントされます。

デバイス間でREF\_CLKの位相にミスマッチがあると、これに伴ってSYNC\_CLKの位相にもミスマッチが発生する結果になります。

### 自動モードによる同期

自動モードでは、マスター・デバイスのSYNC\_OUTピンをスレーブ・デバイスのSYNC\_INピンに接続すると、複数のデバイスが同期化されます。シリアル・ポートを経由してアクセス可能なプログラミング・ビットを使用して、デバイスをマスターまたはスレーブとして構成します。

複数のAD9958/9959デバイスを自動モードで同期させる設定回路を「アプリケーション回路」に示しています。この設定では、同期したREF\_CLKとSYNC\_OUTがAD99510からすべてのデバイスに供給されます。

### 動作

最初に、デバイスにマスターとスレーブの役割を設定します。デバイスをマスターとしてイネーブルにするには、そのデバイスのマスター・イネーブル・ビット（FR2 <6>）に真の値を書き込みます。これによって、パルス幅が1サイクルのシステム・クロック時間に等しく、周波数がシステム・クロック周波数の1/4に等しい信号パルスが、マスター・デバイスのSYNC\_OUTから出力されます。デバイスをスレーブとしてイネーブルにするには、スレーブ・イネーブル・ビット（FR2 <7>）に真の値を書き込みます。

自動同期モードでは、マスター・デバイスから出力されるSYNC\_OUTパルスをスレーブ・デバイスがサンプリングし、自動同期回路がすべてのステート・マシンを比較します。スレーブ・デバイスのステート・マシンがマスターと同じでなければ、スレーブ・デバイスのステート・マシンは1システム・クロック・サイクルだけ引き延ばされます。このようにして、3サイクルのSYNC\_CLK以内にスレーブ・デバイスが同期化されます。

### SYNC\_OUTとSYNC\_IN間の遅延時間

SYNC\_OUTとSYNC\_IN間の遅延時間が1システム・クロック・サイクルを超える場合、位相オフセット・ビット（FR2 <1:0>）を使用してこれを補正します。これらのビットはデフォルトでは00で、マスターのSYNC\_OUTからスレーブのSYNC\_INまでの伝播遅延が、1システム・クロック・サイクル未満です。この伝播遅延時間が1システム・クロック・サイクルよりも長くなる場合は、その時間を測定した上で、適切なオフセットを設定してください。システム・クロックのオフセット値に対応する遅延時間を表24に記載します。

表24

システム・クロックのオフセット値	SYNC_OUTとSYNC_IN間の伝播遅延
00	0 ≤ 遅延 ≤ 1
01	1 ≤ 遅延 ≤ 2
10	2 ≤ 遅延 ≤ 3
11	3 ≤ 遅延 ≤ 4

### 自動同期ステータス・ビット

スレーブ・デバイスが非同期になった場合は、同期ステータス・ビットをハイレベルに設定します。シリアル・ポート・ビット（FR2 <5>）を使用して、このビットを読み出すことができます。このビットは読み出されると、自動的にクリアされます。

同期ルーチンは、ステータス・ビットの状態とは無関係に動作を続行します。同期ステータス・マスク・ビット（FR2 <4>）にロジック1を書き込むことにより、ステータス・ビットをマスクできます。ステータス・ビットをマスクすると、ローレベルに保持されます。

### 手動ソフトウェア・モードによる同期

各デバイスで手動同期ビット（FR1 <0>）をロジック1に設定すると、手動ソフトウェア・モードがイネーブルになります。このモードでは、手動SW同期ビットをロジック0に書き込む動作でI/Oが更新されると、クロック発生器のステート・マシンが1システム・クロック・サイクルだけ引き延ばされます。クロック発生器のステート・マシンが1サイクルだけ引き延ばされると、デバイス間のSYNC\_CLKの位相関係が1システム・クロック・サイクル分（90°）変化します。

デバイス間のSYNC\_CLK信号の位相が一致するまで、この操作を繰り返してください。SYNC\_IN入力は内部プルアップを備えているため、フロート状態にしておくこともできます。SYNC\_OUTは使用しません。

マスターとスレーブ各デバイスのSYNC\_CLK信号の位相が一致した時点で、同期が完了します。

### 手動ハードウェア・モードによる同期

各デバイスで手動SW同期ビット（FR1 <1>）をロジック1に設定すると、手動ハードウェア・モードがイネーブルになります。このモードでは、SYNC\_IN入力で立上がりエッジを検出するたびに、SYNC\_CLKが1システム・クロック・サイクルだけ引き延ばされます。SYNC\_CLKのステート・マシンが1サイクルだけ引き延ばされると、デバイス間のSYNC\_CLKの位相関係が1システム・クロック・サイクル分（90°）変化します。

デバイス間のSYNC\_CLK信号の位相が一致するまで、この操作を繰り返してください。SYNC\_IN入力は内部プルアップを備えているため、フロート状態にしておくこともできます。SYNC\_OUTは使用しません。

マスターとスレーブ各デバイスのSYNC\_CLK信号の位相が一致した時点で、同期が完了します。

## I/O\_UPDATE、SYNC\_CLKとシステム・クロックの関係

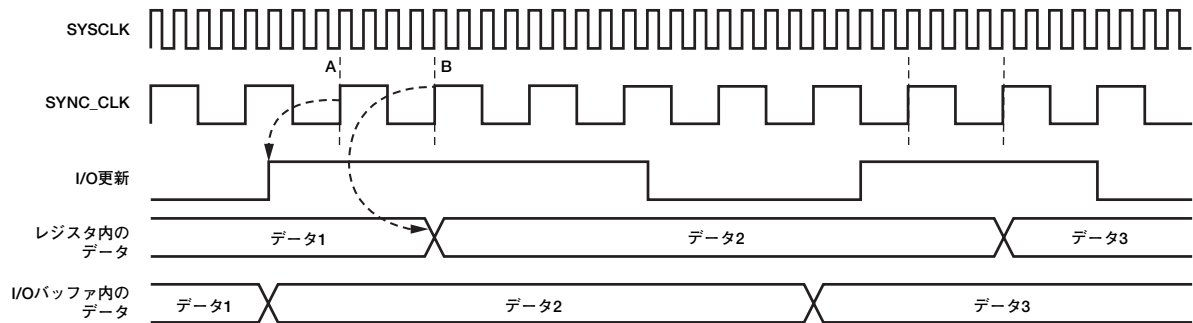
シリアルI/Oバッファからデバイスのアクティブなレジスタにデータを転送するときに、I/O\_UPDATEとSYNC\_CLKをあわせて使用します。バッファ内のデータは非アクティブです。

SYNC\_CLKは、立上がりエッジでアクティブになる信号です。この信号は、システム・クロックと4分周器から生成されます。SYNC\_CLKを外部に供給し、これを使用して外部ハードウェアをAD9958の内部クロックに同期させることが可能です。

I/O\_UPDATEは、バッファからのデータ転送の開始に使用します。これをSYNC\_CLKと同期して、または非同期に送信できます。これらの信号間のセットアップ時間が満たされると、DAC出力までのレイテンシ（パイプライン）が一定の値に保たれます。たとえば、SPIポートを経由して発生する位相オフセットを反復的に変化させたい場合、DAC出力までのこれらの変化のレイテンシは一定になります。そうでない場合、1サイクルのSYNC\_CLKに相当する時間の不確実性が存在します。

I/O\_UPDATEは原則として、SYNC\_CLKによってオーバーサンプリングされます。したがって、I/O\_UPDATEの最小パルス幅を1サイクルのSYNC\_CLKに相当する時間よりも長くしてください。

バッファ内のデータがアクティブなレジスタに転送されるときのタイミング図を図39に示します。



デバイスはポイントAでI/O更新データをレジスタに格納します。データはポイントBで非同期にロードされたI/Oバッファから転送されます。

図39

06292-039

## シリアルI/Oポート

### 概要

AD9958のシリアルI/Oポートは多くの設定が可能であるため、非常に高い柔軟性を提供します。このシリアルI/Oポートでは、アナログ・デバイセズの既存のDDS製品で可能なSPI動作にほぼ等しいSPI互換の動作モードを利用できます。4本のデータ・ピン（SDIO\_0:3）を使用して、4つのシリアルI/O動作モードを設定できるため、柔軟性に優れた使用法が可能になります。

4本のデータ・ピンのうち3本（SDIO\_1:3）をシリアルI/Oポート動作以外の機能に使用できます。これらのピンは、10ビット振幅出力スケウラのランプアップまたはランプダウン（RU/RD）動作を開始するときにも使用します。さらに、シリアルI/Oポート・コントローラの同期シーケンスが正しくない場合に、これらのピンの1本（SDIO\_3）をSYNC\_I/O機能に使用して、このコントローラの再同期を行うことも可能です。

シリアルI/OポートのSCLKの最大速度は200MHzですが、4本のデータ・ピン（SDIO\_0:3）を使用して、データ・スループットをさらに高速化できます。SDIO\_0:3すべてのピンを使用した場合の最大データ・スループットは800Mbpsです。

「レジスタ・マップ」に記載する0x03から0x18までの各レジスタが、両方のチャンネルで共有されます。このアドレス共有により、両方のDDSチャンネルで同時に書き込み動作を実行できます。たとえば、2つのチャンネルで共通の周波数同調ワードを使用したい場合、シリアルI/Oポートを介して1回書き込むだけでこのワードが両方のチャンネルに書き込まれます。これは、デフォルトの動作モードです（両方のチャンネルのイネーブル時）。各チャンネルを個別にイネーブルにする場合、チャンネル選択レジスタ（CSR）の2チャンネル・イネーブル・ビットを使用してください。

2つのセットまたはコピーのアドレス（0x03～0x18）を効果的に利用して、チャンネル・イネーブル・ビットを使用してアクセスしチャンネルの独立性を維持できます。各チャンネルに共通または個別の設定に関する詳細は、「コントロール・レジスタ」を参照してください。

AD9958のシリアル動作はバイト・レベルではなく、レジスタ・レベルで実行されます。つまり、コントローラはレジスタ・アドレスに含まれる全バイトへのアクセスを想定しています。SYNC\_I/O機能を利用してI/O動作を中断することによって、一部のバイトへのアクセスが可能になります。この機能を利用すれば、アドレス指定されたレジスタの一部のみを設定できます。有効とされるのは、アクセスが完了したバイトのみです。

シリアル通信サイクルには、2つのフェーズがあります。フェーズ1は命令サイクルで、AD9958に命令バイトを書き込みます。SCLKの対応する立上がりエッジが発生するたびに、命令バイトの各ビットがレジスタに書き込まれます。命令バイトは次のデータ転送が書き込みか読出しかを決定します。命令バイトにはアドレス・レジスタのシリアル・アドレスが含まれます。

I/Oサイクルのフェーズ2は、シリアル・ポート・コントローラとシリアル・ポート・バッファ間で行われる実際のデータ転送（書き込み／読出し）で構成されます。通信サイクルのフェーズ2で転送されるバイト数は、アクセスの対象となるレジスタの関数になります。データ転送と命令バイトのために追加する必要のあるSCLK立上がりエッジの実際の数は、レジスタのバイト幅と選択したシリアルI/O動作モードに応じて異なります。

たとえば、3バイト幅の機能レジスタ1（FR1）にアクセスする場合、I/Oサイクルのフェーズ2で3バイトを転送する必要があります。命令バイトに従って全データ・バイトが転送されると、そのレジスタに対する通信サイクルが完了します。

通信サイクルが完了すると、AD9958のシリアル・ポート・コントローラは、次に発生する一連のSCLK立上がりエッジが、次の通信サイクルの命令バイトになると想定します。AD9958に書き込まれたデータはすべて、SCLKの立上がりエッジでレジスタに格納され、立下がりエッジで読み出されます。図40と図41を参照してください。

一連の各通信サイクルでは、I/O\_UPDATEを発行する必要があります。I/O\_UPDATEをイネーブルにすると、I/Oポートのバッファからアクティブなレジスタにデータが転送されます。I/O\_UPDATEは通信サイクルごと、またはシリアル動作がすべて完了した時点で送信できます。ただし、チャンネル選択レジスタ（CSR）のチャンネル・イネーブル・ビットを除き、データはI/O\_UPDATEが送信されるまでアクティブになりません。これらのビットを使用するときは、I/O\_UPDATEをイネーブルにする必要があります。

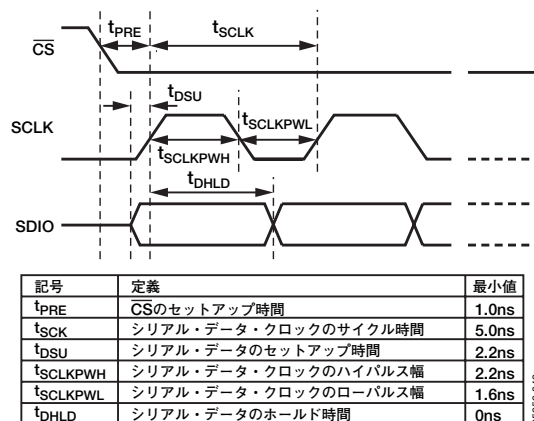


図40. シリアルI/Oポートのセットアップおよびホールド時間



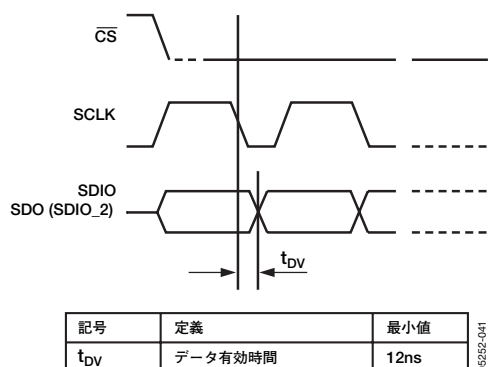


図41. シリアルI/Oポートからのデータ読出しタイミング図

## 命令バイト

命令バイトには、以下の情報が含まれます。

表25

MSB	D6	D5	D4	D3	D2	D1	LSB
R/Wb	X <sup>1</sup>	X <sup>1</sup>	A4	A3	A2	A1	A0

<sup>1</sup> x = ドント・ケア・ビット

命令バイトのビット7 (R/Wb) は、命令バイトの書込みの後で行われるデータ転送が読出しなのか書込みなのかを指定します。ロジック・ハイは読出し動作、ロジック0は書込み動作を示します。

命令バイトのビット4～0は、通信サイクルのデータ転送時にアクセスするレジスタを指定します。内部バイト・アドレスは、AD9958によって生成されます。

## シリアルI/Oポート・ピン

シリアル・データ・クロック (SCLK)。このシリアル・クロック・ピンは、AD9958内部のステート・マシンとやりとりするデータの同期に使用します。SCLKトグル周波数の最大値は200MHzです。

チップ・セレクト ( $\overline{\text{CS}}$ )。チップ・セレクト・ピンは、複数のAD9958デバイスを同じシリアル通信ライン上で使用できるようにする、アクティブ・ローレベルのインエーブル・ピンです。 $\overline{\text{CS}}$ がハイレベルのとき、規定されたSDIO入力がハイ・インピーダンス状態になります。通信サイクル実行中にハイレベルに駆動されると、 $\overline{\text{CS}}$ が再びローレベルになるまで、そのサイクルは中断されます。SCLKの制御を維持するシステムでは、 $\overline{\text{CS}}$ ピンをローレベルに設定してください。

シリアル・データI/O (SDIO\_0:3)。4本のSDIOピンのうち、SDIO専用ピンはSDIO\_0ピンのみです。SDIO\_1:3の3本のピンは、出力振幅のRU/RD動作にも使用できます。これらのピンの設定は、チャンネル選択レジスタ (CSRレジスタ、0x00) のビット<2:1>で制御します。詳細については「シリアルI/O動作モード」を参照してください。

## シリアルI/Oポート機能

シリアル・データ出力 (SDO)。SDO機能を利用できるのは、シングル・ビット (3線式) モードのときのみです。SDOモードでは、データの送信と受信に別のラインを使用するプロトコルに対応するために、SDIO\_2ピンからデータを読み出します (表26に記載するピン設定オプションを参照)。このピンの設定は、CSRレジスタ (レジスタ0x00) のビット<2:1>で制御します。2ビットまたは4ビットのシリアルI/Oモードでは、SDO機能を利用できません。

SYNC\_I/O。SYNC\_I/O機能は、1ビットと2ビットのモードで利用できます。SDIO\_3ピンは機能がアクティブのときSYNC\_I/Oピンとして使用されます。このピンの設定は、CSRレジスタ (レジスタ0x00) のビット<2:1>で制御します。この他に、アドレス指定が可能なレジスタのデータ内容に影響を与えずに、I/Oポートのステート・マシンを同期させます。SYNC\_I/O (SDIO\_3) ピンにアクティブ・ハイを入力すると、実行中の通信サイクルが中断されます。SDIO\_3がローレベル (ロジック0) に復帰した後、別の通信サイクルを開始して、命令バイトの書込みから始めることができます。4ビットのシリアルI/Oモードでは、SYNC\_I/O機能を利用できません。

## MSB/LSB転送

AD9958のシリアル・ポートは、MSBファーストとLSBファースト両方のデータ・フォーマットに対応できます。この機能の制御は、チャンネル選択レジスタ (CSR) のCSR <0>で行います。デフォルトのモードはMSBファーストです。CSR <0>をハイレベルに設定すると、シリアル・ポートはLSBファーストのフォーマットになります。命令バイトは、CSR <0>で指定されたフォーマットで書き込んでください。つまり、LSBファーストのモードに設定している場合は、命令バイトをLSBからMSBの順に書き込み、MSBファーストのモード (デフォルト) に設定している場合は、MSBからLSBの順に書き込みます。

## 動作例

MSBファーストのフォーマットで機能レジスタ1 (FR1) に書込みを行う場合、MSB > 00000001 < LSBの命令バイトをMSBからLSBの順に書き込みます。この命令に基づいて内部コントローラは、FR1アドレス (レジスタ0x01) のMSB、つまりビット<23>から開始される3バイトの書込み転送が実行されることを認識します。ビット<0>が転送されるまで、SCLKのエッジが連続的に立ち上がるたびにバイトが書き込まれます。最後のデータ・ビットが書き込まれると、I/O通信サイクルが完了し、次のバイトは命令バイトと判断されます。

LSBファーストのフォーマットで機能レジスタ1 (FR1) に書込みを行う場合、MSB > 00000001 < LSBの命令バイトをLSBからMSBの順に書き込みます。この命令に基づいて内部コントローラは、FR1アドレス (レジスタ0x01) のLSB <0>から開始される3バイトの書込み転送が実行されることを認識します。ビット<23>が転送されるまで、SCLKのエッジが連続的に立ち上がるたびにバイトが書き込まれます。最後のデータ・ビットが書き込まれると、I/O通信サイクルが完了し、次のバイトは命令バイトと判断されます。

## シリアルI/O動作モード

以下の4つのシリアルI/Oポート動作モードを設定できます。

1. シングル・ビットのシリアル2線式モード（デフォルト設定モード）
2. シングル・ビットのシリアル3線式モード
3. 2ビットのシリアル・モード
4. 4ビットのシリアル・モード（SYNC\_I/Oは利用できません）

表26は、シリアルI/O動作モードの設定ごとに、全6本のシリアルI/Oインターフェース・ピンの機能を示します。

表26. シリアルI/O動作モードの設定とシリアルI/Oポート・ピンの機能

ピンの名前	シングル・ビットのシリアル2線式モード	シングル・ビットのシリアル3線式モード	2ビットのシリアル・モード	4ビットのシリアル・モード
SCLK	シリアル	シリアル	シリアル	シリアル
	クロック	クロック	クロック	クロック
CSB	チップ・セレクト	チップ・セレクト	チップ・セレクト	チップ・セレクト
SDIO_0	シリアル・データI/O	シリアル・データ入力	シリアル・データI/O	シリアル・データI/O
SDIO_1	SDIOに使用しない <sup>1</sup>	SDIOに使用しない <sup>1</sup>	シリアル・データI/O	シリアル・データI/O
SDIO_2	SDIOに使用しない <sup>1</sup>	シリアル・データ入力	SDIOに使用しない <sup>1</sup>	シリアル・データI/O
SDIO_3	SYNC_I/O	SYNC_I/O	SYNC_I/O	シリアル・データI/O

<sup>1</sup> シリアル・モードでは、これらのピンをRU/RD動作に使用できます。

チャンネル選択レジスタの2個のビットCSR <2:1>を使用して設定するシリアルI/O動作モードを、以下のように定義します。

CSR <2:1>=00：シングル・ビットのシリアル・モード（2線式モード）

CSR <2:1>=01：シングル・ビットのシリアル・モード（3線式モード）

CSR <2:1>=10：2ビットのシリアル・モード

CSR <2:1>=11：4ビットのシリアル・モード

## シングル・ビットのシリアル（2線式および3線式）モード

シングル・ビットのシリアル・モード・インターフェースでは、AD9958を構成するすべてのレジスタへの読出し／書込みアクセスが可能です。MSBファーストまたはLSBファーストの転送フォーマットに対応できます。さらに、シングル・ビットのシリアル・モード・インターフェース・ポートを1ピンのI/Oとして設定すれば2線式インターフェースになり、入力／出力用の2本の単方向ピンにすれば、3線式インターフェースになります。シングル・ビットのモードでは、SYNC\_I/O機能を利用できます。

シングル・ビットのシリアル・モードの2線式インターフェース動作時には、SDIO\_0ピンは1本でシリアル・データI/Oピンになります。シングル・ビットのシリアル・モードの3線式インターフェース動作時には、SDIO\_0ピンがシリアル・データ入力ピン、SDIO\_2ピンが出力データ・ピンとなります。インターフェースで使用する信号線の数に関係なく、SDIO\_3ピンは入力として設定され、シングル・ビットのシリアル・モードと2ビットのシリアル・モードでSYNC\_I/Oピンとして動作します。このモードでは、SDIO\_1ピンは使用されません。表26を参照してください。

## 2ビットのシリアル・モード

2ビットのシリアル・モードによるSPIポート動作は、シングル・ビットのシリアル・モードのSPIポート動作と同一です。ただし、SCLKのエッジが立ち上がるたびに2個のデータ・ビットがレジスタに書き込まれます。したがって、4クロック・サイクルで8ビットの情報が転送されます。SDIO\_0ピンにはD <7:0>と表記されるビットのうち偶数番号のデータ・ビットが含まれ、SDIO\_1ピンには奇数番号のデータ・ビットが含まれます。この偶数と奇数番号のピン／データ・アライメントは、MSBとLSB両方のフォーマットで適用されます（図39を参照）。

## 4ビットのシリアル・モード

4ビットのシリアル・モードによるSPIポート動作は、シングル・ビットのシリアル・モードのSPIポート動作と同一です。ただし、SCLKのエッジが立ち上がるたびに4個のデータ・ビットがレジスタに書き込まれます。したがって、2クロック・サイクルで8ビットの情報が転送されます。SDIO\_0とSDIO\_2の各ピンにはD <7:0>と表記されるビットのうち偶数番号のデータ・ビットが含まれ、SDIO\_0ピンにニブルのLSBが含まれます。SDIO\_1とSDIO\_3の各ピンには奇数番号のデータ・ビットが含まれ、SDIO\_1ピンにアクセスされるニブルのLSBが含まれます。

AD9958を4ビットのシリアル・モードに設定する際には、シングル・ビットのシリアル・モードを終了する設定が完了するまで、必ずSDIO\_3ピンをロジック0に維持してください。これを怠ると、シリアルI/Oポート・コントローラの動作不良が発生するおそれがあります。

選択可能な各シリアルI/Oモードの書込みタイミング図を図42から図44に示します。MSBファーストとLSBファーストの両方のモードを示しています。カッコ内がLSBファースト・ビットです。図中のクロックをロー／ハイレベルにストールする機能は必要ありません。これは、SCLKの立ち上がりエッジを基準にしてデータ（SDIO）のセットアップ時間を正しく設定する必要があることを示すために記載しています。

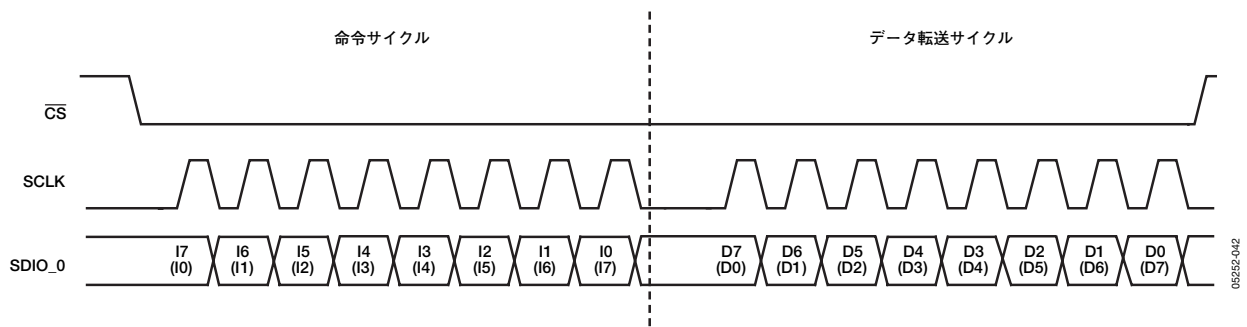


図42. シングル・ビットのシリアル・モードの書き込みタイミングクロックをローレベルにストール

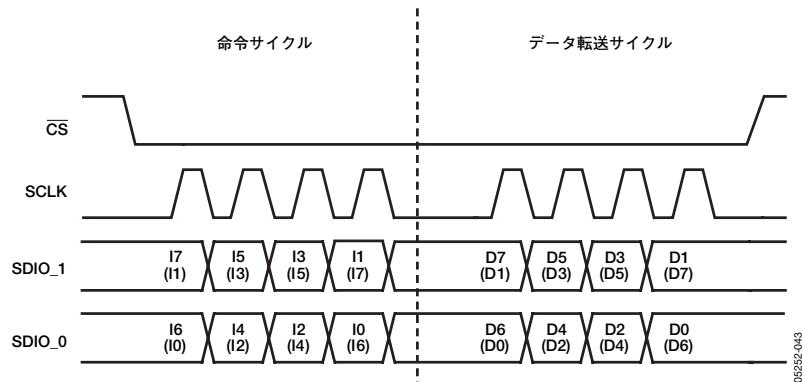


図43. 2ビットのシリアル・モードの書き込みタイミングクロックをローレベルにストール

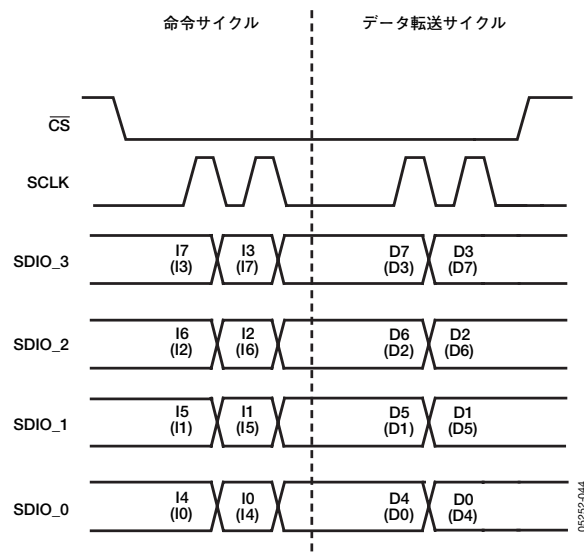


図44. 4ビットのシリアル・モードの書き込みタイミングクロックをローレベルにストール

選択可能な各シリアルI/Oモードの読出しタイミング図を図45から図48に示します。MSBファーストとLSBファーストの両方のモードを示しています。カッコ内がLSBファースト・ビットです。図中のクロックをロー／ハイレベルにストールする機能は必要ありません。これは命令バイトの場合、およびSCLKの立下がりエッジの後で読み出されるデータについて、SCLKの立上がりエッジを基準にしてデータ（SDIO）のセットアップ時間を正しく設定する必要があることを示すために記載しています。



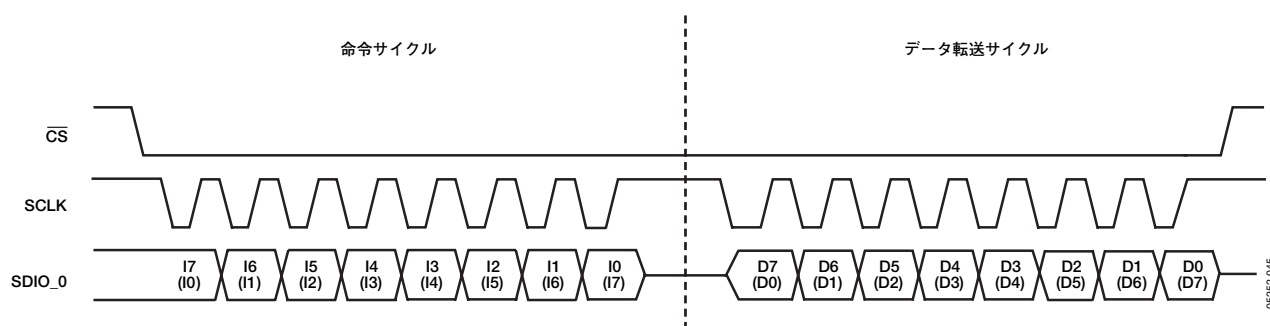


図45. シングル・ビットのシリアル・モード（2線式）の読出しタイミングクロックをハイレベルにストール

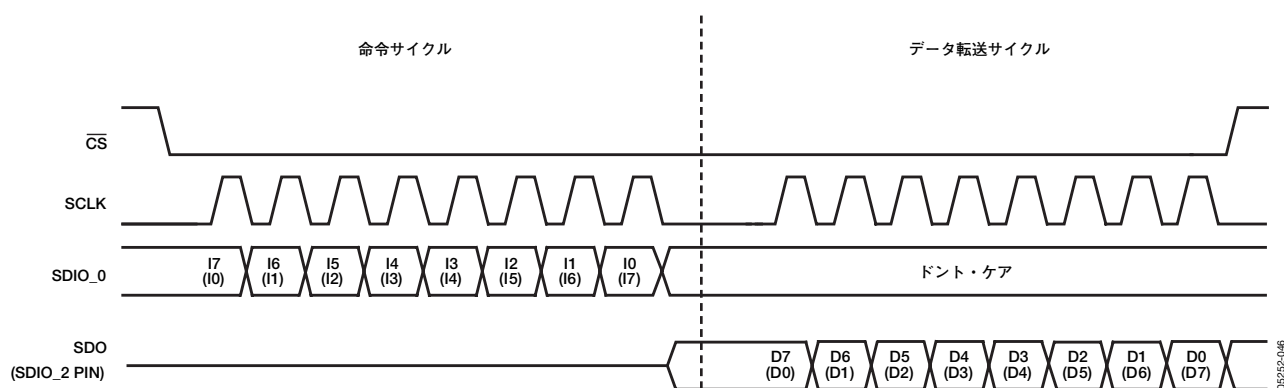


図46. シングル・ビットのシリアル・モード（3線式）の読出しタイミングクロックをローレベルにストール

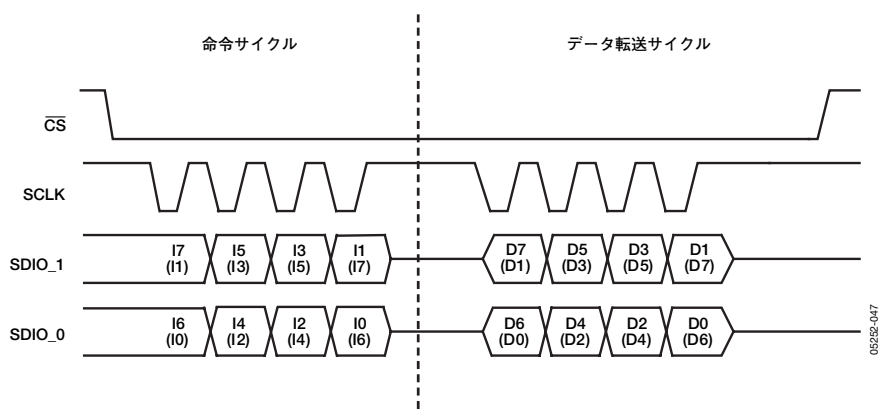


図47. 2ビットのシリアル・モードの読出しタイミングクロックをハイレベルにストール

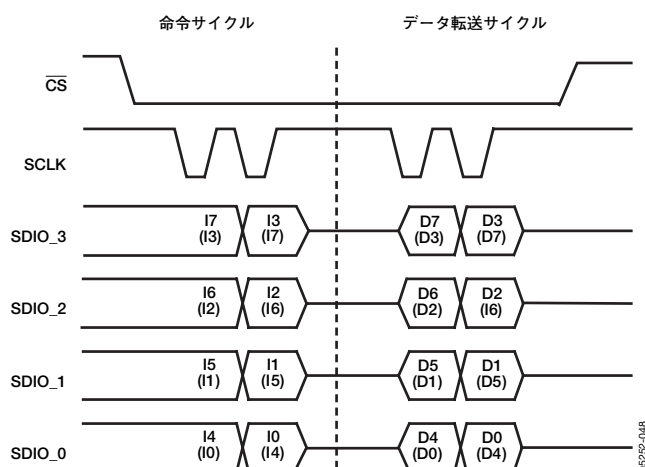


図48. 4ビットのシリアル・モードの読出しタイミングクロックをハイレベルにストール

## レジスタ・マップ

## コントロール・レジスタ・マップ

表27

レジスタの 名前 (アドレス)	ビット 範囲	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト値
チャンネル 選択レジスタ (CSR、 0x00)	<7:0>	チャンネル1 イネーブル <sup>1</sup>	チャンネル0 イネーブル <sup>1</sup>	オープン	オープン	常に0	シリアルI/Oモード選択 <2:1>		LSB ファースト	0xF0
機能 レジスタ1 (FR1、 0x01)	<7:0>	基準クロック入力 パワーダウン	外部パワー ダウン・モード	同期クロック・ ディスエーブル	DAC リファレンス・ パワーダウン	オープン	オープン	手動ハード ウェア同期	手動ソフト ウェア同期	0x00
	<15:8>	オープン	プロファイル・ビン設定<14:12>			ランプアップ／ ランプダウン <11:10>		変調レベル<9:8>		0x00
	<23:16>	VCOゲイン制御	PLL分周比<22:18>					チャージ・ポンプ制御 <17:16>		0x00
機能 レジスタ2 (FR2、 0x02)	<7:0>	マルチデバイス 同期スレーブ・ イネーブル	マルチデバイス 同期マスター・ イネーブル	マルチデバイス 同期ステータス	マルチデバイス 同期マスク	オープン<3:2>		システム・クロック・ オフセット<1:0>		0x00
	<15:8>	2チャンネルの スイープ・ アキュムレータ 自動クリア	2チャンネルの スイープ・ アキュムレータ・ クリア	2チャンネルの 位相 アキュムレータ 自動クリア	2チャンネルの 位相 アキュムレータ・ クリア	オープン<11:10>		オープン<9:8>		0x00

<sup>1</sup> チャンネル・イネーブル・ビットについては、I/O更新をアクティブにする必要はありません。これらのビットを含むバイトが書き込まれた直後に、ビットがアクティブになります。他のすべてのビットでは、I/O更新をアクティブにする必要があります。レジスタ・マップに記載する2つのチャンネル・イネーブル・ビットを使用して、任意に組み合わせた4チャンネルをイネーブル/ディスエーブルにします。両方のチャンネルは、デフォルトではイネーブルになっています。

CSRレジスタで2つのDDSチャンネルに異なる周波数を設定する場合は、以下の手順を実行します。

1. チャンネル選択レジスタのCH0ビットをイネーブル（ロジック1）にして、CH1イネーブル・ビットをディスエーブル（ロジック0）にします。
2. ステップ1で説明するように、CH0に所望の周波数同調ワードを書き込みます。
3. チャンネル選択レジスタのCH0イネーブル・ビットをディスエーブル（ロジック0）にして、CH1ビットをイネーブル（ロジック1）にします。
4. CH1に所望の周波数同調ワードを書き込みます。

## チャンネル・レジスタ・マップ

表28

レジスタの 名前 (アドレス)	ビット 範囲	ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)	デフォルト 値
チャンネル 機能 <sup>1</sup> (CFR、0x03)	<7:0>	デジタル・ パワーダウン	DAC パワーダウン	バイプライン 遅延マッチング・ アクティブ	スリープ・ アキュムレータ 自動クリア	スリープ・ アキュムレータ・ クリア	位相 アキュムレータ 自動クリア	位相 アキュムレータ・ クリア <sup>2</sup>	サイン波 出力 イネーブル	0x02
	<15:8>	リニアスリープ・ ノー・ドウェル	リニアスリープ・ イネーブル	I/O更新時の SRRロード	オープン	オープン	常に0	DACフルスケール 電流制御<9:8>		0x03
	<23:16>	振幅、周波数、位相選択<23:22>			オープン<21:16>					0x00
チャンネル 周波数同調 ワード0 <sup>1</sup> (CTW0、0x04)	<7:0>	周波数同調ワード0 <7:0> 周波数同調ワード0 <15:8> 周波数同調ワード0 <23:16> 周波数同調ワード0 <31:24>								0x00
	<15:8>									
	<23:16>									
チャンネル位相 <sup>1</sup> オフセット・ ワード0 <sup>1</sup> (CPW0、0x05)	<31:24>									
	<7:0>	位相オフセット・ワード0								0x00
	<15:8>	オープン<15:14>		位相オフセット・ワード<13:8>						0x00
振幅制御 (ACR、0x06)	<7:0>	振幅スケール・ファクタ								0x00
	<15:8>	インクリメント／デクリメント・ ステップ・サイズ<15:14>	オープン	振幅乗算器 イネーブル	ランプアップ／ ランプダウン・ イネーブル	I/O更新時の ARRロード	振幅スケール・ ファクタ<9:8>		0x00	
	<23:16>	振幅ランプ・レート<23:16>								—
リニアスリープ・ ランプ・レート <sup>1</sup> (LSR、0x07)	<7:0>	リニアスリープ立上がりランプ・レート (RSRR) <7:0> リニアスリープ立下がりランプ・レート (FSRR) <15:8>								—
	<15:8>									—
LSR立上がり <sup>2</sup> デルタ <sup>1</sup> (RDW、0x08)	<23:16>	立上がりデルタ・ワード<7:0> 立上がりデルタ・ワード<15:8> 立上がりデルタ・ワード<23:16> 立上がりデルタ・ワード<31:24>								—
	<31:24>									—
										—
										—
LSR立下がり <sup>2</sup> デルタ <sup>1</sup> (FDW、0x09)	<7:0>	立下がりデルタ・ワード<7:0> 立下がりデルタ・ワード<15:8> 立下がりデルタ・ワード<23:16> 立下がりデルタ・ワード<31:24>								—
	<15:8>									—
	<23:16>									—
	<31:24>									—

<sup>1</sup> 各チャンネルに1個ずつ、合計2組のチャンネル・レジスタとプロファイル・レジスタがありますが、チャンネル・レジスタおよびプロファイル・レジスタのマップでは区別していません。チャンネル・レジスタとプロファイル・レジスタのアドレスは各チャンネルですべて同一であるためです。したがって、各チャンネルのチャンネル・レジスタ／プロファイル・レジスタの書き込み動作を行うか否かは、チャンネル・イネーブル・ビットで指定します。

<sup>2</sup> アキュムレータ・クリア・ビットは、マスター・リセットの後でロジック1に設定されます。これはI/O更新がアサートされるときに自動的にクリアされるか、またはロジック0に設定されます。

## プロファイル・レジスタ・マップ

表29

レジスタの名前 (アドレス)	ビット 範囲	(MSB) ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	(LSB) ビット0	デフォルト 値
チャンネル・ワード1 (CTW1, 0x0A)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード2 (CTW2, 0x0B)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード3 (CTW3, 0x0C)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード4 (CTW4, 0x0D)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード5 (CTW5, 0x0E)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード6 (CTW6, 0x0F)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード7 (CTW7, 0x10)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード8 (CTW8, 0x11)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード9 (CTW9, 0x12)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード10 (CTW10, 0x13)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード11 (CTW11, 0x14)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード12 (CTW12, 0x15)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード13 (CTW13, 0x16)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード14 (CTW14, 0x17)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—
チャンネル・ワード15 (CTW15, 0x18)	<31:0>	周波数同調ワード<31:0>、位相ワード<31:18>、振幅ワード<31:22>								—

## コントロール・レジスタ

### チャンネル選択レジスタ (CSR)

CSRレジスタでは、2つのチャンネル・イネーブル・ビットのステータスによって、チャンネルをイネーブルにするかディスエーブルにするかを決定します。両チャンネルはデフォルトではイネーブルになっています。シリアル動作モードの選択にもCSRレジスタを使用します。さらに、MSBファースト/LSBファーストのフォーマットをCSRレジスタで選択します。各ビットの機能について以下に説明します。

CSRはレジスタ0x00に割り当てられる1バイトで構成されます。

CSR <0> LSBファースト選択ビット

CSR <0>=0 (デフォルト) のとき、シリアル・インターフェースはMSBファーストのフォーマットでシリアル・データを受け入れます。CSR <0>=1のときは、シリアル・インターフェースはLSBファーストのフォーマットでシリアル・データを受け入れます。

CSR <2:1> シリアルI/Oモード選択ビット

CSR <2:1> 00=シングル・ビットのシリアル・モード  
(2線式モード)  
01=シングル・ビットのシリアル・モード  
(3線式モード)  
10=2ビットのシリアル・モード  
11=4ビットのシリアル・モード

詳細については、「シリアルI/O動作モード」を参照してください。

CSR <3>=常に0に設定してください。

CSR <7:6> チャンネル・イネーブル・ビット

CSR <7:4>ビットは、書込みの直後にアクティブになります。これらのビットでは、I/O更新を有効にする必要がありません。

各チャンネルに1個ずつ、合計2組のチャンネル・レジスタとプロファイル・レジスタがありますが、チャンネル・レジスタおよびプロファイル・レジスタのマップでは区別していません。チャンネル・レジスタとプロファイル・レジスタのアドレスが各チャンネルで同一であるためです。したがって、各チャンネルのチャンネル・レジスタとプロファイル・レジスタの値は、チャンネル・イネーブル・ビットで識別されます。

このチャンネル・イネーブル・ビットの設定例を以下に記載します。

CSR <7:6>=10: チャンネル・レジスタとプロファイル・レジスタからのコマンドがチャンネル1のみで受信されます。

CSR <7:6>=01: チャンネル・レジスタとプロファイル・レジスタからのコマンドがチャンネル0のみで受信されます。

CSR <7:6>=11: チャンネル・レジスタとプロファイル・レジスタからのコマンドがチャンネル0とチャンネル1の両方で受信されます。

### 機能レジスタ1 (FR1)

FR1はレジスタ0x01に割り当てられる3バイトで構成されます。FR1はチップの動作モードの制御に使用します。各ビットの機能について以下に説明します。

FR1 <0> 手動ソフトウェア同期ビット

FR1 <0>=0 (デフォルト) のとき、ソフトウェアによる複数のAD9958の手動同期機能が非アクティブになります。FR1

<0>=1のときは、ソフトウェアによる複数のAD9958の手動同期機能がアクティブになります。詳細については、「複数のAD9958デバイスの同期」を参照してください。

FR1 <1> 手動ハードウェア同期ビット

FR1 <1>=0 (デフォルト) のとき、ハードウェアによる複数のAD9958の手動同期機能が非アクティブになります。FR1 <1>=1のときは、ハードウェアによる複数のAD9958の手動同期機能がアクティブになります。

FR1 <2:3> 詳細については、「複数のAD9958デバイスの同期」を参照してください。

FR1 <4> DACリファレンス・パワーダウン・ビット

FR1 <4>=0 (デフォルト) のとき、DACのリファレンスがイネーブルになります。FR1 <4>=1のときは、DACのリファレンスがパワーダウンします。

FR1 <5> SYNC\_CLKディスエーブル・ビット

FR1 <5>=0 (デフォルト) のとき、SYNC\_CLKピンがアクティブになります。FR1 <5>=1のときは、SYNC\_CLKピンが静的なロジック0の状態 (ディスエーブル) であると想定されます。この状態のときには、ピン駆動ロジックがシャットダウンします。ただし、同期回路は内部でアクティブな状態に維持され、正常なデバイス動作を維持します。

FR1 <6> 外部パワーダウン・モード・ビット

FR1 <6>=0 (デフォルト) のとき、外部パワーダウン・モードが高速復帰パワーダウン・モードになります。このモードでは、PWR\_DWN\_CTL入力ピンがハイレベルのとき、デジタル・ロジックとDACのデジタル・ロジックがパワーダウンします。DACのバイアス回路、PLL、発振器、クロック入力回路はパワーダウンしません。

FR1 <6>=1のときは、外部パワーダウン・モードが完全なパワーダウン・モードになります。このモードでは、PWR\_DWN\_CTL入力ピンがハイレベルのとき、すべての機能がパワーダウンします。これには、DACとPLLも含まれ、これらをパワーアップするにはかなりの時間を要します。

FR1 <7> クロック入力パワーダウン・ビット

FR1 <7>=0 (デフォルト) のとき、クロック入力回路の動作がイネーブルになります。FR1 <7>=1のときは、クロック入力回路がディスエーブルになり、低消費電力の状態に入ります。

FR1 <9:8> 変調レベル・ビット

変調 (FSK, PSK, ASK) レベル・ビットは、チャンネルで実行される変調のレベル (2/4/8/16) の制御に使用します。詳細については、「変調モード」を参照してください。

FR1 <10:11> RU/RDビット

RU/RDビットは、チャンネルの振幅RU/RD時間の制御に使用します（「出力振幅制御モード」を参照）。

FR1 <12:14> プロファイル・ピン設定ビット

プロファイル・ピン設定ビットは、各種の変調モードで使用されるデータ・ピンとSDIOピンの設定の制御に使用します。詳細については、「変調モード」を参照してください。

FR1 <15> オープン

FR1 <17:16> チャージ・ポンプ電流制御ビット

FR1 <17:16> = 00（デフォルト）：チャージ・ポンプ電流は75 $\mu$ Aです。  
 = 01：チャージ・ポンプ電流は100 $\mu$ Aです。  
 = 10：チャージ・ポンプ電流は125 $\mu$ Aです。  
 = 11：チャージ・ポンプ電流は150 $\mu$ Aです。

FR1 <22:18> PLL分周値ビット

FR1 <22:18>の値が4～20のときにPLLがイネーブルになり、この値から通倍率が設定されます。FR1 <22:18>の値が3よりも小さいか21よりも大きい場合は、PLLがディスエーブルになります。

FR1 <23> PLL VCOゲイン・ビット

FR1 <23> = 0（デフォルト）のときに、ローレンジ（165MHzよりも低いシステム・クロック）が設定されます。FR1 <23> = 1のときは、ハイレンジ（255MHzよりも高いシステム・クロック）が設定されます。

## 機能レジスタ2（FR2）

FR2はアドレス0x02に割り当てられる2バイトで構成されます。

FR2はAD9958の各種機能と動作モードの制御に使用します。各ビットの機能について以下に説明します。

FR2 <1:0> システム・クロック・オフセット・ビット

詳細については、「複数のAD9958デバイスの同期」を参照してください。

FR2 <3:2> オープン

FR2 <4> マルチデバイス同期マスク・ビット

FR2 <5> マルチデバイス同期ステータス・ビット

FR2 <6> マルチデバイス同期マスター・イネーブル・ビット

FR2 <7> マルチデバイス同期スレーブ・イネーブル・ビット

FR2 <4:7> 詳細については、「複数のAD9958デバイスの同期」を参照してください。

FR2 <11:8> オープン

FR2 <12> 2チャンネル位相アキュムレータ・クリア・ビット

FR2 <12> = 0（デフォルト）のとき、位相アキュムレータは通常どおりに機能します。FR2 <12> = 1のときは、両方のチャンネルの位相アキュムレータのメモリ要素が非同期にクリアされます。

FR2 <13> 2チャンネル位相アキュムレータ自動クリア・ビット

FR2 <13> = 0（デフォルト）のとき、新しい周波数同調ワードが位相アキュムレータの入力に加えられますが、アキュムレータの内部にはロードされません。

FR2 <13> = 1のときは、両方のチャンネルでI/O更新シーケンス・インジケータが受信されると、このビットで位相アキュムレータを1サイクルだけ自動的に同期してクリアします（オール・ゼロをロード）。

FR2 <14> 2チャンネル・スイープ・アキュムレータ・クリア・ビット

FR2 <14> = 0（デフォルト）のとき、スイープ・アキュムレータは通常どおりに機能します。FR2 <14> = 1のときは、両方のチャンネルのスイープ・アキュムレータのメモリ要素が非同期にクリアされます。

FR2 <15> 2チャンネル・スイープ・アキュムレータ自動クリア・ビット

FR2 <15> = 0（デフォルト）のとき、通常の動作どおりに新しいデルタ・ワードがスイープ・アキュムレータの入力に加えられますが、アキュムレータの内部にはロードされません。FR2 <15> = 1のときは、両方のチャンネルでI/O\_UPDATEシーケンス・インジケータが受信されると、このビットでスイープ・アキュムレータを1サイクルだけ自動的に同期してクリアします（オール・ゼロをロード）。

## チャンネル機能レジスタ（CFR）

CFR <0> サイン波出力イネーブル・ビット

CFR <0> = 0（デフォルト）のとき、角度／振幅変換ロジックにコサイン関数が適用されます。CFR <0> = 1のときは、角度／振幅変換ロジックにサイン関数が適用されます。

CFR <1> 位相アキュムレータ・クリア・ビット

CFR <1> = 0（デフォルト）のとき、位相アキュムレータは通常どおりに機能します。CFR <1> = 1のときは、位相アキュムレータのメモリ要素が非同期にクリアされます。

CFR <2> 位相アキュムレータ自動クリア・ビット

CFR <2> = 0（デフォルト）のとき、新しい周波数同調ワードが位相アキュムレータの入力に加えられますが、アキュムレータの内部にはロードされません。CFR <2> = 1のときは、I/O\_UPDATEシーケンス・インジケータが受信されたときに、このビットで位相アキュムレータを1サイクルだけ自動的に同期してクリアします（オール・ゼロをロード）。

CFR <3> スイープ・アキュムレータ・クリア・ビット

CFR <3> = 0（デフォルト）のとき、スイープ・アキュムレータは通常どおりに機能します。CFR <3> = 1のときは、スイープ・アキュムレータのメモリ要素が非同期にクリアされます。

CFR <4> スイープ・アキュムレータ自動クリア・ビット

CFR <4>=0（デフォルト）のとき、新しいデルタ・ワードがスイープ・アキュムレータの入力に加えられますが、アキュムレータの内部にはロードされません。CFR <4>=1のときは、I/O\_UPDATEシーケンス・インジケータが受信されたとき、このビットでスイープ・アキュムレータを1サイクルだけ自動的に同期してクリアします（オール・ゼロをロード）。

CFR <5> パイプライン遅延マッチング・アクティブ・ビット

CFR <5>=0（デフォルト）のとき、パイプライン遅延マッチング・モードが非アクティブになります。CFR <5>=1のときは、パイプライン遅延マッチング・モードがアクティブになります。詳細については、「シングル・トーン・モード—パイプライン遅延マッチング」を参照してください。

CFR <6> DACパワーダウン・ビット

CFR <6>=0（デフォルト）のとき、DACの動作がイネーブルになります。CFR <6>=1のときは、DACがデイスエーブルになり、最小の消費電力状態に維持されます。

CFR <7> デジタル・パワーダウン・ビット

CFR <7>=0（デフォルト）のとき、デジタル・コアの動作がイネーブルになります。

CFR <7>=1のときは、デジタル・コアがデイスエーブルになり、最小の消費電力状態に維持されます。

CFR <9:8> DAC フルスケール電流制御ビット

CFR <9:8>=11（デフォルト）のとき、DACのフルスケール電流は最大に設定されています。（表5参照）

CFR <10>は、常に0に設定してください。

CFR <13> I/O\_UPDATE入力信号受信時のリニアスイープ・ランプ・レート・ロード制御ビット

CFR <13>=0（デフォルト）のとき、タイムアウト（タイマ=1）時のみリニアスイープ・ランプ・レート・タイマにデータがロードされ、それ以外のときはI/O\_UPDATE入力信号のためにロードされません。

CFR <13>=1のときは、タイムアウト（タイマ=1）時またはI/O\_UPDATE入力信号の受信時に、リニアスイープ・ランプ・レート・タイマにデータがロードされます。

CFR <14> リニアスイープ・イネーブル・ビット

CFR <14>=0（デフォルト）のとき、AD9958のリニアスイープ機能が非アクティブになります。CFR <14>=1のときは、AD9958のリニアスイープ機能がイネーブルになります。イネーブル時には、設定したランプ・レートでデルタ周波数同調ワードが周波数アキュムレータに入力されます。

CFR <15> リニアスイープ・ノー・ドウェル・ビット

CFR <15>=0（デフォルト）のとき、リニアスイープのノー・ドウェル機能が非アクティブになります。CFR <15>=1のときは、ノー・ドウェル機能がアクティブになります。CFR <15>のアクティブ時に、リニアスイープのノー・ドウェル機能が起動されます。詳細については、「リニアスイープ（成形）変調モード」を参照してください。CFR <14>をクリアすると、このビットはドント・ケアになります。

CFR <18:16> オープン

CFR <23:22> 振幅、周波数、位相変調選択ビット。各チャンネルで実行される変調のタイプを選択します。詳細については、「変調モード」を参照してください。

チャンネル周波数同調ワード（CFTW0）

CFTW0 <32:0> 各チャンネルの周波数同調ワード0

チャンネル位相オフセット・ワード（CPOW）

CPO0 <13:0> 各チャンネルの位相オフセット・ワード0

CPO0 <15:14> オープン

振幅コントロール・レジスタ（ACR）

ACR <9:0> 各チャンネルの振幅スケール・ファクタ・ビット

ACR <10> 振幅ランプ・レート・ロード制御ビット

ACR <10>=0（デフォルト）のとき、タイムアウト（タイマ=1）時のみ振幅ランプ・レート・タイマにデータがロードされ、それ以外のときはI/O\_UPDATE入力信号（またはプロファイル・ビットの変化）のためにロードされません。

ACR <10>=1のときは、タイムアウト（タイマ=1）時またはI/O\_UPDATE入力信号の受信時（あるいはプロファイル・ビットの変化時）に、振幅ランプ・レート・タイマにデータがロードされます。

ACR <11> 自動RU/RDイネーブル・ビット（ACR <12>がアクティブ・ハイのときのみ有効）

ACR <11>=0（デフォルト）のとき、ACR <12>がアクティブであれば、手動RU/RD動作がイネーブルになります。ACR <11>=1のときは、ACR <12>がアクティブであれば、自動RU/RD動作がイネーブルになります。詳細については、「出力振幅制御モード」を参照してください。

ACR <12> 振幅乗算器イネーブル・ビット

ACR <12>=0（デフォルト）のとき、振幅乗算器がデイスエーブルになります。このスケール機能（自動RU/RD）に供給されるクロックが停止されるため、消費電力が節減され、DDSコアからのデータは乗算器を迂回して転送されます。

ACR <12>=1のときは、振幅乗算器がイネーブルになります。

ACR <13> オープン

ACR <15:14> 振幅インクリメント／デクリメント・ステップ・サイズ設定ビット

ACR <23:16> 振幅ランプ・レート値ビット

チャンネル・リニアスイープ・レジスタ（LSR）

LSR <15:0> リニアスイープ立上がりランプ・レート設定ビット

チャンネル・リニアスイープ立上がりデルタ・ワード・レジスタ（RDW）

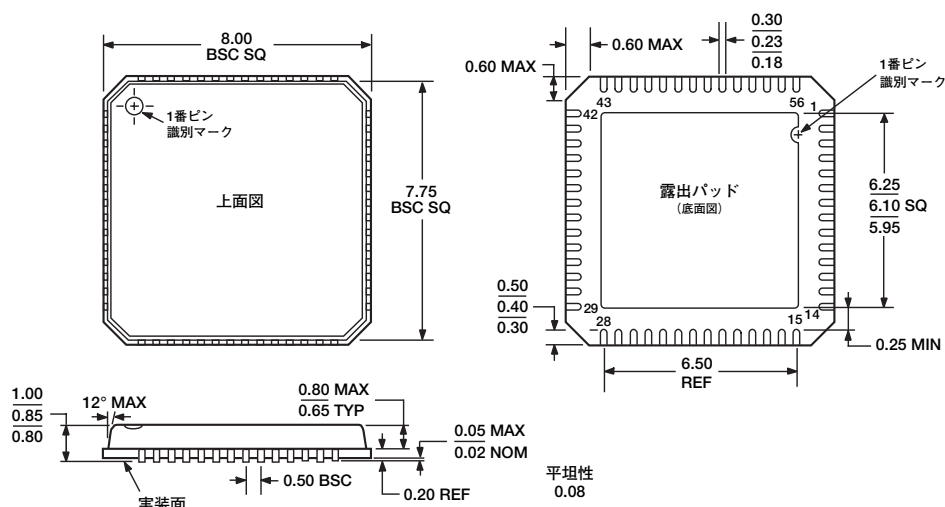
RDW <31:0> 32ビットの立上がりデルタ同調ワード

チャンネル・リニアスイープ立下がりデルタ・ワード・レジスタ（FDW）

FDW <31:0> 32ビットの立下がりデルタ同調ワード



## 外形寸法



JEDEC規格MO-220-VLLD-2に準拠

図49. 56ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]

8mm×8mmボディ、極薄クワッド

(CP-56)

寸法単位：mm

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9958BCPZ <sup>1</sup>	-40～+85℃	56ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-56
AD9958BCPZ-REEL7 <sup>1</sup>	-40～+85℃	56ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-56
AD9958/PCB		評価用ボード	

<sup>1</sup> Z=鉛フリー製品