

ADA4898-1/ADA4898-2

特長

超低ノイズ

0.9 nV/ $\sqrt{\text{Hz}}$

2.4 pA/ $\sqrt{\text{Hz}}$

10 Hz で 1.2 nV/ $\sqrt{\text{Hz}}$

超歪み: 500 kHz で -93 dBc

広い電源電圧範囲: $\pm 5\text{ V} \sim \pm 16\text{ V}$

高速

-3 dB 帯域幅: 65 MHz (G = +1)

スルーレート: 55 V/ μs

ユニティ・ゲイン安定

低入力オフセット電圧: 最大 160 μV

低入力オフセット電圧ドリフト: 1 $\mu\text{V}/^\circ\text{C}$

低入力バイアス電流: -0.1 μA

低入力バイアス電流ドリフト: 2 nA/ $^\circ\text{C}$

電源電流: 8 mA

パワーダウン機能 (シングル 8 ピン・パッケージ)

アプリケーション

計装機器

アクティブ・フィルタ

DAC バッファ

SAR ADC ドライバ

光電子工学

概要

ADA4898 は、超低ノイズ、超低歪み、ユニティ・ゲイン安定の電圧帰還オペアンプであり、 $\pm 5\text{ V} \sim \pm 16\text{ V}$ の電源で動作する 16 ビットおよび 18 ビット・システムに最適です。ADA4898 は、リニアな低ノイズ入力ステージおよび高スルーレートと低ノイズを実現する補償機能を内蔵しています。

ADA4898 は、広い電源電圧範囲、低オフセット電圧、広い帯域幅を持つため極めて多才であり、さらに入力バイアス電流を削減する相殺回路も内蔵しています。

ADA4898 は 8 ピン SOIC パッケージを採用し、このパッケージには熱放散と負電源プレーンへの熱転送を改善するエクスポーズド・メタル・パッドが付いています。この EPAD は、従来型プラスチック・パッケージに比べて優れた放熱機能を提供します。ADA4898 の動作は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$ の拡張工業温度範囲で規定されています。

接続図

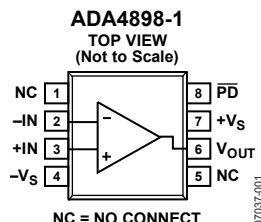


図 1. シングル 8 ピン ADA4898-1 SOIC_N_EP (RD-8-1)

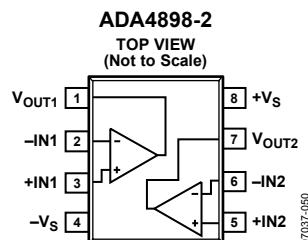


図 2. デュアル 8 ピン ADA4898-2 SOIC_N_EP (RD-8-1)

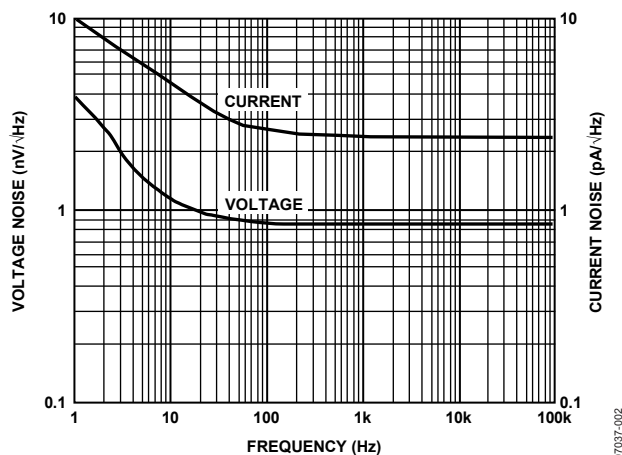


図 3. 入力電圧ノイズと電流ノイズの周波数特性

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008-2010 Analog Devices, Inc. All rights reserved.

Rev. C

目次

特長	1
アプリケーション	1
接続図	1
概要	1
改訂履歴	2
仕様	3
±15 V電源	3
±5 V電源	4
絶対最大定格	5
熱抵抗	5
最大消費電力	5
ESDの注意	5
ピン配置およびピン機能説明	6
代表的な性能特性	7
テスト回路	13

改訂履歴

1/10—Rev. B to Rev. C

Added ADA4898-2	Throughout
Changes to Features	1
Changes to Table 1	3
Changes to Table 2	4
Changes to Figure 38, Figure 40, Figure 41	14
Changes to Figure 46	15
Changes to Figure 47	16
Changes to PCB Layout Section	17
Changes to Ordering Guide	20

6/09—Rev. A to Rev. B

Changes to General Description Section	1
Changes to Specifications Section	3
Changes to Figure 29 and Figure 31	11
Added Figure 32	12
Added Figure 41	13
Changes to $\overline{\text{PD}}$ (Power-Down) Pin Section	14

動作原理	14
ADA4898-1の $\overline{\text{PD}}$ (パワーダウン)ピン	14
0.1~10 Hzでのノイズ	14
アプリケーション情報	15
高帰還抵抗ゲイン動作	15
様々なゲインに対する推奨値	15
ノイズ	16
回路の注意事項	16
PCBレイアウト	16
電源のバイパス	16
グラウンド接続	16
外形寸法	17
オーダー・ガイド	17

Added Table 6	14
Changes to Figure 45	15

8/08—Rev. 0 to Rev. A

Changes to General Description Section	1
Changes to Table 5	6
Changes to Figure 17	9
Changes to Figure 28	10
Changes to Figure 29 and Figure 32	11
Added 0.1 Hz to 10 Hz Noise Section	14
Added Figure 42 and Figure 43; Renumbered Sequentially	14
Changes to Grounding Section	16
Updated Outline Dimensions	17

5/08—Revision 0: Initial Release

仕様

±15 V電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_F = 0\ \Omega$ 、 R_G オープン、 $R_L = 1\ \text{k}\Omega$ (GNDへ接続)($G > 1$ の場合、 $R_F = 100\ \Omega$)。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_{OUT} = 100\ \text{mV p-p}$		65		MHz
	$V_{OUT} = 2\ \text{V p-p}$		14		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$		3.3		MHz
Slew Rate	$V_{OUT} = 5\ \text{V step}$		55		V/ μs
Settling Time to 0.1%	$V_{OUT} = 5\ \text{V step}$		85		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion SFDR	$f = 100\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		-116		dBc
	$f = 500\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		-93		dBc
	$f = 1\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		-79		dBc
Input Voltage Noise	$f = 1\ \text{kHz}$		0.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 1\ \text{kHz}$		2.4		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage	$R_F = 1\ \text{k}\Omega$, see Figure 43		20	125	μV
Input Offset Voltage Drift	$R_F = 1\ \text{k}\Omega$, see Figure 43		1		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	$R_F = 1\ \text{k}\Omega$, see Figure 43		-0.1	-0.4	μA
Input Bias Offset Current	$R_F = 1\ \text{k}\Omega$, see Figure 43		0.03	0.3	μA
Input Bias Current Drift	$R_F = 1\ \text{k}\Omega$, see Figure 43		2		nA/ $^\circ\text{C}$
Open-Loop Gain	$V_{OUT} = \pm 5\ \text{V}$	99	103		dB
INPUT CHARACTERISTICS					
Input Resistance	Differential mode		5		k Ω
	Common mode		30		M Ω
Input Capacitance	Differential mode		3.2		pF
	Common mode		2.5		pF
Input Common-Mode Voltage Range	See Figure 43		± 11		V
Common-Mode Rejection Ratio	$V_{CM} = \pm 2\ \text{V}$	-103	-126		dB
PD (POWER-DOWN) PIN (ADA4898-1)					
$\overline{\text{PD}}$ Input Voltages	Chip powered down		≤ -14		V
	Chip enabled		≥ -13		V
$\overline{\text{PD}}$ Turn On Time	$V_{OUT} = 100\ \text{mV p-p}$		100		ns
$\overline{\text{PD}}$ Turn Off Time	$V_{OUT} = 100\ \text{mV p-p}$		20		μs
Input Leakage Current	$\overline{\text{PD}} = +V_S$		0.1		μA
	$\overline{\text{PD}} = -V_S$		-0.2		μA
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L // (R_F + R_G) = 500\ \Omega$, see Figure 43	-11.0 to +11.8	-11.7 to +12.1		V
	$R_L // (R_F + R_G) = 1\ \text{k}\Omega$, see Figure 43	-12.5 to +12.5	-12.8 to +12.7		V
Linear Output Current	$f = 100\ \text{kHz}$, SFDR = -70 dBc, $R_L = 150\ \Omega$		40		mA
Short-Circuit Current	Sinking/sourcing		150		mA
Off Isolation	$f = 1\ \text{MHz}$, $\overline{\text{PD}} = -V_S$		80		dB
POWER SUPPLY					
Operating Range		± 4.5		± 16.5	V
Quiescent Current per Amplifier	$\overline{\text{PD}} = +V_S$		7.9	8.7	mA
	$\overline{\text{PD}} = -V_S$		0.1	0.3	mA
Positive Power Supply Rejection Ratio	$+V_S = 15\ \text{V}$ to $17\ \text{V}$, $-V_S = -15\ \text{V}$	-98	-107		dB
Negative Power Supply Rejection Ratio	$+V_S = 15\ \text{V}$, $-V_S = -15\ \text{V}$ to $-17\ \text{V}$	-100	-114		dB

±5 V電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_F = 0\ \Omega$ 、 R_G オープン、 $R_L = 1\ \text{k}\Omega$ (GNDへ接続) ($G > 1$ の場合、 $R_F = 100\ \Omega$)。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_{OUT} = 100\ \text{mV p-p}$		57		MHz
	$V_{OUT} = 2\ \text{V p-p}$		12		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$		3		MHz
Slew Rate	$V_{OUT} = 2\ \text{V step}$		50		V/ μs
Settling Time to 0.1%	$V_{OUT} = 2\ \text{V step}$		90		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion SFDR	$f = 100\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		-110		dBc
	$f = 500\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		-95		dBc
	$f = 1\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		-78		dBc
Input Voltage Noise	$f = 1\ \text{kHz}$		0.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 1\ \text{kHz}$		2.4		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage	$R_F = 1\ \text{k}\Omega$, see Figure 43		30	160	μV
Input Offset Voltage Drift	$R_F = 1\ \text{k}\Omega$, see Figure 43		1		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	$R_F = 1\ \text{k}\Omega$, see Figure 43		-0.1	-0.5	μA
Input Bias Offset Current	$R_F = 1\ \text{k}\Omega$, see Figure 43		0.05	0.3	μA
Input Bias Current Drift	$R_F = 1\ \text{k}\Omega$, see Figure 43		2		nA/ $^\circ\text{C}$
Open-Loop Gain	$V_{OUT} = \pm 1\ \text{V}$	87	94		dB
INPUT CHARACTERISTICS					
Input Resistance	Differential mode		5		k Ω
	Common mode		30		M Ω
Input Capacitance	Differential mode		3.2		pF
	Common mode		2.5		pF
Input Common-Mode Voltage Range	See Figure 43		-3 to +2.5		V
Common-Mode Rejection Ratio	$\Delta V_{CM} = 1\ \text{V p-p}$	-102	-120		dB
PD (POWER-DOWN) PIN (ADA4898-1)					
$\overline{\text{PD}}$ Input Voltages	Chip powered down		≤ -4		V
	Chip enabled		≥ -3		V
$\overline{\text{PD}}$ Turn On Time	$V_{OUT} = 100\ \text{mV p-p}$		100		ns
$\overline{\text{PD}}$ Turn Off Time	$V_{OUT} = 100\ \text{mV p-p}$		20		μs
Input Leakage Current	$\overline{\text{PD}} = +V_S$		0.1		μA
	$\overline{\text{PD}} = -V_S$		-2		μA
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L // (R_F + R_G) = 500\ \Omega$, see Figure 43	± 3.1	± 3.2		V
	$R_L // (R_F + R_G) = 1\ \text{k}\Omega$, see Figure 43	± 3.3	± 3.4		V
Linear Output Current	$f = 100\ \text{kHz}$, SFDR = -70 dBc, $R_L = 150\ \Omega$		8		mA
Short-Circuit Current	Sinking/sourcing		150		mA
Off Isolation	$f = 1\ \text{MHz}$, $\overline{\text{PD}} = -V_S$		80		dB
POWER SUPPLY					
Operating Range		± 4.5		± 16.5	V
Quiescent Current Per Amplifier	$\overline{\text{PD}} = +V_S$		7.5	8.4	mA
	$\overline{\text{PD}} = -V_S$		0.1	0.2	mA
Positive Power Supply Rejection Ratio	$+V_S = 5\ \text{V to } 7\ \text{V}$, $-V_S = -5\ \text{V}$	-95	-100		dB
Negative Power Supply Rejection Ratio	$+V_S = 5\ \text{V}$, $-V_S = -5\ \text{V to } -7\ \text{V}$	-97	-104		dB

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	36 V
Power Dissipation	See Figure 4
Differential Mode Input Voltage	±1.5 V
Common-Mode Input Voltage	±11.4 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +105°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち銅プレーンに熱的に接続された PCB 表面のパッドにデバイスのエクスポート・パッドをハンダ付けした状態で、自然空冷のもとで θ_{JA} を規定。

表 4.

Package Type	θ_{JA}	θ_{JC}	Unit
Single 8-Lead SOIC_N_EP on a 4-Layer Board	47	29	°C/W
Dual 8-Lead SOIC_N_EP on a 4-Layer Board	42	29	°C/W

最大消費電力

ADA4898 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス転移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4898 のパラメータ性能が永久的にシフトしてしまうことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と出力負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存します。各出力の負荷駆動に起因する電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。これらの計算では RMS 電圧と RMS 電流を使用する必要があります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。パッケージ底面のエクスポート・パッドは、規定の θ_{JA} を実現するために銅プレーンに熱的に接続された PCB 面のパッドにハンダ付けする必要があります。

図 4 に、パッケージの最大消費電力対周囲温度をシングルとデュアルの 8 ピン SOIC_N_EP について示します。パッケージ底面のパッドは、JEDEC 標準 4 層ボード上の PCB プレーンに熱的に接続されたパッドにハンダ付けしています。 θ_{JA} 値 は近似値です。

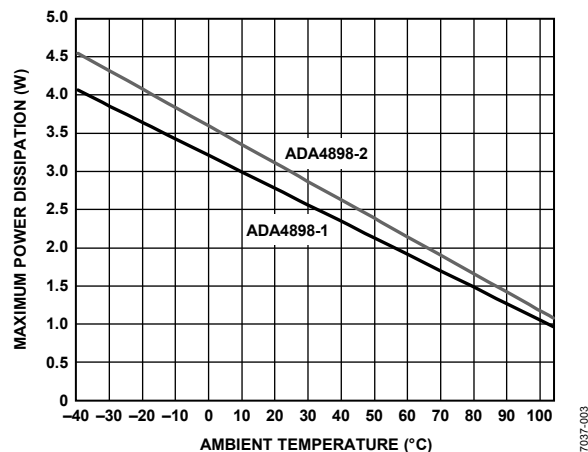


図 4. 周囲温度対最大消費電力

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

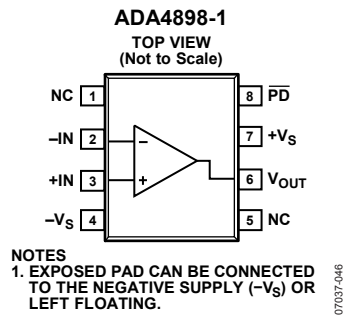


図 5. シングル 8 ピン SOIC_N_EP のピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	NC	未接続。
2	-IN	反転入力。
3	+IN	非反転入力。
4	-V _S	負電源。
5	NC	未接続。
6	V _{OUT}	出力。
7	+V _S	正電源。
8	PD EP	パワーダウンの反転。 エクスポーズド・パッド。負電源 (-V _S) に接続するか、またはフローティングのままにすることができます。

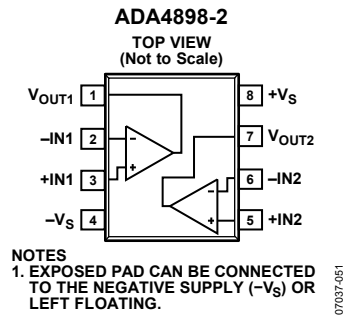


図 6. デュアル 8 ピン SOIC_N_EP のピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1	V _{OUT1}	出力 1。
2	-IN1	反転入力 1。
3	+IN1	非反転入力 1。
4	-V _S	負電源。
5	+IN2	非反転入力 2。
6	-IN2	反転入力 2。
7	V _{OUT2}	出力 2。
8	+V _S EP	正電源。 エクスポーズド・パッド。負電源 (-V _S) に接続するか、またはフローティングのままにすることができます。

代表的な性能特性

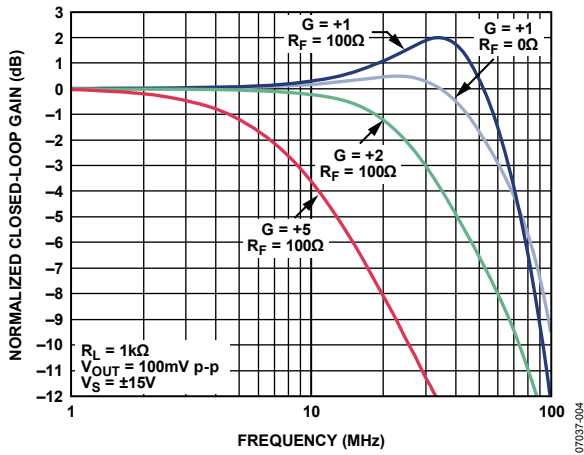


図 7. 様々なゲインでの小信号周波数応答

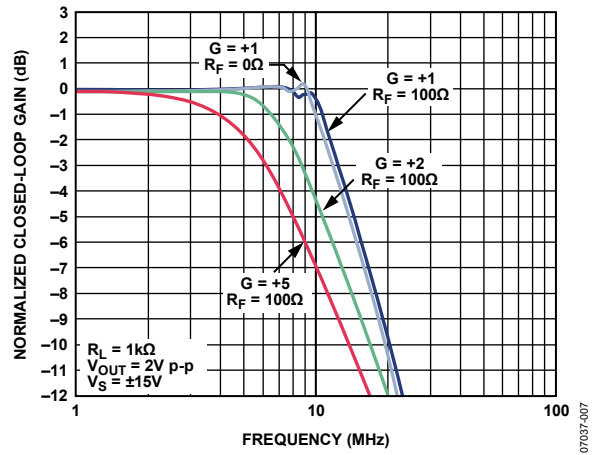


図 10. 様々なゲインでの大信号周波数応答

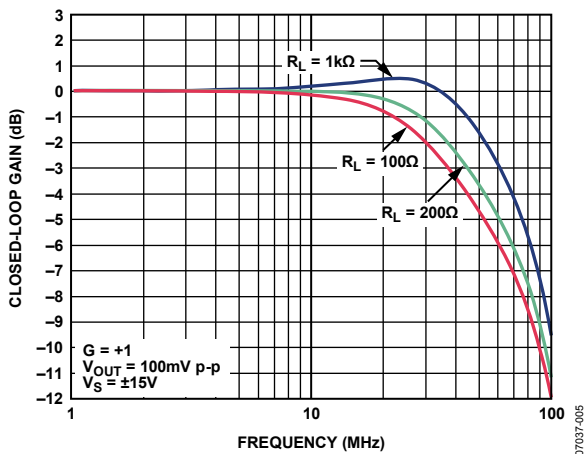


図 8. 様々な負荷での小信号周波数応答

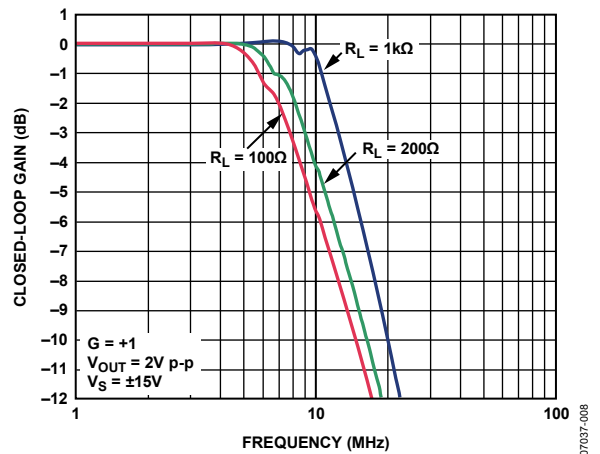


図 11. 様々な負荷での大信号周波数応答

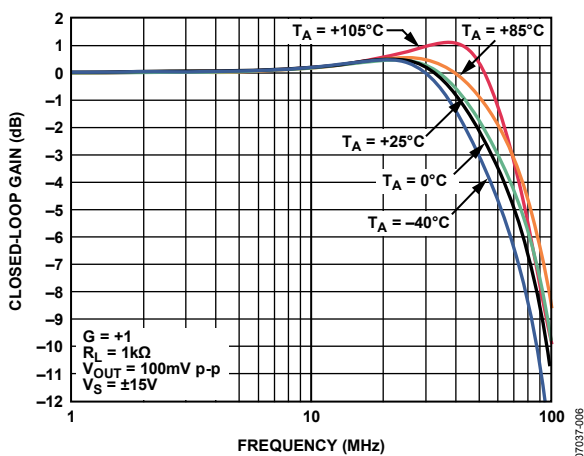


図 9. 様々な温度での小信号周波数応答

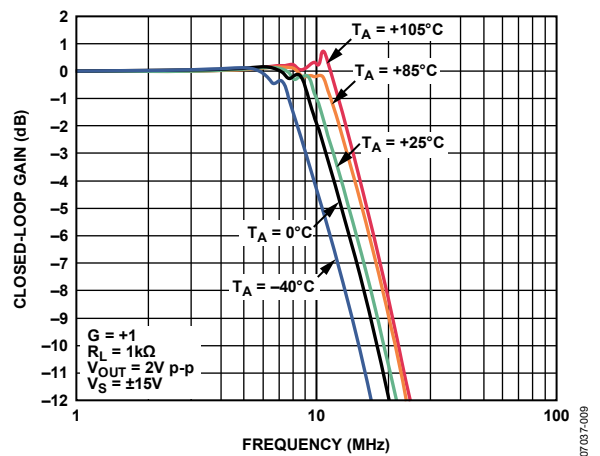


図 12. 様々な温度での大信号周波数応答

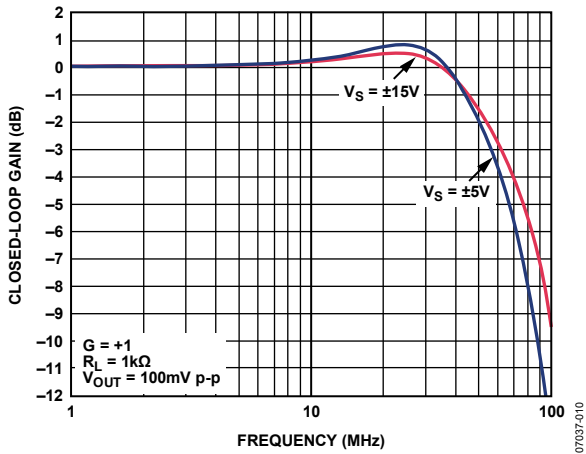


図 13.様々な電源電圧での小信号周波数応答

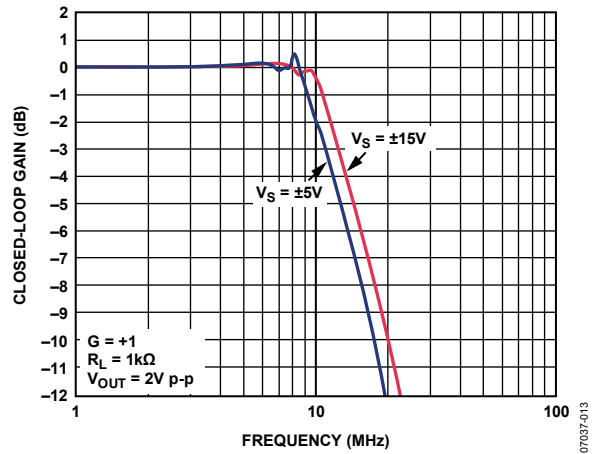


図 16.様々な電源電圧での大信号周波数応答

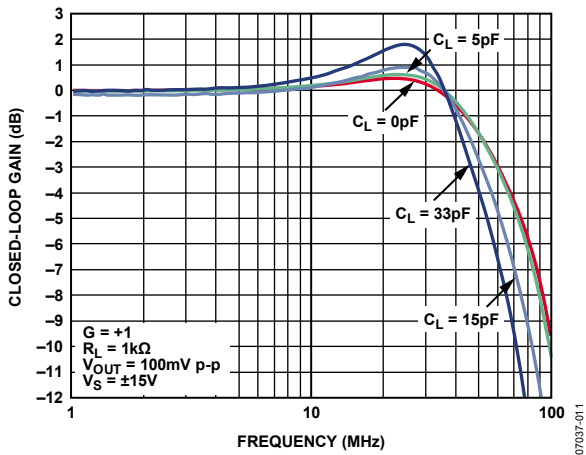


図 14.様々な容量負荷での小信号周波数応答

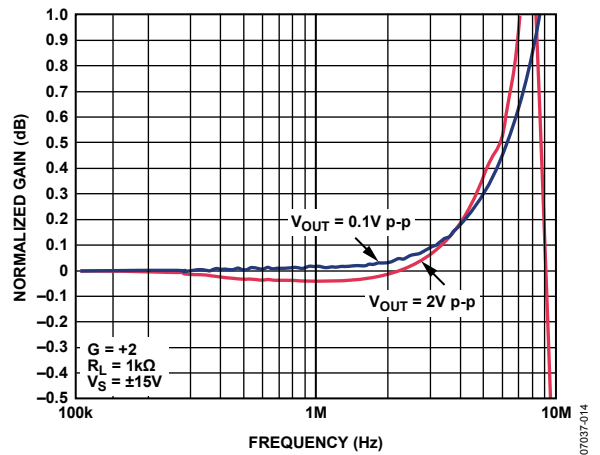


図 17. 様々な出力電圧での 0.1 dB 平坦性

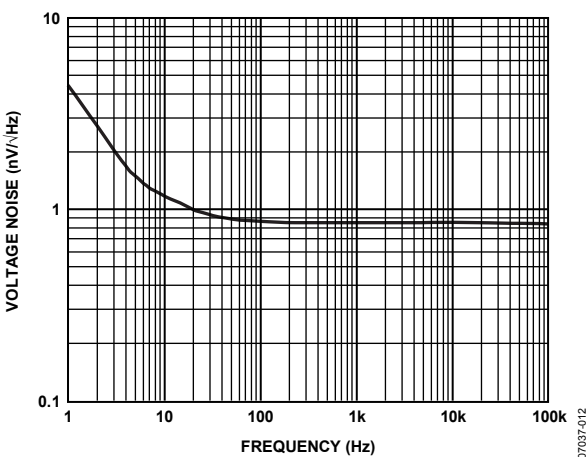


図 15.電圧ノイズの周波数特性

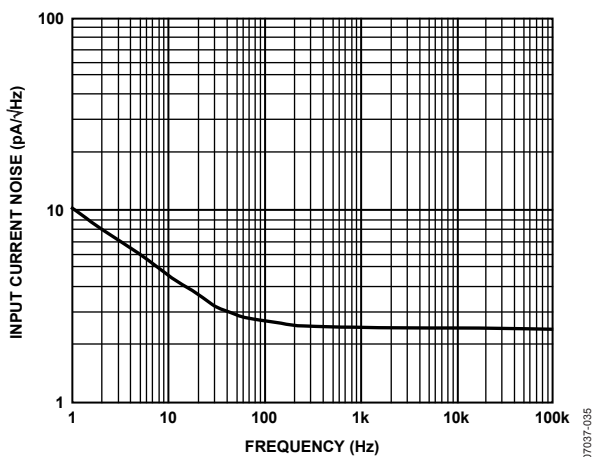


図 18.入力電流ノイズの周波数特性

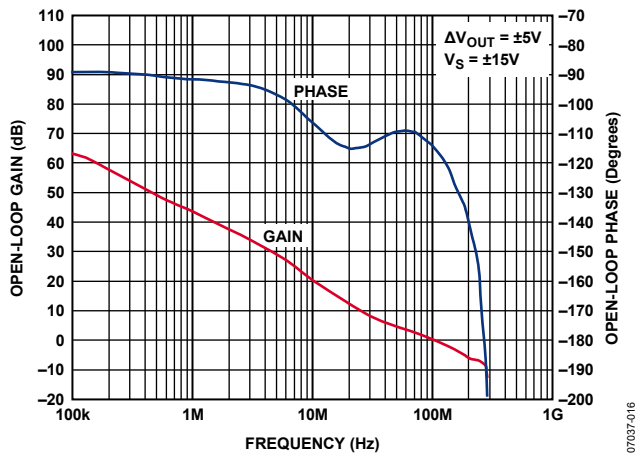


図 19. オープン・ループ・ゲインおよび位相の周波数特性

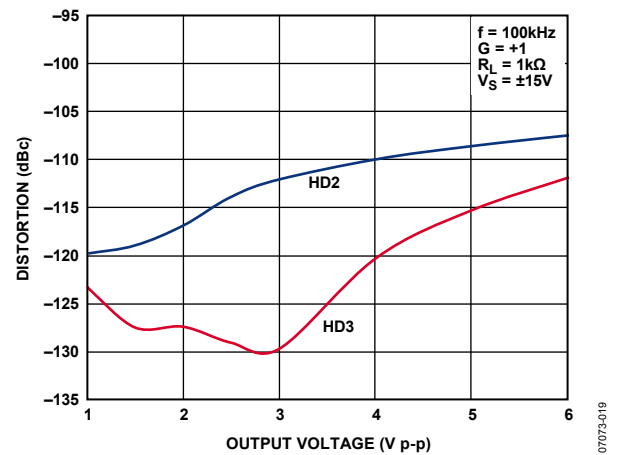


図 22. 出力振幅対高調波歪み

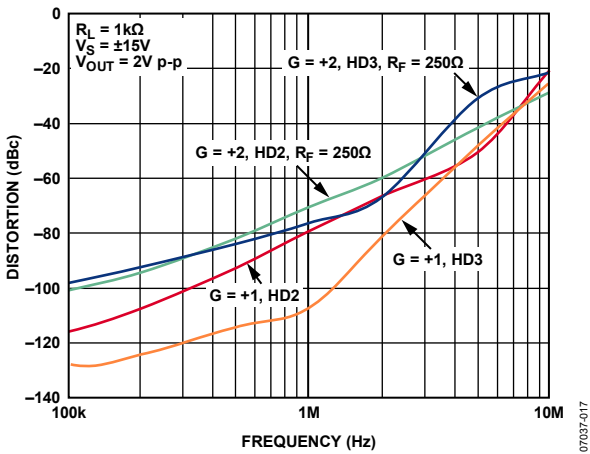


図 20. 高調波歪み対周波数およびゲイン

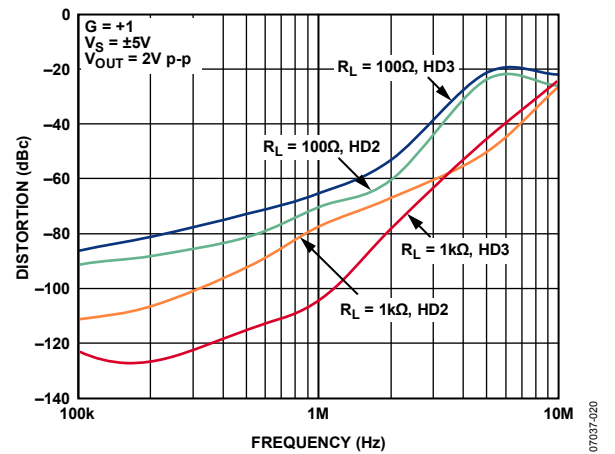


図 23. 高調波歪対周波数および負荷

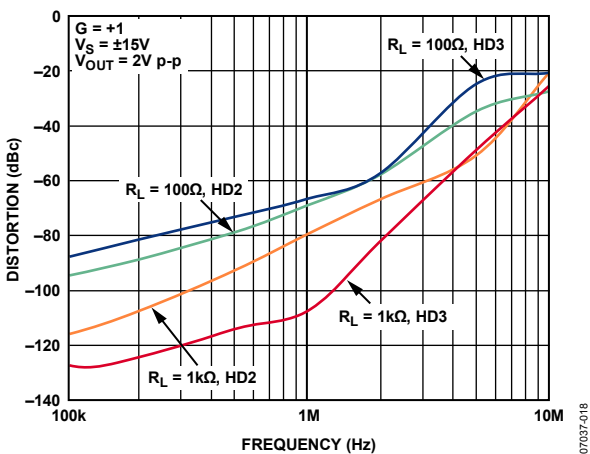


図 21. 高調波歪対周波数および負荷

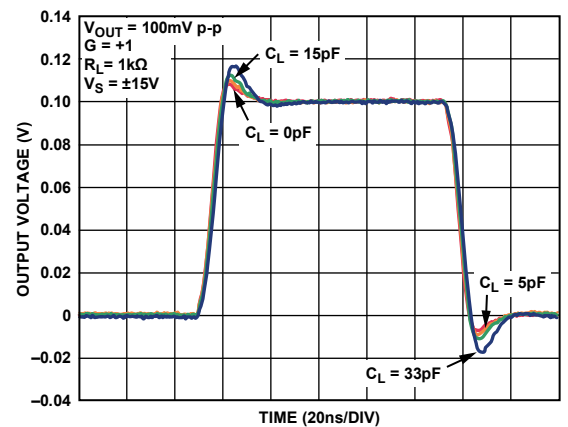


図 24. 様々な容量負荷での小信号過渡応答

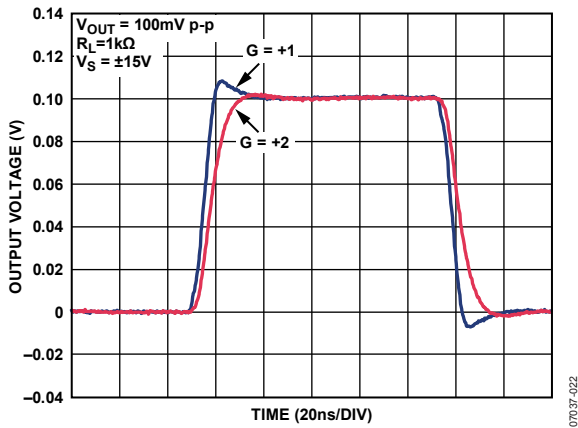


図 25. 様々なゲインでの小信号過渡応答

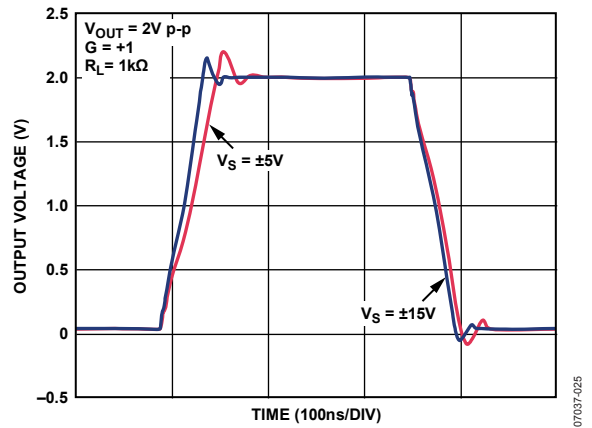


図 28. 様々な電源電圧での大信号過渡応答、 $R_L = 1\text{ k}\Omega$

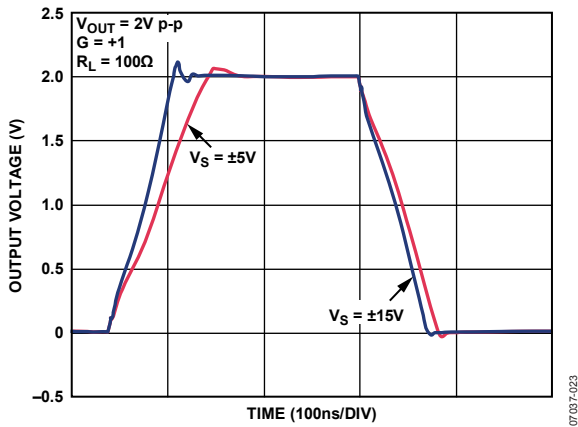


図 26. 様々な電源電圧での大信号過渡応答、 $R_L = 100\ \Omega$

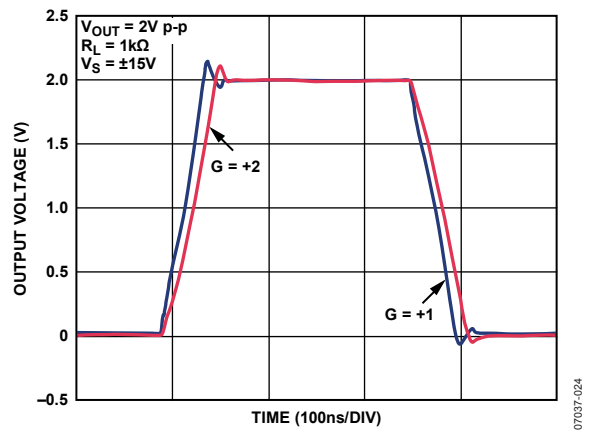


図 29. 様々なゲインでの大信号過渡応答

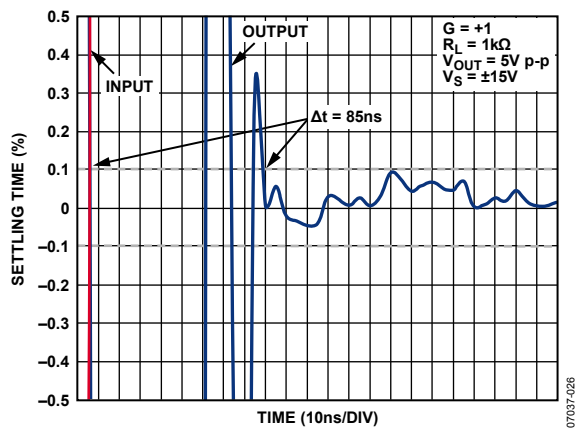


図 27. セットリング・タイム

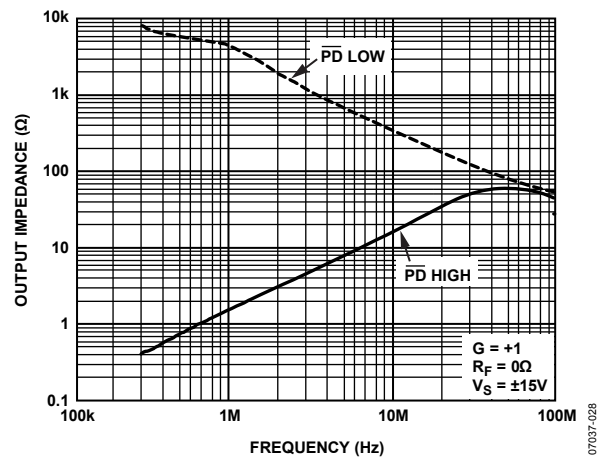


図 30. 出力インピーダンスの周波数特性

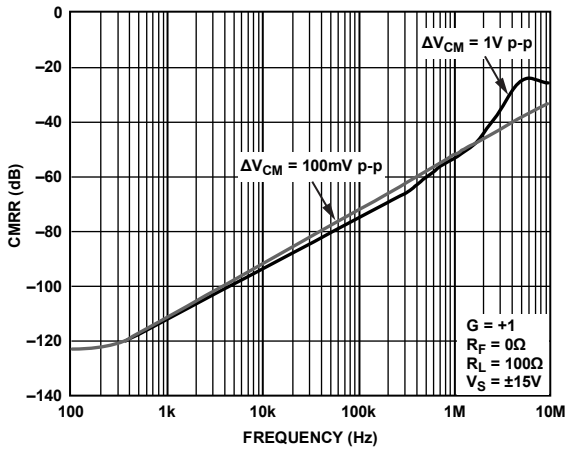


図 31.同相モード除去比(CMRR)の周波数特性

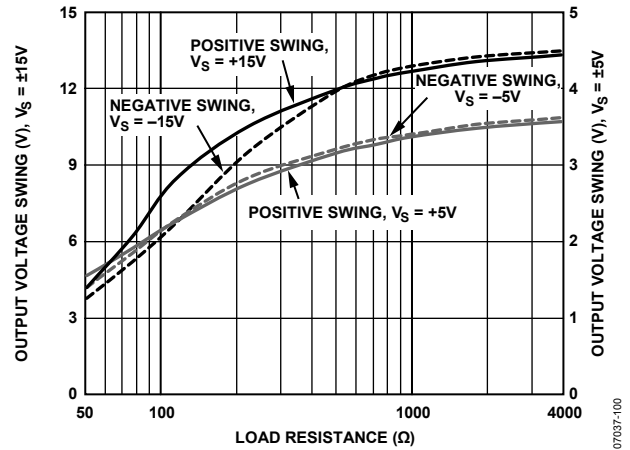


図 34 負荷対出力振幅、 $G = +2$ 、負荷 = $R_L // (R_F + R_G)$

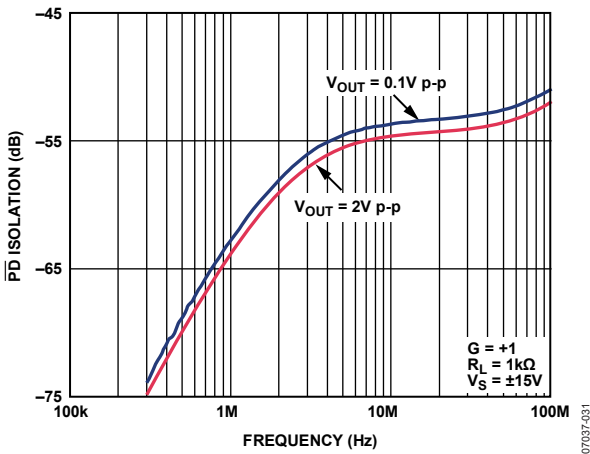


図 32. \overline{PD} 入力ー出力間アイソレーションの周波数特性

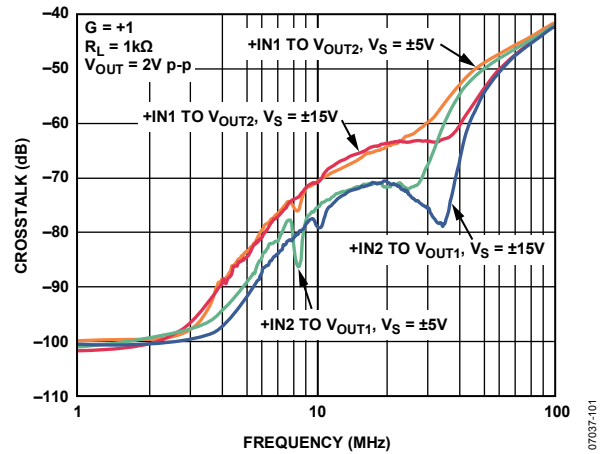


図 35.クロストークの周波数特性

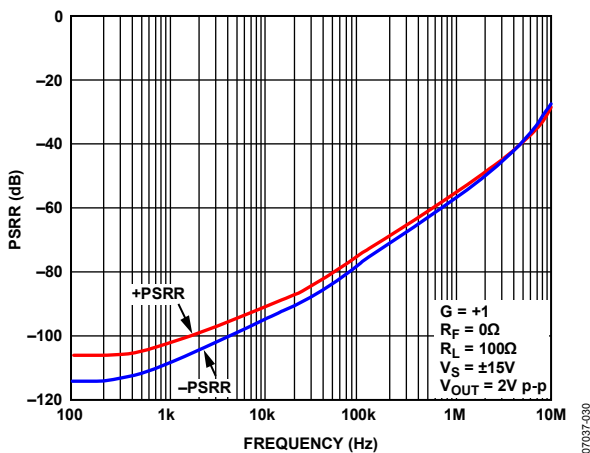


図 33.電源除去比(PSRR)の周波数特性

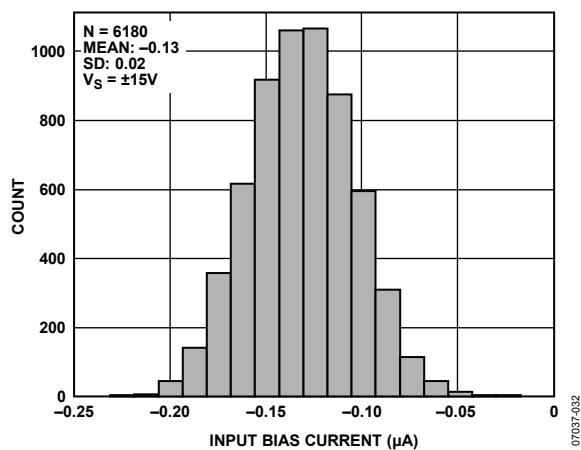


図 36.入力バイアス電流の分布

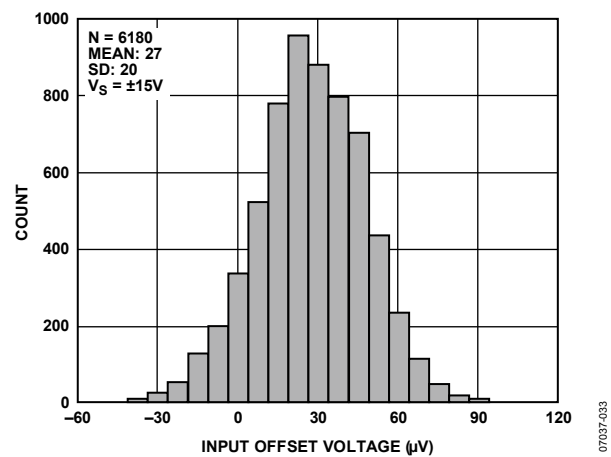
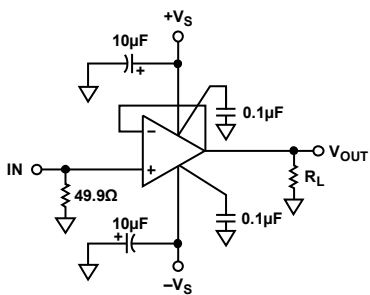


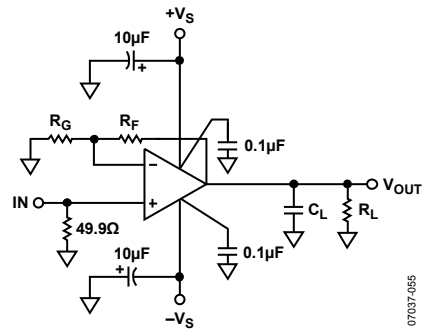
図 37.入力オフセット電圧の分布、 $V_S = \pm 15V$

テスト回路



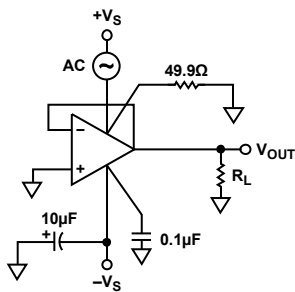
07037-052

図 38. 代表的な非反転負荷構成



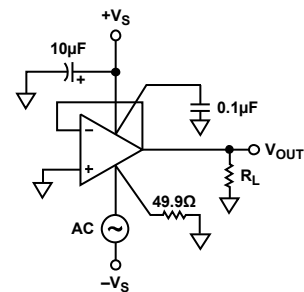
07037-055

図 41. 代表的な容量負荷構成



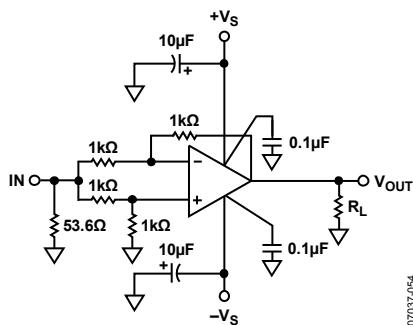
07037-053

図 39. 正電源除去比



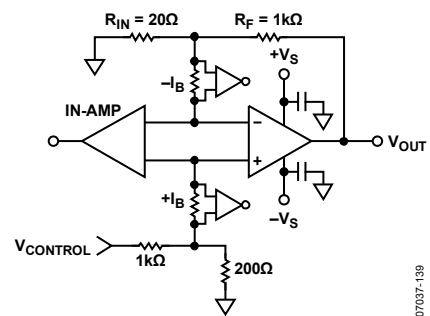
07037-056

図 42. 負電源除去比



07037-064

図 40. 同相モード除去比



07037-139

図 43. DC テスト回路

動作原理

ADA4898は、ユニティ・ゲイン安定性と0.9 nV/√Hzの入力ノイズとを組み合わせた電圧帰還オペアンプです。このデバイスは、ユニティ・ゲイン構成で600 kHz以上まで-90 dBcより (2 V p-p)で小さい歪みを維持できる直線性の優れた入力ステージを採用しています。ユニティ・ゲイン安定性、低入力換算ノイズ、極めて低い歪みの珍しいこの組み合わせは、アナログ・デバイス独自のオペアンプ・アーキテクチャと高電圧バイポーラ製造技術により可能になりました。

図44に示す簡略化した ADA4898回路は、ユニティ・ゲイン出力バッファを持つシングル・ゲイン・ステージです。100 dB以上のオープン・ループ・ゲインを持ち、CMRR、PSRR、オフセットのような高精度仕様を、通常は2個以上のゲイン・ステージを持つ回路でしか実現できないレベルに維持します。

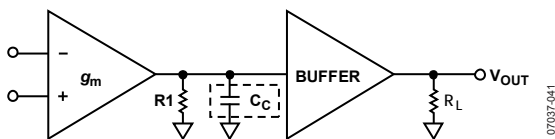


図 44.回路

ADA4898-1 のPD(パワーダウン) ピン

PDピンは、デバイスで消費される静止電力を削減することにより消費電力を節約します。消費電力が問題であり、デバイスの常時ターンオンが不要な場合に便利です。パワーダウン・モードからフル・パワー動作モードへ切り替え時のデバイスの応答は迅速です。PDは出力を高 Z 状態にしないことに注意してください。これは、ADA4898 をマルチプレクサとして使用することには推奨できないことを意味します。PDピンをフローティングにすると、アンプはフル・パワー動作モードになります。

表 7.パワーダウン電圧制御

PD Pin	±15 V	±10 V	±5 V
Power-Down Mode	≤-14 V	≤-9 V	≤-4 V

0.1~10 Hzでのノイズ

図 45 に、0.1 Hz~10 Hz での ADA4898 の電圧ノイズと電流ノイズを示します。ピークtoピーク・ノイズ電圧は 0.5 μV以下です。図 46 に、低周波ノイズの測定で使用した回路を示します。この回路では、約 0.1 Hzと 10 Hzのバンドパス・フィルタと計装用アンプに出力する高ゲイン・ステージを使用しています。

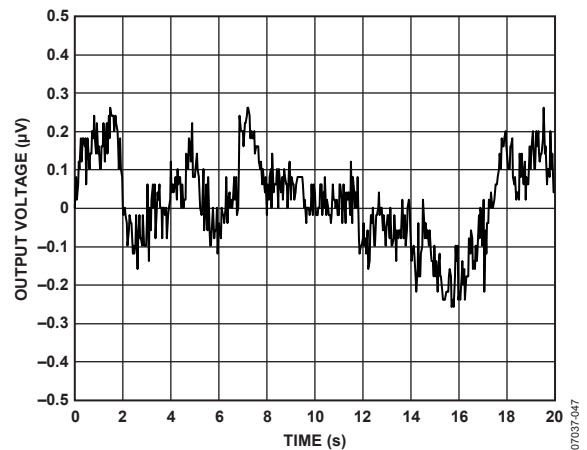


図 45.0.1~10 Hzでのノイズ

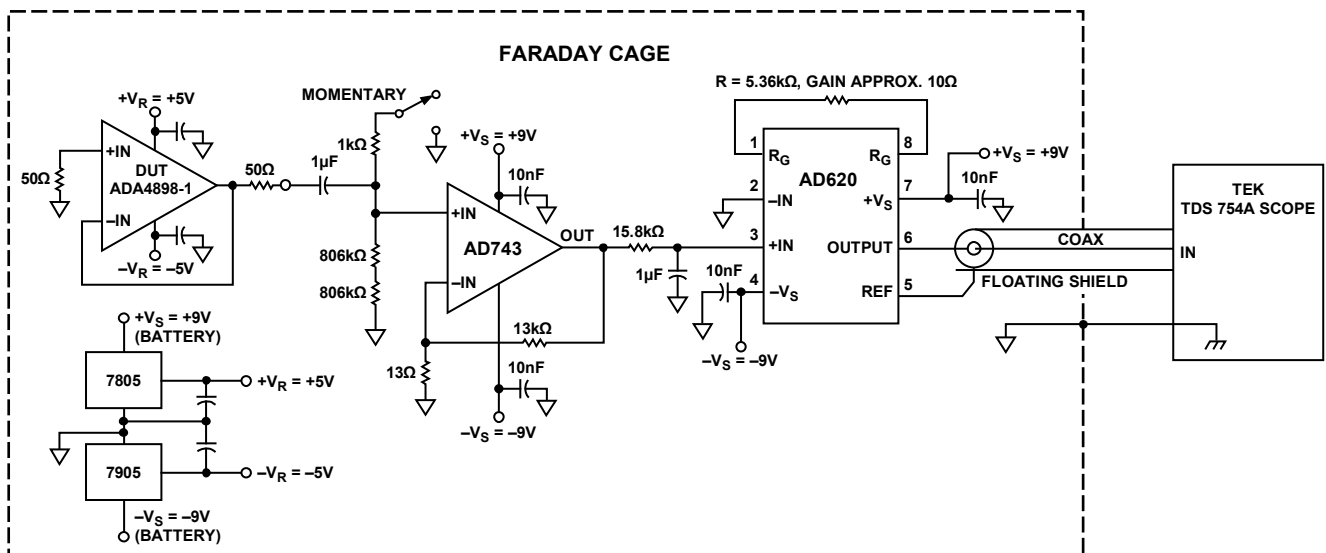


図 46.低周波数ノイズ回路

アプリケーション情報

高帰還抵抗ゲイン動作

図 47 に示す非反転ゲイン構成のADA4898 の回路図は、一般的な例です。唯一の例外は、帰還抵抗 R_F と並列な帰還コンデンサですが、このコンデンサは大きな R_F 値 (>300 Ω) を使う場合のみ推奨されます。図 48 に、100 Ω の抵抗を使用する場合と 1 k Ω の帰還抵抗を使用する場合との違いを示します。大きい帰還抵抗を使う場合のADA4898 では入力容量が大きくなると、クロード・ループ・ゲイン内のピーキングが大きくなります。小さい帰還抵抗を使うとこの問題は解決されますが、 $R_F = 100 \Omega$ で高い電源 ($\pm 15 \text{ V}$) で動作させると、帰還回路に大きな電流が流れます。この問題を回避するときは、帰還コンデンサと並列に大きな帰還抵抗を使用することができます。図 48 に、帰還コンデンサと並列に大きな R_F を使う効果を示します。このゲイン=2 の構成では、 $R_F = R_G = 1 \text{ k}\Omega$ かつ $C_F = 2.7 \text{ pF}$ となります。 C_F を使うと、ピーキングは 6 dB から 2 dB 以下に低下します。

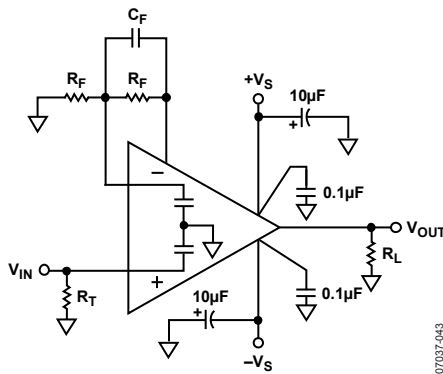


図 47. 非反転ゲイン回路

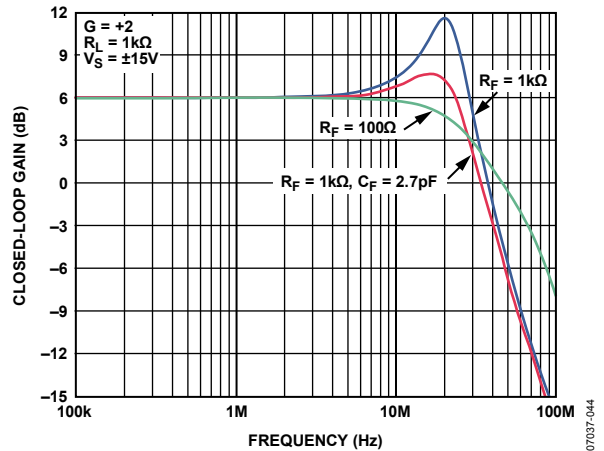


図 48. 様々な帰還インピーダンスでの小信号周波数応答

様々なゲインに対する推奨値

表 8 に、種々のゲインと対応する性能を決める際に便利なりファレンスを示します。ゲイン > 1 に対して $R_F = 100 \Omega$ にします。帰還 R_F 抵抗値を小さくすると、ピーキングが小さくなり、アンブの全体ノイズ性能に対する影響が小さくなります。

表 8. ゲインと対応する推奨抵抗値 (条件: $V_S = \pm 5 \text{ V}$, $T_A = 25^\circ\text{C}$, $R_L = 1 \text{ k}\Omega$, $R_T = 49.9 \Omega$)

Gain	R_F (Ω)	R_G (Ω)	-3 dB SS BW (MHz), $V_{OUT} = 100 \text{ mV p-p}$	Slew Rate (V/ μ s), $V_{OUT} = 2 \text{ V Step}$	ADA4898 Voltage Noise (nV/ $\sqrt{\text{Hz}}$), RTO	Total System Noise (nV/ $\sqrt{\text{Hz}}$), RTO
+1	0	N/A	65	55	0.9	1.29
+2	100	100	30	50	1.8	3.16
+5	100	24.9	9	45	4.5	7.07

ノイズ

アンプ回路のノイズ性能を解析するため、ノイズ・ソースを特定して、各ソースがアンプの全体ノイズ性能に大きな影響を与えるか否かを調べます。ノイズ計算を簡単にするため、実際の電圧ではなくノイズ・スペクトル密度を使って、帯域幅が現れないようにします。一般に $\text{nV}/\sqrt{\text{Hz}}$ で表されるノイズ・スペクトル密度は、1 Hz 帯域幅内のノイズに一致します。

図 49 に示すノイズ・モデルは、3 本の抵抗のジョンソン・ノイズ、オペアンプ電圧ノイズ、アンプ各入力の電流ノイズからなる 6 個のノイズ源を持っています。各ノイズ源は、出力でのノイズにそれぞれ寄与しています。ノイズは一般に入力換算 (RTI) で規定されますが、出力換算 (RTO) ノイズから計算する方が簡単なことがあります。このため、これをノイズ・ゲインで除算して RTI ノイズを求めます。

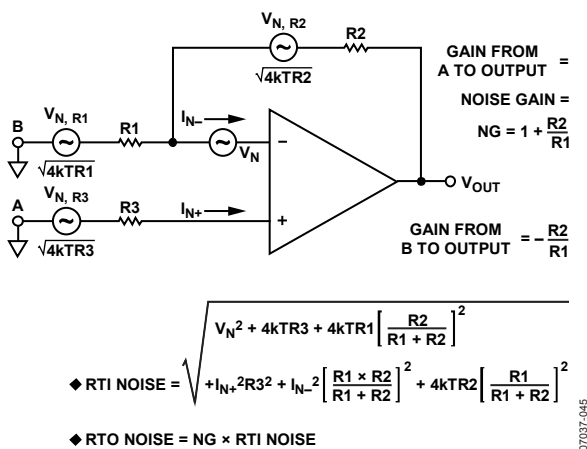


図 49. オペアンプ・ノイズの解析モデル

すべての抵抗はジョンソン・ノイズを持ち、次式で計算されます。

$$\sqrt{(4kBT R)}$$

ここで、

k はボルツマン定数 (1.38×10^{-23} J/K)。

B は帯域幅 (Hz)。

T は絶対温度 (K)。

R は抵抗 (Ω)。

覚えやすい簡単な関係は、 50Ω の抵抗が 25°C で $1 \text{ nV}/\sqrt{\text{Hz}}$ のジョンソン・ノイズを発生することです。

ノイズ感度が重要なアプリケーションでは、他の大きなノイズ源がアンプに導入されないように注意する必要があります。各抵抗はノイズ源になります。デザイン、レイアウト、部品選択

の領域に対する注意は、ロー・ノイズ性能を維持するために重要です。アンプと対応抵抗に対するノイズ性能のまとめを表 8 に示します。

回路の注意事項

最適性能を得るためには、ADA4898 ボードのレイアウトを慎重に行う必要があります。電源バイパス、寄生容量、部品の選択はすべてアンプの全体性能に関係します。

PCBレイアウト

ADA4898 の小信号帯域幅は 65 MHz であるため、高周波ボード・レイアウト技術を採用することが不可欠です。ADA4898 ピンの下のすべてのグラウンド・プレーンと電源プレーンの銅箔を除去して、入力ピンおよび出力ピンとグラウンドとの間に寄生容量が発生しないようにする必要があります。マウント・パッドの下からグラウンド・プレーンの銅箔を除去しない場合、SOIC フットプリント上の 1 個のマウント・パッドは、グラウンドとの間に 0.2 pF もの容量を追加してしまいます。

電源のバイパス

ADA4898 の電源バイパスは、周波数応答と歪み性能に対して最適化されています。図 47 に、バイパス・コンデンサの推奨値と位置を示します。電源バイパスは、安定性、周波数応答、歪み、PSR 性能にとって重要です。図 47 に示す $0.1 \mu\text{F}$ のコンデンサは、ADA4898 の電源ピンのできるだけ近くに配置する必要があります。 $10 \mu\text{F}$ の電解コンデンサは、 $0.1 \mu\text{F}$ コンデンサの隣に (近くである必要はありません) 接続する必要があります。2 つの電源の間にコンデンサを接続すると、PSR と歪み性能の向上に役立ちます。場合によっては、並列コンデンサを追加すると、周波数応答と過渡応答が改善されることがあります。

グラウンド接続

可能な場合は、グラウンド・プレーンと電源プレーンを使用します。グラウンド・プレーンと電源プレーンは、電源プレーンとグラウンド・リターンとの抵抗とインダクタンスを小さくします。入力のリターン、出力の終端、バイパス・コンデンサ、 R_G はすべて、ADA4898 のできるだけ近くに配置する必要があります。出力負荷のグラウンドとバイパス・コンデンサのグラウンドはパターン上の寄生インダクタンス、リンギング、オーバーシュートを小さくするためグラウンド・プレーン上の同じ 1 点に戻して、歪み性能を良くする必要があります。

ADA4898 パッケージには、エクスポーズド・パッドが付いています。最適な電気および熱性能を得るためには、このパッドを負電源プレーンにハンダ付けする必要があります。

外形寸法

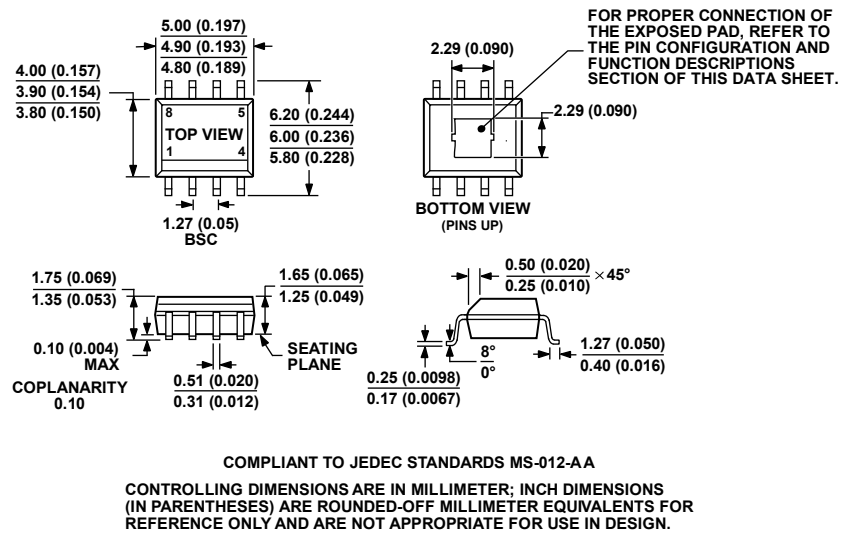


図 50.8 ピン標準スモール・アウトライン・パッケージ、エクスポーズド・パッド付き[SOIC_N_EP] (RD-8-1)
 寸法: mm (インチ)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Ordering Quantity
ADA4898-1YRDZ	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1
ADA4898-1YRDZ-R7	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1,000
ADA4898-1YRDZ-RL	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	2,500
ADA4898-2YRDZ	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1
ADA4898-2YRDZ-R7	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1,000
ADA4898-2YRDZ-RL	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	2,500

¹ Z = RoHS 準拠製品