

8 ビット・マイクロコントローラ

CMOS

F²MC-8FX MB95200H/210H シリーズ

MB95F204H/F204K/F203H/F203K/F202H/F202K
MB95F214H/F214K/F213H/F213K/F212H/F212K

■ 概要

MB95200H/210H シリーズは、コンパクトな命令体系に加えて、豊富な周辺機能を内蔵した汎用ワンチップマイクロコントローラです。

(注意事項) F²MC は FUJITSU Flexible Microcontroller の略で、富士通マイクロエレクトロニクス株式会社の商標です。

■ 特長

- ・ F²MC-8FX CPU コア
コントローラに最適な命令体系
- ・ 乗除算命令
- ・ 16 ビット演算
- ・ ビットテストによるブランチ命令
- ・ ビット操作命令など
- ・ クロック (メイン発振クロックとサブ発振クロックは、MB95F204H/F204K/F203H/F203K/F202H/F202K のみ)
- ・ 選択可能なメインクロックソース
メイン 発振クロック (最大 16.25 MHz, 最大マシニングクロック周波数: 8.125 MHz)
外部クロック (最大 32.5 MHz, 最大マシニングクロック周波数: 16.25 MHz)
内部メイン CR クロック (1/8/10 MHz \pm 3%, 最大マシニングクロック周波数: 10 MHz)
- ・ 選択可能なサブクロックソース
サブ 発振 クロック (32.768 kHz)
外部クロック (32.768 kHz)
内部サブ CR クロック (標準: 100 kHz, 最小: 50 kHz, 最大: 200 kHz)
- ・ タイマ
・ 8/16 ビット複合タイマ
・ タイムベースタイマ
・ 時計プリスケアラ
- ・ LIN-UART (MB95F204H/F204K/F203H/F203K/F202H/F202K)
・ 全二重ダブルバッファ
・ クロック同期のシリアルデータ転送およびクロック非同期のシリアルデータ転送が可能

(続く)

MB95200H/210H シリーズ

- ・外部割込み
 - ・エッジ検出による割込み (立上りエッジ, 立下りエッジ, および両エッジから選択可能)
 - ・各種の低消費電力 (スタンバイ) モードからの解除としても使用可能
- ・8/10 ビット A/D コンバータ
 - ・8 ビットまたは 10 ビット分解能の選択可能
- ・低消費電力 (スタンバイ) モード
 - ・ストップモード
 - ・スリープモード
 - ・時計モード
 - ・タイムベースタイマモード
- ・I/O ポート (最大ポート数: 17 本) (MB95F204K/F203K/F202K)
 - ・汎用入出力ポート (最大):
CMOS 入出力:15 本, N-ch オープンドレイン:2 本
- ・I/O ポート (最大ポート数: 16 本) (MB95F204H/F203H/F202H)
 - ・汎用入出力ポート (最大):
CMOS 入出力:15 本, N-ch オープンドレイン:1 本
- ・I/O ポート (最大ポート数: 5 本) (MB95F214K/F213K/F212K)
 - ・汎用入出力ポート (最大):
CMOS 入出力:3 本, N-ch オープンドレイン:2 本
- ・I/O ポート (最大ポート数: 4 本) (MB95F214H/F213H/F212H)
 - ・汎用入出力ポート (最大):
CMOS 入出力:3 本, N-ch オープンドレイン:1 本
- ・オンチップデバッグ
 - ・1 線式シリアル制御
 - ・シリアル書込みサポート (非同期モード)
- ・ハードウェア / ソフトウェアウォッチドッグタイマ
 - ・ハードウェアウォッチドッグタイマ内蔵
- ・低電圧検出リセット回路
 - ・低電圧検出器内蔵
- ・クロックスーパーバイザカウンタ
 - ・クロックスーパーバイザカウンタ機能内蔵
- ・ポートの入力電圧レベルを変更可能
 - ・CMOS 入力レベル / ヒステリシス入力レベル
- ・フラッシュメモリセキュリティ機能
 - ・フラッシュメモリ内容を保護

MB95200H/210H シリーズ

■ 品種構成

項目	MB95 F204H	MB95 F203H	MB95 F202H	MB95 F204K	MB95 F203K	MB95 F202K	MB95 F214H	MB95 F213H	MB95 F212H	MB95 F214K	MB95 F213K	MB95 F212K
分類	フラッシュメモリ品											
クロックスーパーバイザカウンタ	メインクロックの発振を監視											
ROM 容量	16 KB	8 KB	4 KB	16 KB	8 KB	4 KB	16 KB	8 KB	4 KB	16 KB	8 KB	4 KB
RAM 容量	496 B	496 B	240 B	496 B	496 B	240 B	496 B	496 B	240 B	496 B	496 B	240 B
低電圧検出リセット	なし			あり			なし			あり		
リセット入力	専用のリセット入力あり			ソフトウェア選択			専用のリセット入力あり			ソフトウェア選択		
CPU 機能	基本命令数 : 136 命令 命令ビット長 : 8 ビット 命令長 : 1 ~ 3 バイト データビット長 : 1, 8, 16 ビット長 最小命令実行時間 : 61.5 ns (マシクロック周波数 16.25 MHz 時) 割り込み処理時間 : 0.6 μs (マシクロック周波数 16.25 MHz 時)											
汎用入出力	I/O ポート (最大) : 16 本 CMOS : 15 本, N-ch : 1 本			I/O ポート (最大) : 17 本 CMOS : 15 本, N-ch : 2 本			I/O ポート (最大) : 4 本 CMOS : 3 本 N-ch : 1 本			I/O ポート (最大) : 5 本 CMOS : 3 本 N-ch : 2 本		
タイムベースタイマ	割り込み周期 0.256 ms ~ 8.3 s (外部クロック 4 MHz 時)											
ハードウェア/ソフトウェアウォッチドッグタイマ	リセット発生周期 メイン発振クロック 10 MHz 時 : 105 ms (最小) サブ内部 CR クロックをハードウェアウォッチドッグのソースクロックとして使用可能											
ワイルドレジスタ	3 バイト分のデータ置換え可能											
LIN-UART	専用リロードタイマによって広範囲の通信速度の選択が可能 全二重ダブルバッファ搭載 クロック同期のシリアルデータ転送およびクロック同期非のシリアルデータ転送が可能 LIN 機能は LIN マスタまたは LIN スレーブとして使用可能						LIN-UART なし					
8/10 ビット A/D コンバータ	6 チャンネル						2 チャンネル					
	8 ビットまたは 10 ビット分解能の選択が可能											
8/16 ビット複合タイマ	2 チャンネル						1 チャンネル					
	タイマは 8 ビットタイマ × 2 チャンネル, または 16 ビットタイマ × 1 チャンネルとして構成可能 タイマ機能, PWC 機能, PWM 機能および入力キャプチャ機能内蔵 カウントクロック : 内部クロック (7 種類) および外部クロックから選択可能 方形波出力可能											
外部割り込み	6 チャンネル						2 チャンネル					
	エッジ検出による割り込み (立上りエッジ, 立下りエッジ, または両エッジから選択可能) スタンバイモードからの解除としても使用可能											
オンチップデバッグ	1 線式シリアル制御 シリアル書き込みをサポート (非同期モード)											

(続く)

MB95200H/210H シリーズ

(続き)

項目 \ 品種	MB95 F204H	MB95 F203H	MB95 F202H	MB95 F204K	MB95 F203K	MB95 F202K	MB95 F214H	MB95 F213H	MB95 F212H	MB95 F214K	MB95 F213K	MB95 F212K
時計 プリスケーラ	8種類のインターバル時間から選択可能											
フラッシュ メモリ	自動プログラミング, Embedded Algorithm, 書込み / 消去 / 消去一時停止 / 消去再開コマンドをサポート アルゴリズム完了を示すフラグ 書込み / 消去回数 (最小) : 100000 回 データ保持期間 : 20 年間 書込み / 消去には, 外部 V_{pp} (+ 10 V) 入力が必要 フラッシュ内容を保護するフラッシュセキュリティ機能											
スタンバイ モード	スリープモード, ストップモード, 時計モード, タイムベースタイマモード											
パッケージ	SDIP-24 SOP-20						DIP-8 SOP-8					

MB95200H/210H シリーズ

■ パッケージと品種対応

項目 \ 品種	MB95 F204H	MB95 F203H	MB95 F202H	MB95 F204K	MB95 F203K	MB95 F202K	MB95 F214H	MB95 F213H	MB95 F212H	MB95 F214K	MB95 F213K	MB95 F212K
プラスチック・ SDIP, 24 ピン							×	×	×	×	×	×
プラスチック・ SOP, 20 ピン							×	×	×	×	×	×
プラスチック・ DIP, 8 ピン	×	×	×	×	×	×						
プラスチック・ SOP, 8 ピン	×	×	×	×	×	×						

: 使用可能
 × : 使用不可能

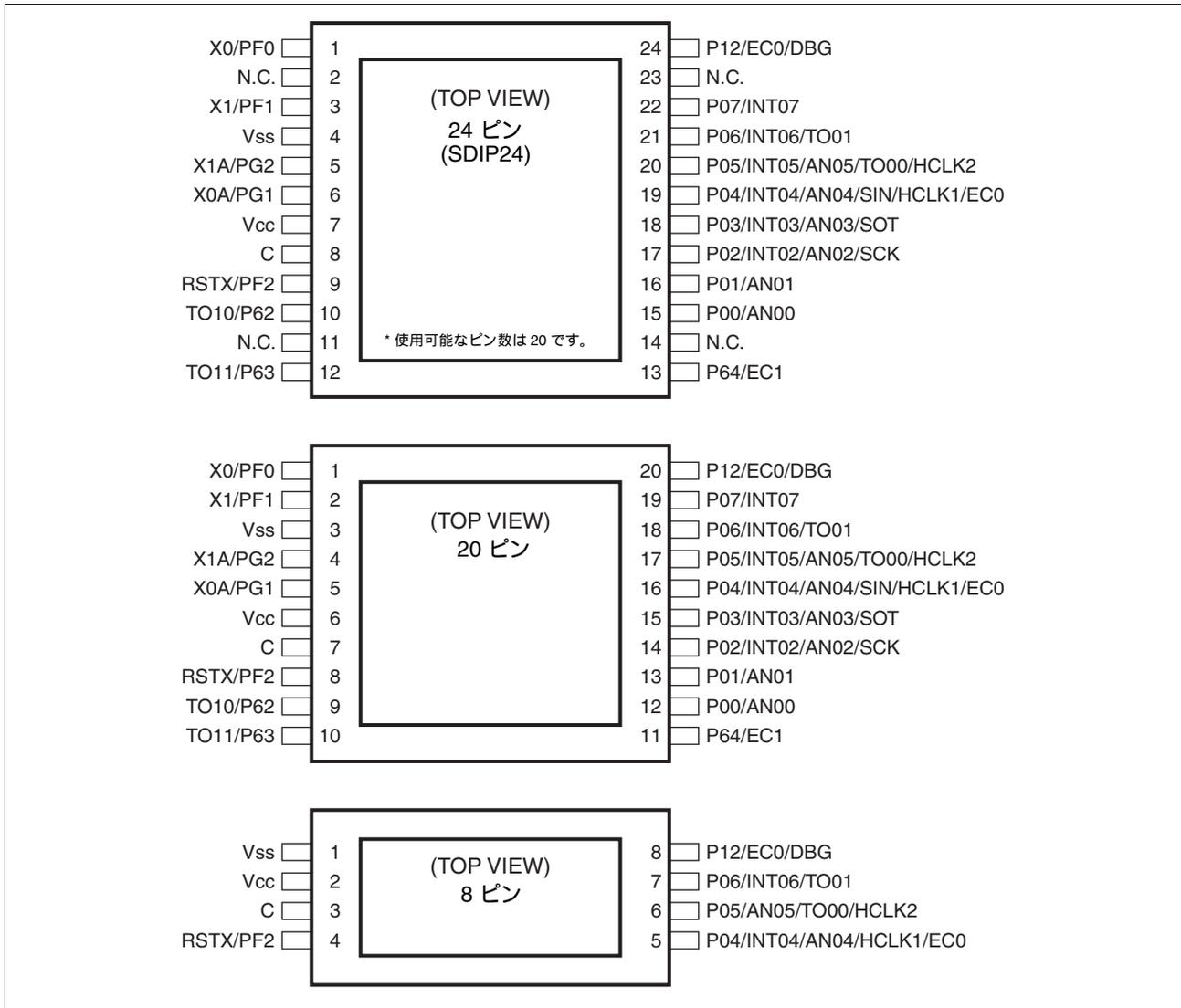
MB95200H/210H シリーズ

■ 品種間の相違点と品種選択時の注意事項

- ・ 消費電流
オンチップデバッグ機能を使用する場合は、フラッシュ消去 / プログラムの消費電流を考慮してください。
消費電流の詳細は、「電気的特性」を参照してください。
- ・ パッケージ
各パッケージの詳細は、「パッケージと品種対応」および「パッケージ・外形寸法図」を参照してください。
- ・ 動作電圧
動作電圧は、オンチップデバッグ機能を使用するか使用しないかによって異なります。
動作電圧の詳細は、「電気的特性」を参照してください。
- ・ オンチップデバッグ機能
オンチップデバッグ機能を使用する場合は、 V_{CC} 、 V_{SS} 、および 1 本のシリアルケーブルを評価ツールに接続する必要があります。さらに、フラッシュメモリデータの更新を行う場合は、RSTX/PF2 端子も同じ評価ツールに接続する必要があります。

MB95200H/210H シリーズ

■ 端子配列図



MB95200H/210H シリーズ

■ 端子機能説明 (MB95200H シリーズ)

端子番号	端子名	入出力回路形式*	機能
1	PF0/X0	B	汎用入出力ポートです。 この端子はメインクロック用入力発振端子としても使用されます。
2	PF1/X1	B	汎用入出力ポートです。 この端子はメインクロック用入出力発振端子としても使用されます。
3	Vss	—	電源 (GND) 端子です。
4	PG2/X1A	C	汎用入出力ポートです。 この端子はサブクロック用入出力発振端子としても使用されます。
5	PG1/X0A	C	汎用入出力ポートです。 この端子はサブクロック用入力発振端子としても使用されます。
6	Vcc	—	電源端子です。
7	C	—	コンデンサ接続端子です。
8	PF2/RSTX	A	汎用入出力ポートです。 この端子はリセット端子としても使用されます。 MB95F204H/F203H/F202H では専用のリセット端子となります。
9	P62/TO10	D	汎用入出力ポートです。 大電流ポートです。 この端子は 8/16 ビット複合タイマ ch.1 出力としても使用されます。
10	P63/TO11	D	汎用入出力ポートです。 大電流ポートです。 この端子は 8/16 ビット複合タイマ ch.1 出力としても使用されます。
11	P64/EC1	D	汎用入出力ポートです。 この端子は 8/16 ビット複合タイマ ch.1 クロック入力としても使用されます。
12	P00/AN00	E	汎用入出力ポートです。 この端子は A/D コンバータアナログ入力としても使用されます。
13	P01/AN01	E	汎用入出力ポートです。 この端子は A/D コンバータアナログ入力としても使用されます。
14	P02/INT02/AN02/SCK	E	汎用入出力ポートです。 外部割込み入力としても使用されます。 A/D コンバータアナログ入力としても使用されます。 LIN-UART クロック入出力としても使用されます。
15	P03/INT03/AN03/SOT	E	汎用入出力ポートです。 外部割込み入力としても使用されます。 A/D コンバータアナログ入力としても使用されます。 LIN-UART データ出力としても使用されます。
16	P04/INT04/AN04/SIN/ HCLK1/EC0	F	汎用入出力ポートです。 外部割込み入力としても使用されます。 A/D コンバータアナログ入力としても使用されます。 LIN-UART データ入力としても使用されます。 外部クロック入力としても使用されます。 8/16 ビット複合タイマ ch.0 クロック入力としても使用されます。
17	P05/INT05/AN05/ TO00/HCLK2	E	汎用入出力ポートです。 大電流ポートです。 外部割込み入力としても使用されます。 A/D コンバータアナログ入力としても使用されます。 8/16 ビット複合タイマ ch.0 出力としても使用されます。 外部クロック入力としても使用されます。

(続く)

MB95200H/210H シリーズ

(続き)

端子番号	端子名	入出力回路形式*	機能
18	P06/INT06/TO01	G	汎用入出力ポートです。 大電流ポートです。 この端子は外部割込み入力としても使用されます。 8/16 ビット複合タイマ ch.0 出力としても使用されます。
19	P07/INT07	G	汎用入出力ポートです。 この端子は外部割込み入力としても使用されます。
20	P12/EC0/DBG	H	汎用入出力ポートです。 この端子は DBG 入力端子としても使用されます。 8/16 ビット複合タイマ ch.0 クロック入力としても使用されます。

* : 入出力回路形式については「入出力回路形式」を参照してください。

MB95200H/210H シリーズ

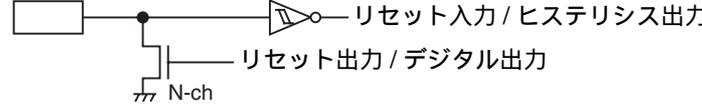
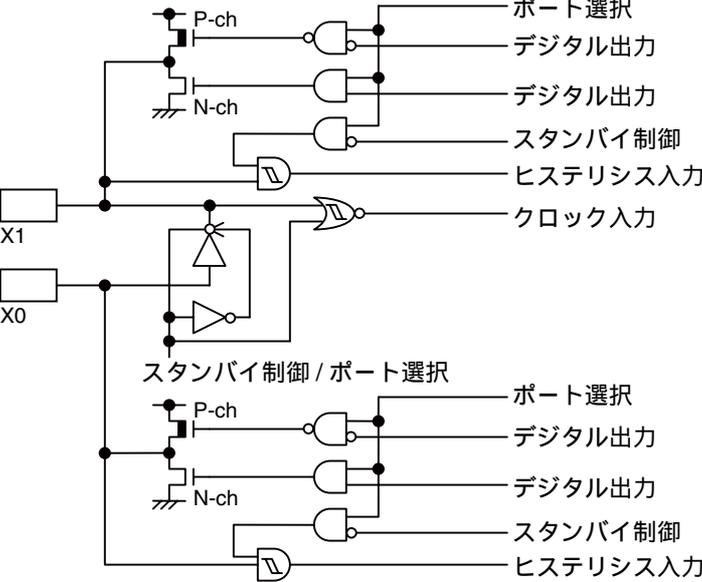
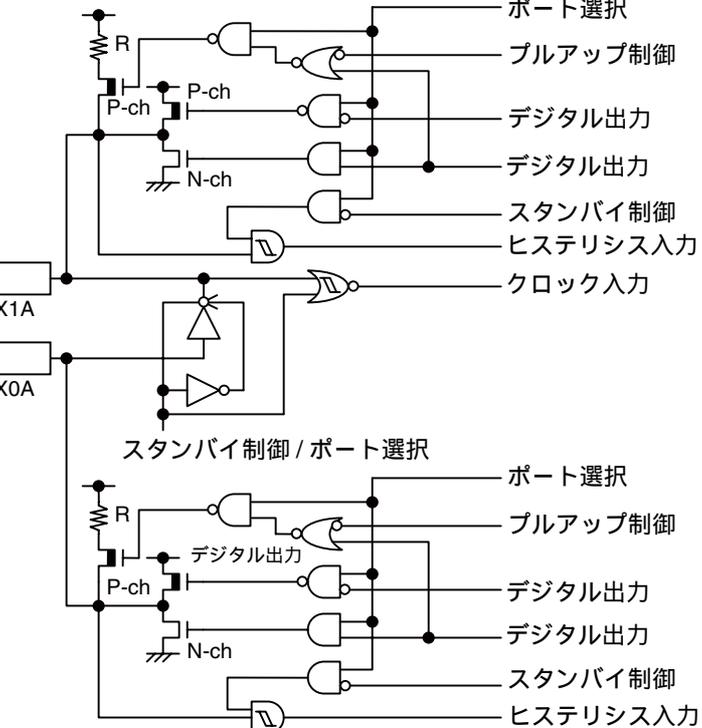
■ 端子機能説明 (MB95210H シリーズ)

端子番号	端子名	入出力回路形式*	機能
1	V _{ss}	—	電源 (GND) 端子です。
2	V _{cc}	—	電源端子です。
3	C	—	コンデンサ接続端子です。
4	RSTX/PF2	A	汎用入出力ポートです。 この端子はリセット端子としても使用されます。 MB95F214H/F213H/F212H では専用のリセット端子となります。
5	P04/INT04/AN04/ HCLK1/EC0	E	汎用入出力ポートです。 外部割込み入力としても使用されます。 A/D コンバータアナログ入力としても使用されます。 外部クロック入力としても使用されます。 8/16 ビット複合タイマ ch.0 クロック入力としても使用されます。
6	P05/AN05/TO00/ HCLK2	E	汎用入出力ポートです。 大電流ポートです。 A/D コンバータアナログ入力としても使用されます。 8/16 ビット複合タイマ ch.0 出力としても使用されます。 外部クロック入力としても使用されます。
7	P06/INT06/TO01	G	汎用入出力ポートです。 大電流ポートです。 この端子は外部割込み入力としても使用されます。 8/16 ビット複合タイマ ch.0 出力としても使用されます。
8	P12/EC0/DBG	H	汎用入出力ポートです。 この端子は DBG 入力端子としても使用されます。 8/16 ビット複合タイマ ch.0 クロック入力としても使用されます。

* : 入出力回路形式については「入出力回路形式」を参照してください。

MB95200H/210H シリーズ

■ 入出力回路形式

分類	回路	備考
A	 <p>リセット入力 / ヒステリシス出力 リセット出力 / デジタル出力 N-ch</p>	<ul style="list-style-type: none"> ・ N-ch オープンドレイン出力 ・ ヒステリシス入力 ・ リセット出力
B	 <p>ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1 X0 スタンバイ制御 / ポート選択 ポート選択 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ 発振回路 ・ 高速側 ・ 帰還抵抗: 約 1 MΩ ・ CMOS 出力 ・ ヒステリシス入力
C	 <p>ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力 クロック入力 X1A X0A スタンバイ制御 / ポート選択 ポート選択 プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ 発振回路 ・ 低速側 ・ 帰還抵抗: 約 10 MΩ ・ CMOS 出力 ・ ヒステリシス入力 ・ プルアップ制御あり

(続く)

MB95200H/210H シリーズ

(続き)

分類	回路	備考
D	<p>デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ CMOS 出力 ・ ヒステリシス入力
E	<p>プルアップ制御 デジタル出力 デジタル出力 アナログ入力 A/D 制御 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ CMOS 出力 ・ ヒステリシス入力 ・ プルアップ制御あり
F	<p>プルアップ制御 デジタル出力 デジタル出力 アナログ入力 A/D 制御 スタンバイ制御 ヒステリシス入力 CMOS 入力</p>	<ul style="list-style-type: none"> ・ CMOS 出力 ・ ヒステリシス入力 ・ CMOS 入力 ・ プルアップ制御あり
G	<p>プルアップ制御 デジタル出力 デジタル出力 スタンバイ制御 ヒステリシス入力</p>	<ul style="list-style-type: none"> ・ ヒステリシス入力 ・ デジタル出力 ・ プルアップ制御あり
H	<p>スタンバイ制御 ヒステリシス入力 デジタル出力 N-ch</p>	<ul style="list-style-type: none"> ・ N-ch オープンドレイン出力 ・ ヒステリシス入力

■ デバイス使用上の注意

・ラッチアップの防止

使用に際して、印加する電圧が最大定格電圧を超えないようにしてください。

CMOS IC では、中耐圧端子でも高耐圧端子でもない入出力端子に V_{CC} より高い電圧や V_{SS} より低い電圧が印加された場合、または「電気的特性」の「1. 絶対最大定格」に示す電源電圧の定格範囲外の電圧が V_{CC} 端子または V_{SS} 端子に印加された場合、ラッチアップ現象が発生することがあります。

ラッチアップ現象が発生すると電源電流が激増し、素子が熱破壊する恐れがあります。

・供給電圧の安定化

供給電圧は、安定させてください。

電源電圧が急激に変動すると、たとえ変動が V_{CC} 電源電圧の動作保証範囲内であっても、誤動作を生じることがあります。

電圧安定化の基準として、商用周波数 (50Hz/60 Hz) での V_{CC} リプル変動 (P-P 値) は、標準 V_{CC} 値の 10 % 以下に、また電源の切換え時などの瞬時変化においては、過渡変動率が 0.1 V/ms 以下になるよう電圧変動を抑えてください。

・外部クロック使用時の注意

外部クロック使用時において、パワーオンリセット、サブクロックモードまたはストップモード解除時には、発振安定待ち時間が発生します。

■ 端子接続について

・未使用端子の処理

入力に用いる未使用端子を開放のままにしておくと、誤動作およびラッチアップ現象による永久破壊の原因になることがあります。使用していない入力端子は 2 k Ω 以上の抵抗を介してプルアップまたはプルダウンの処理をしてください。使用していない入出力端子は、出力状態に設定して開放とするか、入力状態に設定して入力端子と同じ処理をしてください。使用していない出力端子は、開放としてください。

・電源端子

不要輻射の低減、グランドレベルの上昇によるストロブ信号の誤動作の防止、総出力電流規格を遵守などのために、必ず V_{CC} 端子と V_{SS} 端子をデバイスの外部で電源とグランドに接続してください。また、電流供給源と V_{CC} 端子および V_{SS} 端子は低インピーダンスで接続してください。

本デバイスに近い位置で、 V_{CC} 端子と V_{SS} 端子の間に 0.1 μ F 程度のセラミックコンデンサをバイパスコンデンサとして接続することをお勧めいたします。

・DBG 端子

DBG 端子を外部のプルアップ抵抗に直接接続してください。

ノイズによってデバイスが意図せずにデバッグモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、DBG 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

パワーオン後、リセット出力が解除されるまでは、DBG 端子が「L」レベルのままにならないようにしてください。

・RSTX 端子

RSTX を外部のプルアップ抵抗に直接接続してください。

ノイズによってデバイスが意図せずにリセットモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、RSTX 端子から V_{CC} 端子または V_{SS} 端子への距離を最小限にしてください。

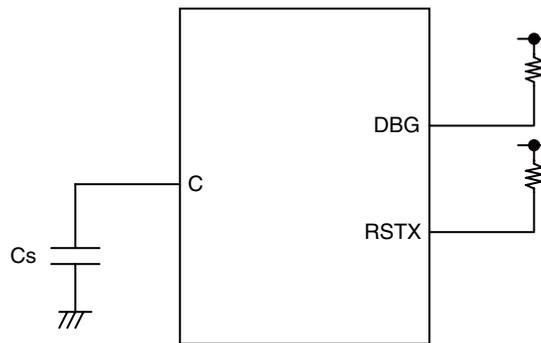
パワーオン後、RSTX/PF2 端子はリセット入出力端子として機能します。また、リセット出力は SYSC レジスタの RSTOE ビットによって許可でき、リセット入力機能または汎用入出力機能は SYSC レジスタの RSTEN ビットによって選択できます。

MB95200H/210H シリーズ

・ C 端子

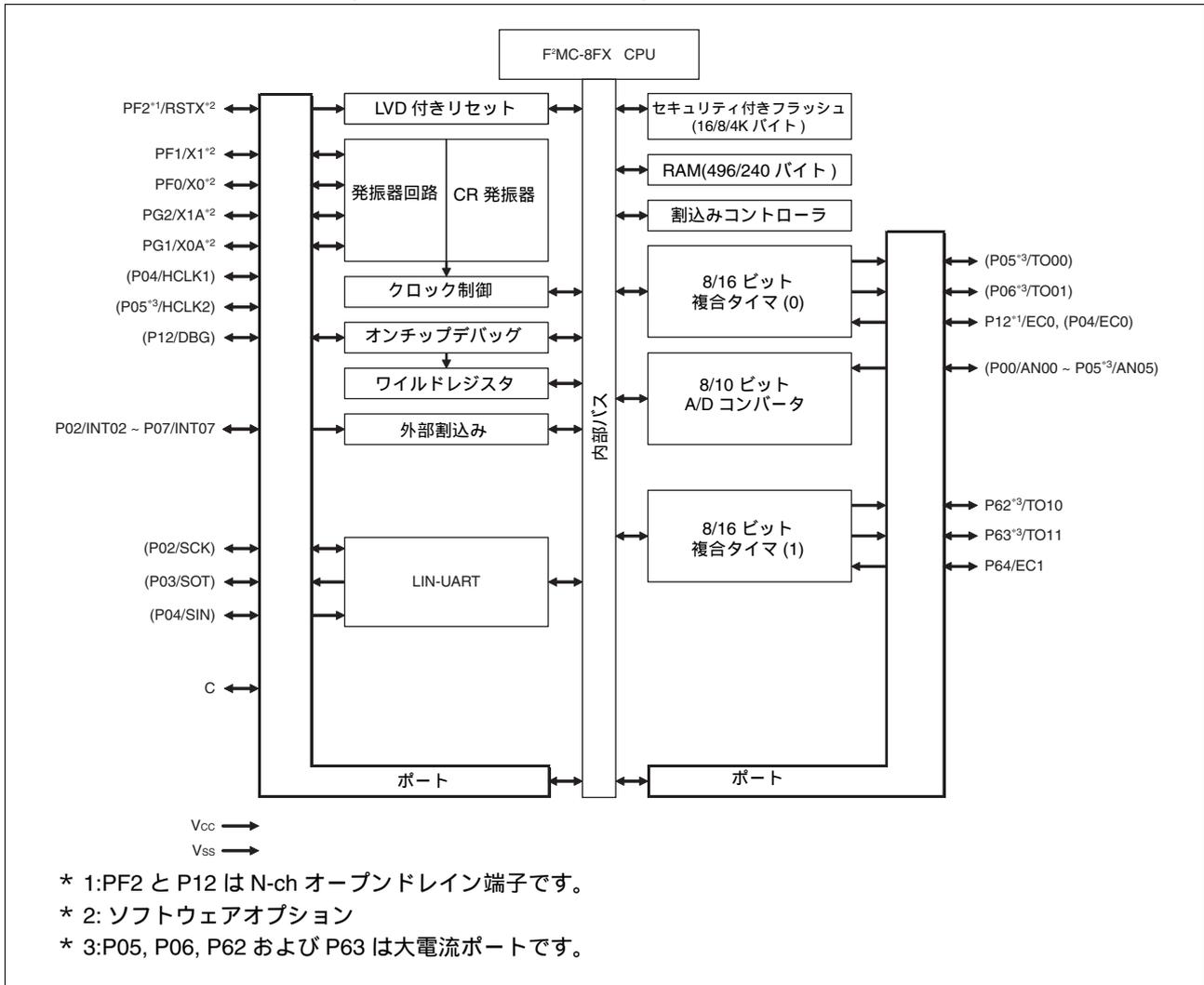
セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。V_{cc} 端子のバイパスコンデンサは、C_s より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_s への接続は下図を参照してください。ノイズによってデバイスが意図せずに不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_s への距離および C_s から V_{SS} 端子への距離を最小限にしてください。

・ DBG/RSTX/C 端子接続図



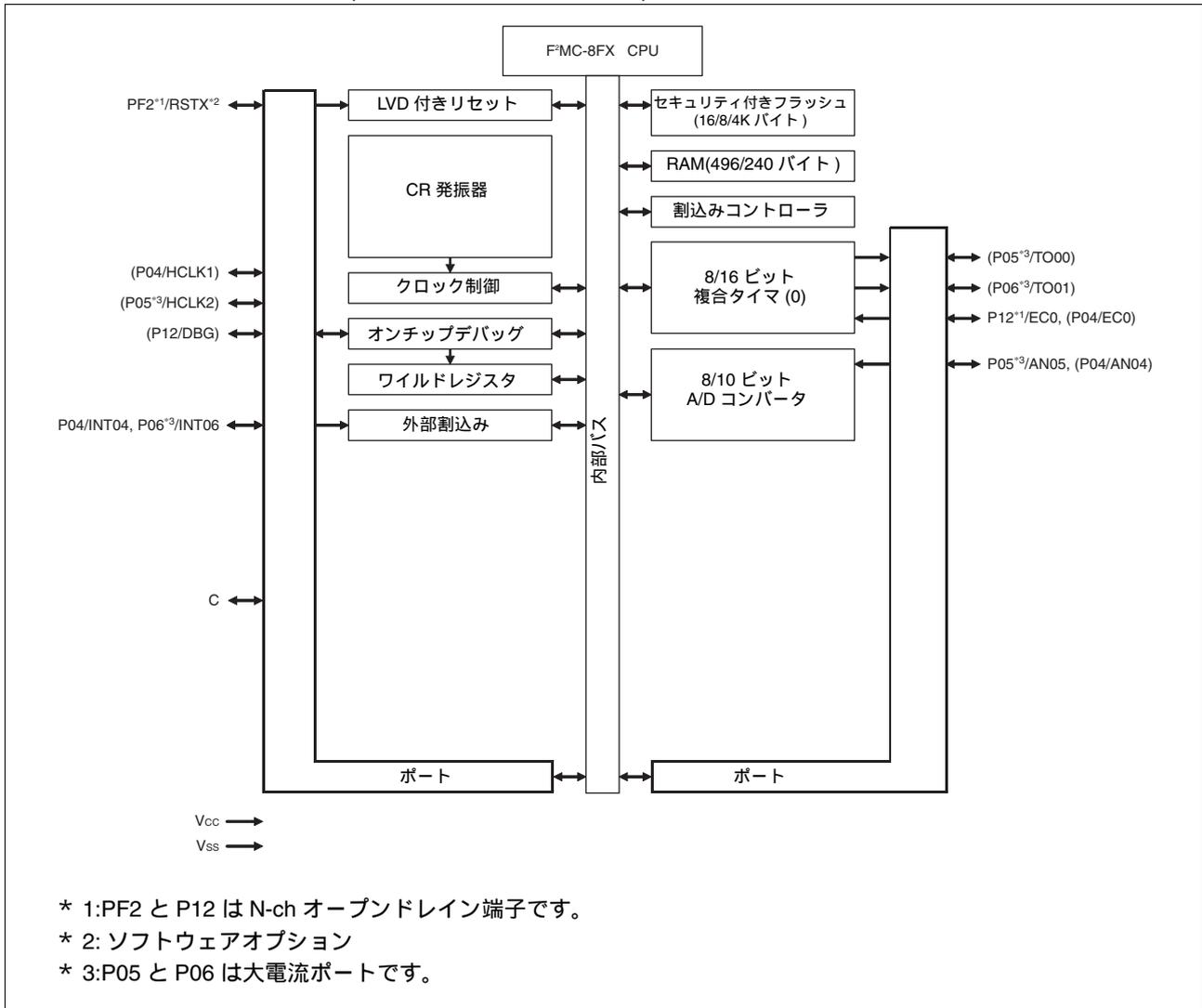
MB95200H/210H シリーズ

■ ブロックダイアグラム (MB95200H シリーズ)



MB95200H/210H シリーズ

■ ブロックダイアグラム (MB95210H シリーズ)



MB95200H/210H シリーズ

■ CPU コア

・メモリ空間

MB95200H/210H シリーズのメモリ空間は 64 K バイト で、I/O 領域、データ領域とプログラム領域によって構成されます。メモリ空間の中には汎用レジスタ、ベクタテーブルなど特定の用途に使用される領域があります。MB95200H/210H シリーズのメモリマップを以下に示します。

・メモリマップ

	MB95F204H/F204K/ F214H/F214K	MB95F203H/F203K/ F213H/F213K	MB95F202H/F202K/ F212H/F212K
0000 _H	I/O	I/O	I/O
0080 _H	-	-	-
0090 _H	RAM496 バイト	RAM496 バイト	RAM240 バイト
0100 _H	レジスタ	レジスタ	レジスタ
0200 _H			
0280 _H	-	-	-
0F80 _H	拡張 I/O	拡張 I/O	拡張 I/O
1000 _H			
	-	-	-
C000 _H			
	フラッシュ メモリ 16 K バイト		
FFFF _H			
		E000 _H	F000 _H
		フラッシュ メモリ 8 K バイト	フラッシュメモリ 4 K バイト
		FFFF _H	FFFF _H

MB95200H/210H シリーズ

■ I/O マップ (MB95200H シリーズ)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004H	—	(使用禁止)	—	—
0005H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006H	—	(使用禁止)	—	—
0007H	SYCC	システムクロック制御レジスタ	R/W	XXXXXXXX11 _B
0008H	STBC	スタンバイ制御レジスタ	R/W	0000XXX _B
0009H	RSRR	リセット要因レジスタ	R	XXXXXXXXX _B
000AH	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000BH	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000CH	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00000000 _B
000DH	SYCC2	システムクロック制御レジスタ 2	R/W	XX100011 _B
000EH ~ 0015H	—	(使用禁止)	—	—
0016H	PDR6	ポート 6 データレジスタ	R/W	00000000 _B
0017H	DDR6	ポート 6 方向レジスタ	R/W	00000000 _B
0018H ~ 0027H	—	(使用禁止)	—	—
0028H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002AH	PDRG	ポート G データレジスタ	R/W	00000000 _B
002BH	DDRG	ポート G 方向レジスタ	R/W	00000000 _B
002CH	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002DH ~ 0034H	—	(使用禁止)	—	—
0035H	PULG	ポート G プルアップレジスタ	R/W	00000000 _B
0036H	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1 ch.0	R/W	00000000 _B
0037H	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1 ch.0	R/W	00000000 _B
0038H	T11CR1	8/16 ビット複合タイマ 11 ステータス制御レジスタ 1 ch.1	R/W	00000000 _B
0039H	T10CR1	8/16 ビット複合タイマ 10 ステータス制御レジスタ 1 ch.1	R/W	00000000 _B
003AH ~ 0048H	—	(使用禁止)	—	—
0049H	EIC10	外部割込み回路制御レジスタ ch.2/ch.3	R/W	00000000 _B
004AH	EIC20	外部割込み回路制御レジスタ ch.4/ch.5	R/W	00000000 _B
004BH	EIC30	外部割込み回路制御レジスタ ch.6/ch.7	R/W	00000000 _B
004CH ~ 004FH	—	(使用禁止)	—	—
0050H	SCR	LIN-UART シリアル制御レジスタ	R/W	00000000 _B
0051H	SMR	LIN-UART シリアルモードレジスタ	R/W	00000000 _B
0052H	SSR	LIN-UART シリアルステータスレジスタ	R/W	00001000 _B

(続く)

MB95200H/210H シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0053H	RDR/TDR	LIN-UART 受信 / 送信データレジスタ	R/W	00000000 _B
0054H	ESCR	LIN-UART 拡張ステータス制御レジスタ	R/W	00000100 _B
0055H	ECCR	LIN-UART 拡張通信制御レジスタ	R/W	000000XX _B
0056H ~ 006BH	—	(使用禁止)	—	—
006CH	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000 _B
006DH	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000 _B
006EH	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	00000000 _B
006FH	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	00000000 _B
0070H, 0071H	—	(使用禁止)	—	—
0072H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000 _B
0073H ~ 0075H	—	(使用禁止)	—	—
0076H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000 _B
0077H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000 _B
0078H	—	レジスタバンクポイント (RP) とダイレクトバンクポイント (DP) のミラー	—	—
0079H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111 _B
007AH	ILR1	割込みレベル設定レジスタ 1	R/W	11111111 _B
007BH	ILR2	割込みレベル設定レジスタ 2	R/W	11111111 _B
007CH	ILR3	割込みレベル設定レジスタ 3	R/W	11111111 _B
007DH	ILR4	割込みレベル設定レジスタ 4	R/W	11111111 _B
007EH	ILR5	割込みレベル設定レジスタ 5	R/W	11111111 _B
007FH	—	(使用禁止)	—	—
0F80H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch.0	R/W	00000000 _B
0F81H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch.0	R/W	00000000 _B
0F82H	WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	R/W	00000000 _B
0F83H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch.1	R/W	00000000 _B
0F84H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch.1	R/W	00000000 _B
0F85H	WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	R/W	00000000 _B
0F86H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch.2	R/W	00000000 _B
0F87H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch.2	R/W	00000000 _B
0F88H	WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	R/W	00000000 _B
0F89H ~ 0F91H	—	(使用禁止)	—	—
0F92H	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0 ch.0	R/W	00000000 _B
0F93H	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0 ch.0	R/W	00000000 _B
0F94H	T01DR	8/16 ビット複合タイマ 01 データレジスタ ch.0	R/W	00000000 _B
0F95H	T00DR	8/16 ビット複合タイマ 00 データレジスタ ch.0	R/W	00000000 _B

(続く)

MB95200H/210H シリーズ

(続き)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F96H	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0	R/W	00000000 _B
0F97H	T11CR0	8/16 ビット複合タイマ 11 ステータス制御レジスタ 0 ch.1	R/W	00000000 _B
0F98H	T10CR0	8/16 ビット複合タイマ 10 ステータス制御レジスタ 0 ch.1	R/W	00000000 _B
0F99H	T11DR	8/16 ビット複合タイマ 11 データレジスタ ch.1	R/W	00000000 _B
0F9AH	T10DR	8/16 ビット複合タイマ 10 データレジスタ ch.1	R/W	00000000 _B
0F9BH	TMCR1	8/16 ビット複合タイマ 10/11 タイマモード制御レジスタ ch.1	R/W	00000000 _B
0F9CH ~ 0FBBH	—	(使用禁止)	—	—
0FBC _H	BGR1	LIN-UART ボーレートジェネレータレジスタ 1	R/W	00000000 _B
0FBD _H	BGR0	LIN-UART ボーレートジェネレータレジスタ 0	R/W	00000000 _B
0FBE _H ~ 0FC2 _H	—	(使用禁止)	—	—
0FC3 _H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4 _H ~ 0FE3 _H	—	(使用禁止)	—	—
0FE4 _H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	1XXXXXXXX _B
0FE5 _H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	000XXXXXXXX _B
0FE6 _H 0FE7 _H	—	(使用禁止)	—	—
0FE8 _H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9 _H	CMCR	クロック監視制御レジスタ	R/W	XX000000 _B
0FEA _H	CMDR	クロック監視データレジスタ	R/W	00000000 _B
0FEB _H	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R/W	XXXXXXXXX _B
0FEC _H	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R/W	XXXXXXXXX _B
0FED _H	—	(使用禁止)	—	—
0FEE _H	ILSR	入力レベル選択レジスタ	R/W	00000000 _B
0FEF _H ~ 0FFF _H	—	(使用禁止)	—	—

・R/W についての説明

R/W : リード/ライト可能

R : リードオンリ

W : ライトオンリ

・初期値についての説明

0 : このビットの初期値は“0”です。

1 : このビットの初期値は“1”です。

X : このビットの初期値は不定です。

(注意事項)“(使用禁止)”のアドレスへの書込みは行わないでください。“(使用禁止)”のアドレスを読み出した場合は不定が読み出されます。

MB95200H/210H シリーズ

■ I/O マップ (MB95210H シリーズ)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0000H	PDR0	ポート 0 データレジスタ	R/W	00000000 _B
0001H	DDR0	ポート 0 方向レジスタ	R/W	00000000 _B
0002H	PDR1	ポート 1 データレジスタ	R/W	00000000 _B
0003H	DDR1	ポート 1 方向レジスタ	R/W	00000000 _B
0004H	—	(使用禁止)	—	—
0005H	WATR	発振安定待ち時間設定レジスタ	R/W	11111111 _B
0006H	—	(使用禁止)	—	—
0007H	SYCC	システムクロック制御レジスタ	R/W	XXXXXXXX11 _B
0008H	STBC	スタンバイ制御レジスタ	R/W	0000XXX _B
0009H	RSRR	リセット要因レジスタ	R	XXXXXXXX _B
000AH	TBTC	タイムベースタイマ制御レジスタ	R/W	00000000 _B
000BH	WPCR	時計プリスケラ制御レジスタ	R/W	00000000 _B
000CH	WDTC	ウォッチドッグタイマ制御レジスタ	R/W	00000000 _B
000DH	SYCC2	システムクロック制御レジスタ 2	R/W	XX100011 _B
000EH ~ 0015H	—	(使用禁止)	—	—
0016H	—	(使用禁止)	—	—
0017H	—	(使用禁止)	—	—
0018H ~ 0027H	—	(使用禁止)	—	—
0028H	PDRF	ポート F データレジスタ	R/W	00000000 _B
0029H	DDRF	ポート F 方向レジスタ	R/W	00000000 _B
002AH	—	(使用禁止)	—	—
002BH	—	(使用禁止)	—	—
002CH	PUL0	ポート 0 プルアップレジスタ	R/W	00000000 _B
002DH ~ 0034H	—	(使用禁止)	—	—
0035H	—	(使用禁止)	—	—
0036H	T01CR1	8/16 ビット複合タイマ 01 ステータス制御レジスタ 1 ch.0	R/W	00000000 _B
0037H	T00CR1	8/16 ビット複合タイマ 00 ステータス制御レジスタ 1 ch.0	R/W	00000000 _B
0038H	—	(使用禁止)	—	—
0039H	—	(使用禁止)	—	—
003AH ~ 0048H	—	(使用禁止)	—	—
0049H	—	(使用禁止)	—	—
004AH	EIC20	外部割込み回路制御レジスタ ch.4	R/W	00000000 _B
004BH	EIC30	外部割込み回路制御レジスタ ch.6	R/W	00000000 _B
004CH ~ 004FH	—	(使用禁止)	—	—
0050H	—	(使用禁止)	—	—
0051H	—	(使用禁止)	—	—
0052H	—	(使用禁止)	—	—

(続く)

MB95200H/210H シリーズ

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0053H	—	(使用禁止)	—	—
0054H	—	(使用禁止)	—	—
0055H	—	(使用禁止)	—	—
0056H ~ 006BH	—	(使用禁止)	—	—
006CH	ADC1	8/10 ビット A/D コンバータ制御レジスタ 1	R/W	00000000B
006DH	ADC2	8/10 ビット A/D コンバータ制御レジスタ 2	R/W	00000000B
006EH	ADDH	8/10 ビット A/D コンバータデータレジスタ (上位)	R/W	00000000B
006FH	ADDL	8/10 ビット A/D コンバータデータレジスタ (下位)	R/W	00000000B
0070H, 0071H	—	(使用禁止)	—	—
0072H	FSR	フラッシュメモリステータスレジスタ	R/W	000X0000B
0073H ~ 0075H	—	(使用禁止)	—	—
0076H	WREN	ワイルドレジスタアドレス比較許可レジスタ	R/W	00000000B
0077H	WROR	ワイルドレジスタデータテスト設定レジスタ	R/W	00000000B
0078H	—	レジスタバンクポインタ (RP) とダイレクトバンクポインタ (DP) のミラー	—	—
0079H	ILR0	割込みレベル設定レジスタ 0	R/W	11111111B
007AH	ILR1	割込みレベル設定レジスタ 1	R/W	11111111B
007BH	—	(使用禁止)	—	—
007CH	—	(使用禁止)	—	—
007DH	ILR4	割込みレベル設定レジスタ 4	R/W	11111111B
007EH	ILR5	割込みレベル設定レジスタ 5	R/W	11111111B
007FH	—	(使用禁止)	—	—
0F80H	WRARH0	ワイルドレジスタアドレス設定レジスタ (上位) ch.0	R/W	00000000B
0F81H	WRARL0	ワイルドレジスタアドレス設定レジスタ (下位) ch.0	R/W	00000000B
0F82H	WRDR0	ワイルドレジスタデータ設定レジスタ ch.0	R/W	00000000B
0F83H	WRARH1	ワイルドレジスタアドレス設定レジスタ (上位) ch.1	R/W	00000000B
0F84H	WRARL1	ワイルドレジスタアドレス設定レジスタ (下位) ch.1	R/W	00000000B
0F85H	WRDR1	ワイルドレジスタデータ設定レジスタ ch.1	R/W	00000000B
0F86H	WRARH2	ワイルドレジスタアドレス設定レジスタ (上位) ch.2	R/W	00000000B
0F87H	WRARL2	ワイルドレジスタアドレス設定レジスタ (下位) ch.2	R/W	00000000B
0F88H	WRDR2	ワイルドレジスタデータ設定レジスタ ch.2	R/W	00000000B
0F89H ~ 0F91H	—	(使用禁止)	—	—
0F92H	T01CR0	8/16 ビット複合タイマ 01 ステータス制御レジスタ 0 ch.0	R/W	00000000B
0F93H	T00CR0	8/16 ビット複合タイマ 00 ステータス制御レジスタ 0 ch.0	R/W	00000000B
0F94H	T01DR	8/16 ビット複合タイマ 01 データレジスタ ch.0	R/W	00000000B
0F95H	T00DR	8/16 ビット複合タイマ 00 データレジスタ ch.0	R/W	00000000B
0F96H	TMCR0	8/16 ビット複合タイマ 00/01 タイマモード制御レジスタ ch.0	R/W	00000000B

(続く)

MB95200H/210H シリーズ

(続き)

アドレス	レジスタ略称	レジスタ名称	R/W	初期値
0F97H	—	(使用禁止)	—	—
0F98H	—	(使用禁止)	—	—
0F99H	—	(使用禁止)	—	—
0F9AH	—	(使用禁止)	—	—
0F9BH	—	(使用禁止)	—	—
0F9CH ~ 0FBBH	—	(使用禁止)	—	—
0FBCH	—	(使用禁止)	—	—
0FBDH	—	(使用禁止)	—	—
0FBEH ~ 0FC2H	—	(使用禁止)	—	—
0FC3H	AIDRL	A/D 入力禁止レジスタ (下位)	R/W	00000000 _B
0FC4H ~ 0FE3H	—	(使用禁止)	—	—
0FE4H	CRTH	メイン CR クロックトリミングレジスタ (上位)	R/W	1XXXXXXXX _B
0FE5H	CRTL	メイン CR クロックトリミングレジスタ (下位)	R/W	000XXXXXXXX _B
0FE6H 0FE7H	—	(使用禁止)	—	—
0FE8H	SYSC	システム構成レジスタ	R/W	11000011 _B
0FE9H	CMCR	クロック監視制御レジスタ	R/W	XX000000 _B
0FEAH	CMDR	クロック監視データレジスタ	R/W	00000000 _B
0FEBH	WDTH	ウォッチドッグタイマ選択 ID レジスタ (上位)	R/W	XXXXXXXXXX _B
0FECH	WDTL	ウォッチドッグタイマ選択 ID レジスタ (下位)	R/W	XXXXXXXXXX _B
0FEDH	—	(使用禁止)	—	—
0FEEH	ILSR	入力レベル選択レジスタ	R/W	00000000 _B
0FEFH ~ 0FFFH	—	(使用禁止)	—	—

・R/W についての説明

- R/W : リード/ライト可能
- R : リードオンリ
- W : ライトオンリ

・初期値についての説明

- 0 : このビットの初期値は“0”です。
- 1 : このビットの初期値は“1”です。
- X : このビットの初期値は不定です。

(注意事項)“(使用禁止)”のアドレスへの書込みは行わないでください。“(使用禁止)”のアドレスを読み出した場合は不定が読み出されます。

MB95200H/210H シリーズ

■ 割り込み要因のテーブル (MB95200H シリーズ)

割り込み要因	割り込み 要求番号	ベクタテーブルの アドレス		割り込みレベル 設定レジスタの ビット名	同一レベル割り込み 要因の優先順位 (同時発生時)
		上位	下位		
外部割り込み ch.4	IRQ0	FFFA _H	FFFB _H	L00 [1 : 0]	高い  低い
外部割り込み ch.5	IRQ1	FFF8 _H	FFF9 _H	L01 [1 : 0]	
外部割り込み ch.2	IRQ2	FFF6 _H	FFF7 _H	L02 [1 : 0]	
外部割り込み ch.6					
外部割り込み ch.3	IRQ3	FFF4 _H	FFF5 _H	L03 [1 : 0]	
外部割り込み ch.7					
—	IRQ4	FFF2 _H	FFF3 _H	L04 [1 : 0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ5	FFF0 _H	FFF1 _H	L05 [1 : 0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ6	FFEE _H	FFEF _H	L06 [1 : 0]	
LIN-UART (受信)	IRQ7	FFEC _H	FFED _H	L07 [1 : 0]	
LIN-UART (送信)	IRQ8	FFEA _H	FFEB _H	L08 [1 : 0]	
—	IRQ9	FFE8 _H	FFE9 _H	L09 [1 : 0]	
—	IRQ10	FFE6 _H	FFE7 _H	L10 [1 : 0]	
—	IRQ11	FFE4 _H	FFE5 _H	L11 [1 : 0]	
—	IRQ12	FFE2 _H	FFE3 _H	L12 [1 : 0]	
—	IRQ13	FFE0 _H	FFE1 _H	L13 [1 : 0]	
8/16 ビット複合タイマ ch.1 (上位)	IRQ14	FFDE _H	FFDF _H	L14 [1 : 0]	
—	IRQ15	FFDC _H	FFDD _H	L15 [1 : 0]	
—	IRQ16	FFDA _H	FFDB _H	L16 [1 : 0]	
—	IRQ17	FFD8 _H	FFD9 _H	L17 [1 : 0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1 : 0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1 : 0]	
時計プリスケアラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1 : 0]	
—	IRQ21	FFD0 _H	FFD1 _H	L21 [1 : 0]	
8/16 ビット複合タイマ ch.1 (下位)	IRQ22	FFCE _H	FFCF _H	L22 [1 : 0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1 : 0]	

MB95200H/210H シリーズ

■ 割り込み要因のテーブル (MB95210H シリーズ)

割り込み要因	割り込み要求番号	ベクタテーブルのアドレス		割り込みレベル 設定レジスタの ビット名	同一レベル 割り込み要因の 優先順位 (同時発生時)
		上位	下位		
外部割り込み ch.4	IRQ0	FFFA _H	FFFB _H	L00 [1 : 0]	高い  低い
—	IRQ1	FFF8 _H	FFF9 _H	L01 [1 : 0]	
—	IRQ2	FFF6 _H	FFF7 _H	L02 [1 : 0]	
外部割り込み ch.6					
—	IRQ3	FFF4 _H	FFF5 _H	L03 [1 : 0]	
—					
—					
—	IRQ4	FFF2 _H	FFF3 _H	L04 [1 : 0]	
8/16 ビット複合タイマ ch.0 (下位)	IRQ5	FFF0 _H	FFF1 _H	L05 [1 : 0]	
8/16 ビット複合タイマ ch.0 (上位)	IRQ6	FFEE _H	FFEF _H	L06 [1 : 0]	
—	IRQ7	FFEC _H	FFED _H	L07 [1 : 0]	
—	IRQ8	FFEA _H	FFEB _H	L08 [1 : 0]	
—	IRQ9	FFE8 _H	FFE9 _H	L09 [1 : 0]	
—	IRQ10	FFE6 _H	FFE7 _H	L10 [1 : 0]	
—	IRQ11	FFE4 _H	FFE5 _H	L11 [1 : 0]	
—	IRQ12	FFE2 _H	FFE3 _H	L12 [1 : 0]	
—	IRQ13	FFE0 _H	FFE1 _H	L13 [1 : 0]	
—	IRQ14	FFDE _H	FFDF _H	L14 [1 : 0]	
—	IRQ15	FFDC _H	FFDD _H	L15 [1 : 0]	
—	IRQ16	FFDA _H	FFDB _H	L16 [1 : 0]	
—	IRQ17	FFD8 _H	FFD9 _H	L17 [1 : 0]	
8/10 ビット A/D コンバータ	IRQ18	FFD6 _H	FFD7 _H	L18 [1 : 0]	
タイムベースタイマ	IRQ19	FFD4 _H	FFD5 _H	L19 [1 : 0]	
時計プリスケアラ	IRQ20	FFD2 _H	FFD3 _H	L20 [1 : 0]	
—	IRQ21	FFD0 _H	FFD1 _H	L21 [1 : 0]	
—	IRQ22	FFCE _H	FFCF _H	L22 [1 : 0]	
フラッシュメモリ	IRQ23	FFCC _H	FFCD _H	L23 [1 : 0]	

MB95200H/210H シリーズ

■ 電気的特性

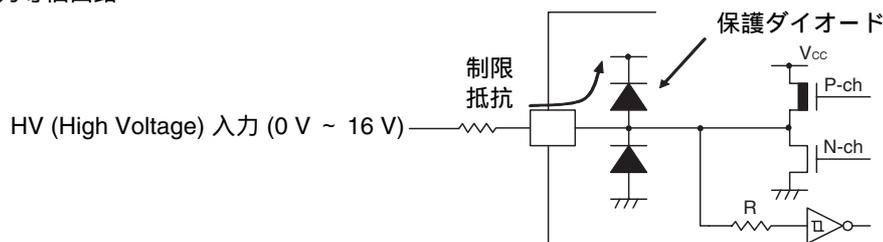
1. 絶対最大定格

項目	記号	定格値		単位	備考
		最小	最大		
電源電圧 *1	V _{CC}	V _{SS} - 0.3	V _{SS} + 6	V	
入力電圧 *1	V _I	V _{SS} - 0.3	V _{SS} + 6	V	*2
出力電圧 *1	V _O	V _{SS} - 0.3	V _{SS} + 6	V	*2
最大クランプ電流	I _{CLAMP}	- 2	+ 2	mA	該当端子 *3
最大総クランプ電流	Σ I _{CLAMP}	—	20	mA	該当端子 *3
“L” レベル最大出力電流	I _{OL1}	—	15	mA	P05, P06, P62, P63 以外 *4
	I _{OL2}		15		P05, P06, P62, P63*4
“L” レベル平均電流	I _{OLAV1}	—	4	mA	P05, P06, P62, P63 以外 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I _{OLAV2}		12		P05, P06, P62, P63*4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“L” レベル最大総出力電流	ΣI _{OL}	—	100	mA	
“L” レベル平均総出力電流	ΣI _{OLAV}	—	50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
“H” レベル最大出力電流	I _{OH1}	—	- 15	mA	P05, P06, P62, P63 以外 *4
	I _{OH2}		- 15		P05, P06, P62, P63*4
“H” レベル平均電流	I _{OHAV1}	—	- 4	mA	P05, P06, P62, P63 以外 *4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
	I _{OHAV2}		- 8		P05, P06, P62, P63*4 平均出力電流 = 動作電流 × 動作率 (端子 1 本)
“H” レベル最大総出力電流	ΣI _{OH}	—	- 100	mA	
“H” レベル平均総出力電流	ΣI _{OHAV}	—	- 50	mA	平均総出力電流 = 動作電流 × 動作率 (端子の総数)
消費電力	P _d	—	320	mW	
動作温度	T _A	- 40	+ 85	°C	
保存温度	T _{stg}	- 55	+ 150	°C	

MB95200H/210H シリーズ

- * 1 : $V_{SS} = 0.0\text{ V}$ を基準にしています。
- * 2 : V_i, V_o は $V_{CC} + 0.3\text{ V}$ を超えてはいけません。 V_i は定格電圧を超えてはいけません。ただし、外部の部品を使用して入力への電流または入力からの電流の最大値を制限する場合は、 V_i 定格に代わって I_{CLAMP} 定格が適用されます。
- * 3 : 該当端子:P00 ~ P07, P62 ~ P64, PG1, PG2, PF0, PF1 (P00 ~ P03, P07, P62 ~ P64, PG1, PG2, PF0 と PF1 は MB95F204H/F203H/F202H/F204K/F203K/F202K で使用可能)
 - ・推奨動作条件下で使用してください。
 - ・直流電圧 (電流) で使用してください。
 - ・HV (High Voltage) 信号は、 V_{CC} 電圧を超える入力信号です。HV (High Voltage) 信号とマイクロコントローラの間には、必ず制限抵抗を接続し HV (High Voltage) 信号を印加してください。
 - ・HV (High Voltage) 入力時にマイクロコントローラ端子に入力される電流が、瞬時・定常を問わず規格値以下になるように制限抵抗の値を設定してください。
 - ・低消費電力モードなど、マイクロコントローラの駆動電流が少ない動作状態では、HV (High Voltage) 入力電位が保護ダイオードを通して V_{CC} 端子の電位を上昇させ、他の機器へ影響を及ぼします。
 - ・マイクロコントローラ電源が OFF 時 (0 V に固定していない場合) に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、不完全な動作を行う可能性があります。
 - ・電源投入時に HV (High Voltage) 入力がある場合は、端子から電源が供給されているため、パワーオンリセットが動作しない電源電圧になる可能性があります。
 - ・HV (High Voltage) 入力端子は、開放状態にならないようにしてください。
 - ・推奨回路例

・入出力等価回路



- * 4 : P62 と P63 は MB95F204H/F203H/F202H/F204K/F203K/F202K で使用可能です。

<注意事項> 絶対最大定格を超えるストレス (電圧, 電流, 温度など) の印加は、半導体デバイスを破壊する可能性があります。したがって、定格を一項目でも超えることのないようご注意ください。

MB95200H/210H シリーズ

2. 推奨動作条件

(V_{SS} = 0.0 V)

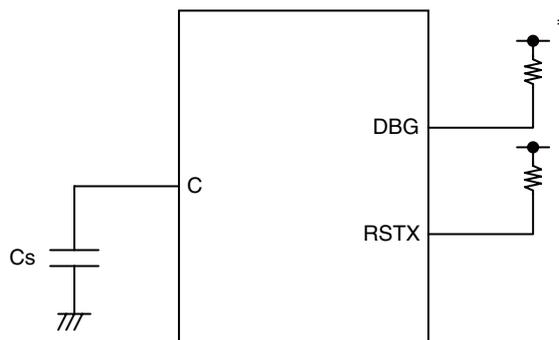
項目	記号	規格値		単位	備考	
		最小	最大			
電源電圧	V _{CC}	2.4*1*2	5.5*1	V	通常動作の場合	オンチップデバッグモード 以外
		2.3	5.5		ストップモードでの状態保持	
		2.9	5.5		通常動作の場合	オンチップデバッグモード
		2.3	5.5		ストップモードでの状態保持	
平滑コンデンサ	C _s	0.022	1	μF	*3	
動作温度	T _A	- 40	+ 85	°C	オンチップデバッグモード以外	
		+ 5	+ 35		オンチップデバッグモード	

* 1 : 動作周波数, マシクロックおよびアナログ保証範囲により異なります。

* 2 : 低電圧検出しセット使用時は, 2.88 V となります。

* 3 : セラミックコンデンサまたは同程度の周波数特性のコンデンサを使用してください。V_{CC} 端子のバイパスコンデンサは C_s より大きい容量値のコンデンサを使用してください。平滑コンデンサ C_s への接続は下図を参照してください。ノイズによってデバイスが意図せず不明なモードに入るのを防止するため、プリント基板のレイアウトを設計するときは、C 端子から C_s への距離および C_s から V_{SS} 端子への距離を最小限にしてください。

・ DBG/RSTX/C 端子配列図



* : DBG 端子は、デバッグモード時に通信端子となりますので、P12/DBG の入出力規格に合わせたプルアップ抵抗値を設定してください。

< 注意事項 > 推奨動作条件は、半導体デバイスの正常な動作を保证する条件です。電気的特性の規格値は、すべてこの条件の範囲内で保証されます。常に推奨動作条件下で使用してください。この条件を超えて使用すると、信頼性に悪影響を及ぼすことがあります。

データシートに記載されていない項目、使用条件、論理の組合せでの使用は、保証していません。記載されている以外の条件での使用をお考えの場合は、必ず事前に営業部門までご相談ください。

MB95200H/210H シリーズ

3. 直流規格

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
“H” レベル 入力電圧	V_{IH1}	P04	*1	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{IH5}	P00 ~ P07, P12, P62 ~ P64, PF0, PF1, PG1, PG2	*1	$0.8 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
	V_{IH6}	PF2	—	$0.7 V_{CC}$	—	$V_{CC} + 0.3$	V	ヒステリシス入力
“L” レベル 入力電圧	V_{IL}	P04	*1	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	CMOS 入力レベル (ヒステリシス入力) が選択されている場合
	V_{IL5}	P00 ~ P07, P12, P62 ~ P64, PF0, PF1, PG1, PG2	*1	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	ヒステリシス入力
	V_{IL6}	PF2	—	$V_{SS} - 0.3$	—	$0.3 V_{CC}$	V	ヒステリシス入力
オープン ドレイン 出力印加 電圧	V_D	PF2, P12	—	$V_{SS} - 0.3$	—	$0.2 V_{CC}$	V	
“H” レベル 出力電圧	V_{OH1}	P05, P06, P62, P63, PF2 および P12 以外の出力 端子*2	$I_{OH} = -4 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
	V_{OH2}	P05, P06, P62, P63*2	$I_{OH} = -8 \text{ mA}$	$V_{CC} - 0.5$	—	—	V	
“L” レベル 出力電圧	V_{OL1}	P05, P06, P62 および P63 以外 の出力端子*2	$I_{OL} = 4 \text{ mA}$	—	—	0.4	V	
	V_{OL2}	P05, P06, P62, P63*2	$I_{OL} = 12 \text{ mA}$	—	—	0.4	V	
入力リーク 電流 (Hi-Z 出力リーク 電流)	I_{LI}	すべての入力 端子	$0.0 \text{ V} < V_I < V_{CC}$	- 5	—	+ 5	μA	プルアップ抵抗が 禁止されている場合
プルアップ 抵抗	R_{PULL}	P00 ~ P07, PG1, PG2*3	$V_I = 0 \text{ V}$	25	50	100	$\text{k}\Omega$	プルアップ抵抗が 許可されている場合
入力容量	C_{IN}	V_{CC} , V_{SS} 以外	$f = 1 \text{ MHz}$	—	5	15	pF	

(続く)

MB95200H/210H シリーズ

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *4	I _{CC}	V _{CC} (外部クロック動作)	V _{CC} = 5.5 V F _{CH} = 32 MHz F _{MP} = 16 MHz メインクロックモード (2分周)	—	13	17	mA	フラッシュメモリ品 (書き込み, 消去以外の 場合)
				—	33.5	39.5	mA	フラッシュメモリ品 (書き込み, 消去の場合)
				—	15	21	mA	A/D 変換時
	I _{CCS}		V _{CC} = 5.5 V F _{CH} = 32 MHz F _{MP} = 16 MHz メインスリープモード (2分周)	—	5.5	9	mA	
	I _{CCCL}		V _{CC} = 5.5 V F _{CL} = 32 kHz F _{MPL} = 16 kHz サブクロックモード (2分周) T _A = + 25 °C	—	65	153	μA	
	I _{CCLS}		V _{CC} = 5.5 V F _{CL} = 32 kHz F _{MPL} = 16 kHz サブスリープモード (2分周) T _A = + 25 °C	—	10	84	μA	
	I _{CCCT}		V _{CC} = 5.5 V F _{CL} = 32 kHz 時計モード メインストップモード T _A = + 25 °C	—	5	30	μA	
	I _{CCMCR}		V _{CC} V _{CC} = 5.5 V F _{CRH} = 10 MHz F _{MP} = 10 MHz メイン CR クロック モード	—	8.6	—	mA	
	I _{CCSCR}		V _{CC} = 5.5 V サブCRクロックモード (2分周) T _A = + 25 °C	—	110	410	μA	
	I _{CCTS}		V _{CC} (外部クロック動作)	V _{CC} = 5.5 V F _{CH} = 32 MHz タイムベースタイマ モード T _A = + 25 °C	—	1.1	3	mA
I _{CCCH}	V _{CC} (外部クロック動作)	V _{CC} = 5.5 V サブストップモード T _A = + 25 °C	—	3.5	22.5	μA	1 系統クロック品の場合 はメインストップ モード	

(続く)

MB95200H/210H シリーズ

(続き)

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
電源電流 *4	ILVD	VCC	低電圧検出回路のみ の場合の消費電流	—	37	54	μA	
	ICRH		内蔵メイン CR 発振器 の場合の消費電流	—	0.5	0.6	mA	
	ICRL		内蔵サブ CR 発振器 を 100 kHz で発振さ せる場合の消費電流	—	20	72	μA	

- * 1 : P04 の入力レベルは「CMOS 入力レベル」と「ヒステリシス入力レベル」の間で切替え可能です。2つの入力レベルの切替えには入力レベル選択レジスタ (ILSR) を使用します。
- * 2 : P62 と P63 は MB95F204H/F203H/F202H/F204K/F203K/F202K で使用可能です。
- * 3 : P00 ~ P03, P07, PG1 と PG2 は MB95F204H/F203H/F202H/F204K/F203K/F202K で使用可能です。
- * 4 : 電源電流は外部クロックで規定されています。低電圧検出オプションを選択された場合は、低電圧検出回路の消費電流 (ILVD) の値を規格値に足した合計が電源電流となります。また、低電圧検出オプションと内蔵 CR 発振器の両方を選択された場合は、低電圧検出回路の消費電流、内蔵 CR 発振器の消費電流 (ICRH, ICRL) および規格値を足した合計が電源電流となります。オンチップデバッグモードでは、内蔵 CR 発振器 (ICRH) と低電圧検出回路も常に動作するため、それに応じて消費電流が増大します。
 - FCH と FCL は、「4. 交流規格 (1) クロックタイミング」を参照してください。
 - FMP と FMPL は、「4. 交流規格 (2) ソースクロック / マシンクロック」を参照してください。

MB95200H/210H シリーズ

4. 交流規格

(1) クロックタイミング

(V_{CC} = 2.4 V ~ 5.5 V, V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

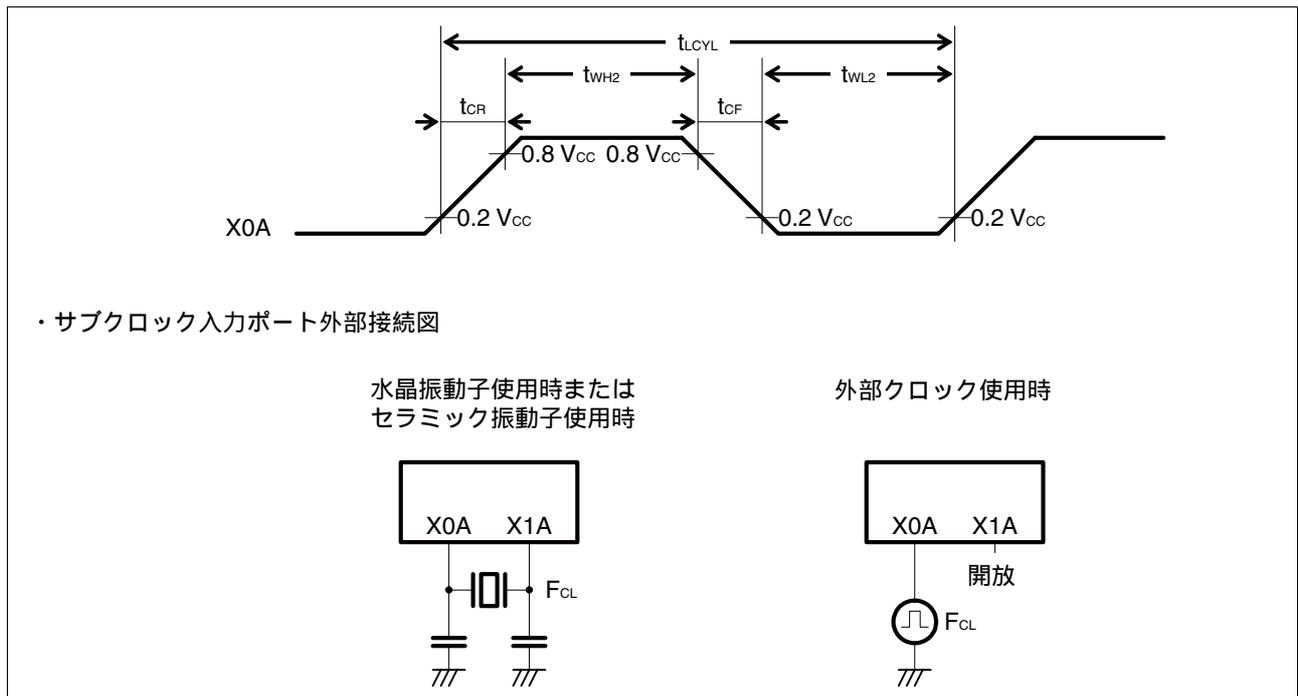
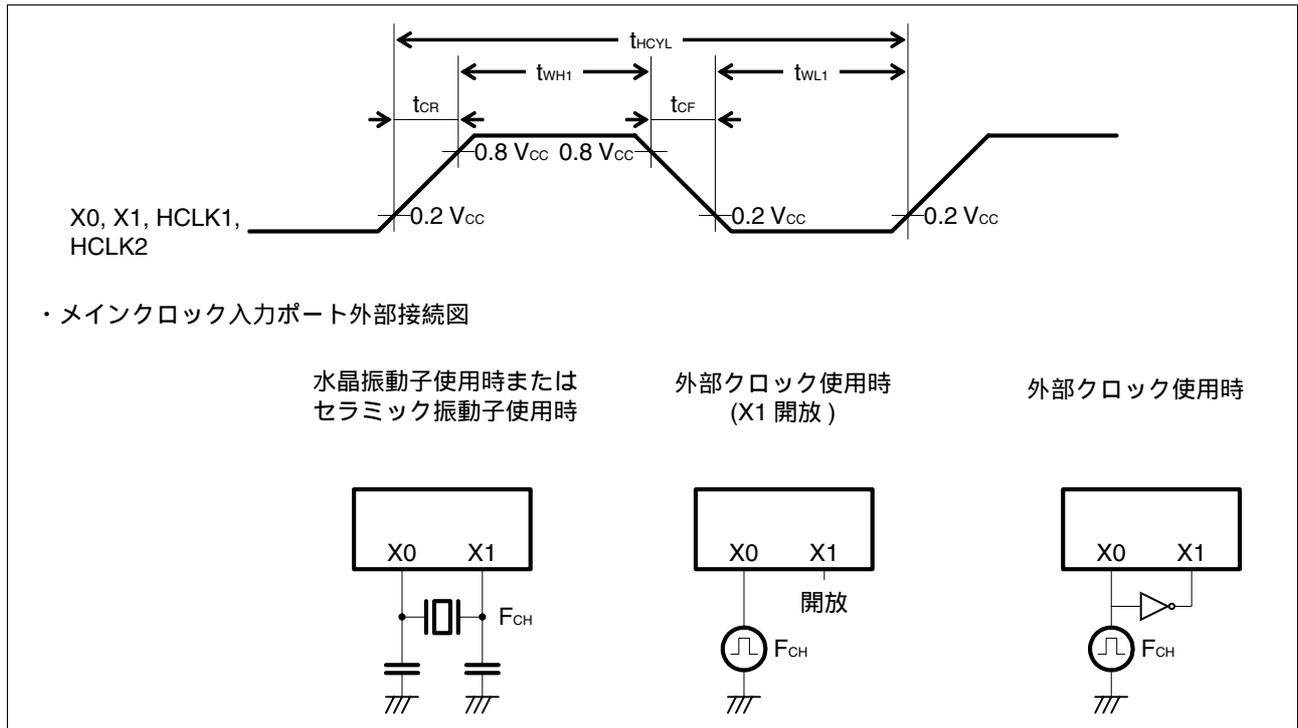
項目	記号	端子名	条件	規格値			単位	備考	
				最小	標準	最大			
クロック周波数	F _{CH}	X0, X1	—	1	—	16.25	MHz	メイン発振回路使用の場合	
		X0, HCLK1, HCLK2	X1 開放	1	—	12	MHz	メイン外部クロック使用の場合	
		X0, X1, HCLK1, HCLK2	—	1	—	32.5	MHz		
	F _{CRH}	—	—	—	9.7	10	10.3	MHz	メイン内蔵クロック使用の場合 3.3V V _{CC} 5.5V (-40 Ta 40)
					7.76	8	8.24	MHz	
					0.97	1	1.03	MHz	
					9.55	10	10.45	MHz	メイン内蔵クロック使用の場合 3.3V V _{CC} 5.5V (40 < Ta 85)
					7.64	8	8.36	MHz	
					0.955	1	1.045	MHz	
					9.5	10	10.5	MHz	メイン内蔵クロック使用の場合 2.4V V _{CC} < 3.3V (-40 Ta < 0 , 40 < Ta 85)
					7.6	8	8.4	MHz	
	0.95	1	1.05	MHz					
	F _{CL}	X0A, X1A	—	—	—	32.768	—	kHz	メイン発振回路使用の場合
					—	32.768	—	kHz	サブ外部クロック使用の場合
F _{CRL}	—	—	—	50	100	200	kHz	サブ内蔵 CR クロック使用の場合	
クロックサイクルタイム	t _H CYL	X0, X1	—	61.5	—	1000	ns	メイン発振回路使用の場合	
		X0, HCLK1, HCLK2	X1 開放	83.4	—	1000	ns	外部クロック使用の場合	
		X0, X1, HCLK1, HCLK2	—	30.8	—	1000	ns		
	t _L CYL	X0A, X1A	—	—	30.5	—	μs	サブクロック使用の場合	
入力クロックパルス幅	t _{WH1}	X0, HCLK1, HCLK2	X1 開放	33.4	—	—	ns	外部クロック使用の場合, デューティ比は 40% ~ 60% の範囲とさせていただきます。	
	t _{WL1}	X0, X1, HCLK1, HCLK2	—	12.4	—	—	ns		
	t _{WH2} t _{WL2}	X0A	—	—	15.2	—	μs		
入力クロックの立上り時間と立下り時間	t _{CR}	X0, HCLK1, HCLK2	X1 開放	—	—	5	ns	外部クロック使用の場合	
	t _{CF}	X0, X1, HCLK1, HCLK2	—	—	—	5	ns		

(続く)

MB95200H/210H シリーズ

(続き)

項目	記号	端子名	条件	規格値			単位	備考
				最小	標準	最大		
内蔵 CR 発振開始時間	tCRHWK	—	—	—	—	80	μs	メイン内蔵 CR クロック使用の場合
	tCRLWK	—	—	—	—	10	μs	サブ内蔵 CR クロック使用の場合



MB95200H/210H シリーズ

(2) ソースクロック / マシンクロック

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値			単位	備考
			最小	標準	最大		
ソースクロック サイクルタイム *1 (分周前の クロック)	tSCLK	—	61.5	—	2000	ns	メイン外部クロック使用の場合 最小: $F_{CH} = 32.5 \text{ MHz}$, 2分周 最大: $F_{CH} = 1 \text{ MHz}$, 2分周
			100	—	1000	ns	メイン CR クロック使用の場合 最小: $F_{CRH} = 10 \text{ MHz}$ 最大: $F_{CRH} = 1 \text{ MHz}$
			—	61	—	μs	サブ発振クロック使用の場合 $F_{CL} = 32.768 \text{ kHz}$, 2分周
			—	20	—	μs	サブ発振クロック使用の場合 $F_{CRL} = 100 \text{ kHz}$, 2分周
ソースクロック 周波数	FSP	—	0.5	—	16.25	MHz	メイン発振クロック使用の場合
			1	—	10	MHz	メイン CR クロック使用の場合
	FSPL		—	16.384	—	kHz	サブ発振クロック使用の場合
			—	50	—	kHz	サブ CR クロック使用の場合 $F_{CRL} = 100 \text{ kHz}$, 2分周
マシンクロック サイクルタイム *2 (最小命令実行 時間)	tMCLK	—	61.5	—	32000	ns	メイン発振クロック使用の場合 最小: $F_{SP} = 16.25 \text{ MHz}$, 分周なし 最大: $F_{SP} = 0.5 \text{ MHz}$, 16分周
			100	—	16000	ns	メイン CR クロック使用の場合 最小: $F_{SP} = 10 \text{ MHz}$ 最大: $F_{SP} = 1 \text{ MHz}$, 16分周
			61	—	976.5	μs	サブ発振クロック使用の場合 最小: $F_{SPL} = 16.384 \text{ kHz}$, 分周なし 最大: $F_{SPL} = 16.384 \text{ kHz}$, 16分周
			20	—	320	μs	サブ CR クロック使用の場合 最小: $F_{SPL} = 50 \text{ kHz}$, 分周なし 最大: $F_{SPL} = 50 \text{ kHz}$, 16分周
マシンクロック 周波数	FMP	—	0.031	—	16.25	MHz	メイン発振クロック使用の場合
			0.0625	—	10	MHz	メイン CR クロック使用の場合
	FMPL		1.024	—	16.384	kHz	サブ発振クロック使用の場合
			3.125	—	50	kHz	サブ CR クロック使用の場合 $F_{CRL} = 100 \text{ kHz}$

* 1 : マシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周される前のクロックです。本ソースクロックがマシンクロック分周比選択ビット (SYCC : DIV1, DIV0) によって設定される分周比にしたがって分周され、マシンクロックとなります。なお、ソースクロックは、以下から選択できます。

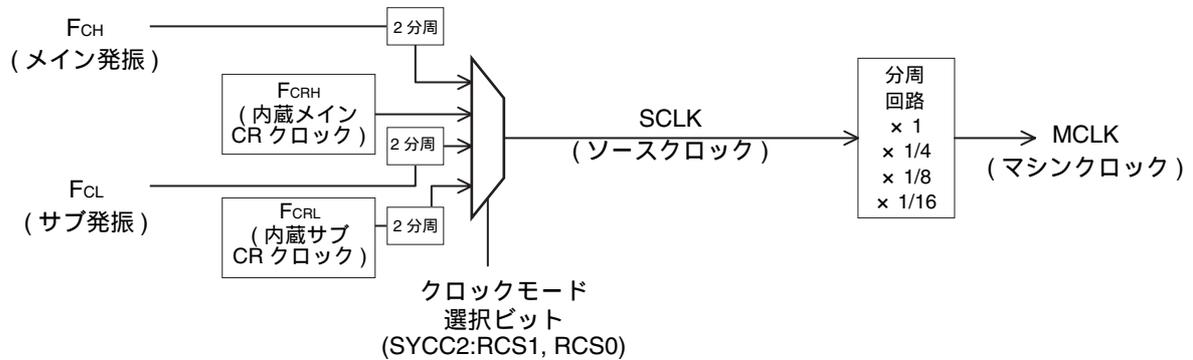
- ・メインクロックの2分周
- ・メイン CR クロック
- ・サブクロックの2分周
- ・サブ CR クロックの2分周

* 2 : マイクロコントローラの動作クロックです。マシンクロックは、以下から選択できます。

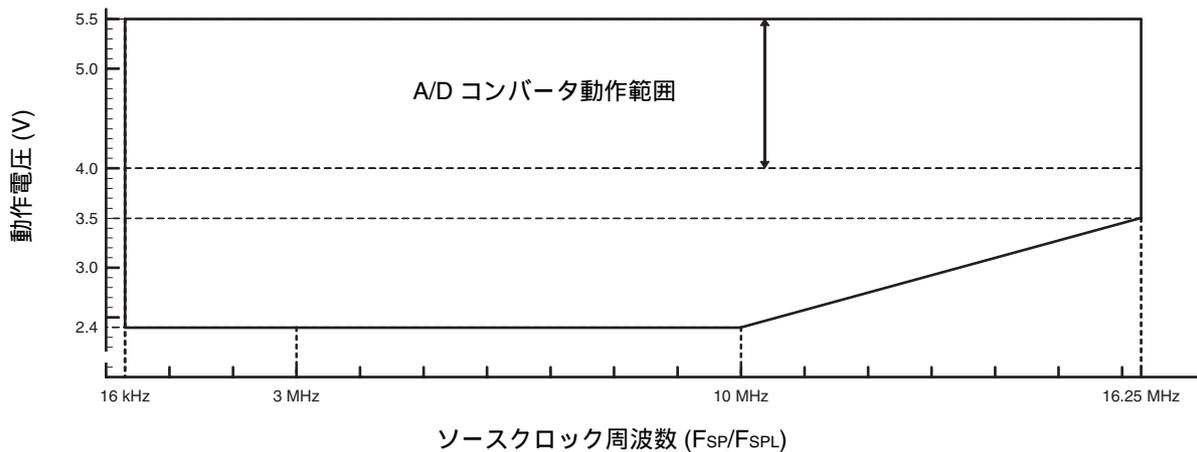
- ・ソースクロック (分周なし)
- ・ソースクロックの4分周
- ・ソースクロックの8分周
- ・ソースクロックの16分周

MB95200H/210H シリーズ

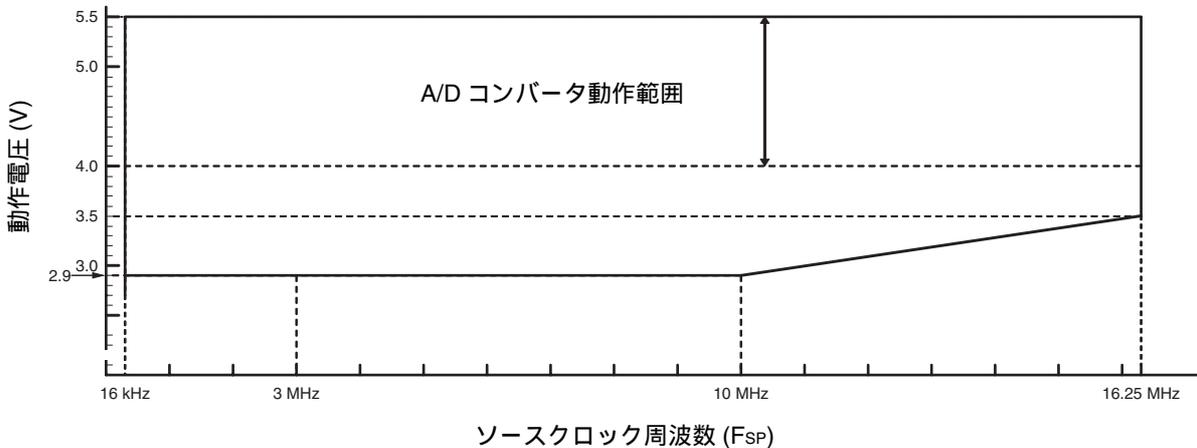
・クロック生成部の概略図



・動作電圧 - 動作周波数 ($T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$) MB95200H/210H(オンチップデバッグ機能なし)



・動作電圧 - 動作周波数 ($T_A = +5^\circ\text{C} \sim +35^\circ\text{C}$) MB95200H/210H(オンチップデバッグ機能あり)



MB95200H/210H シリーズ

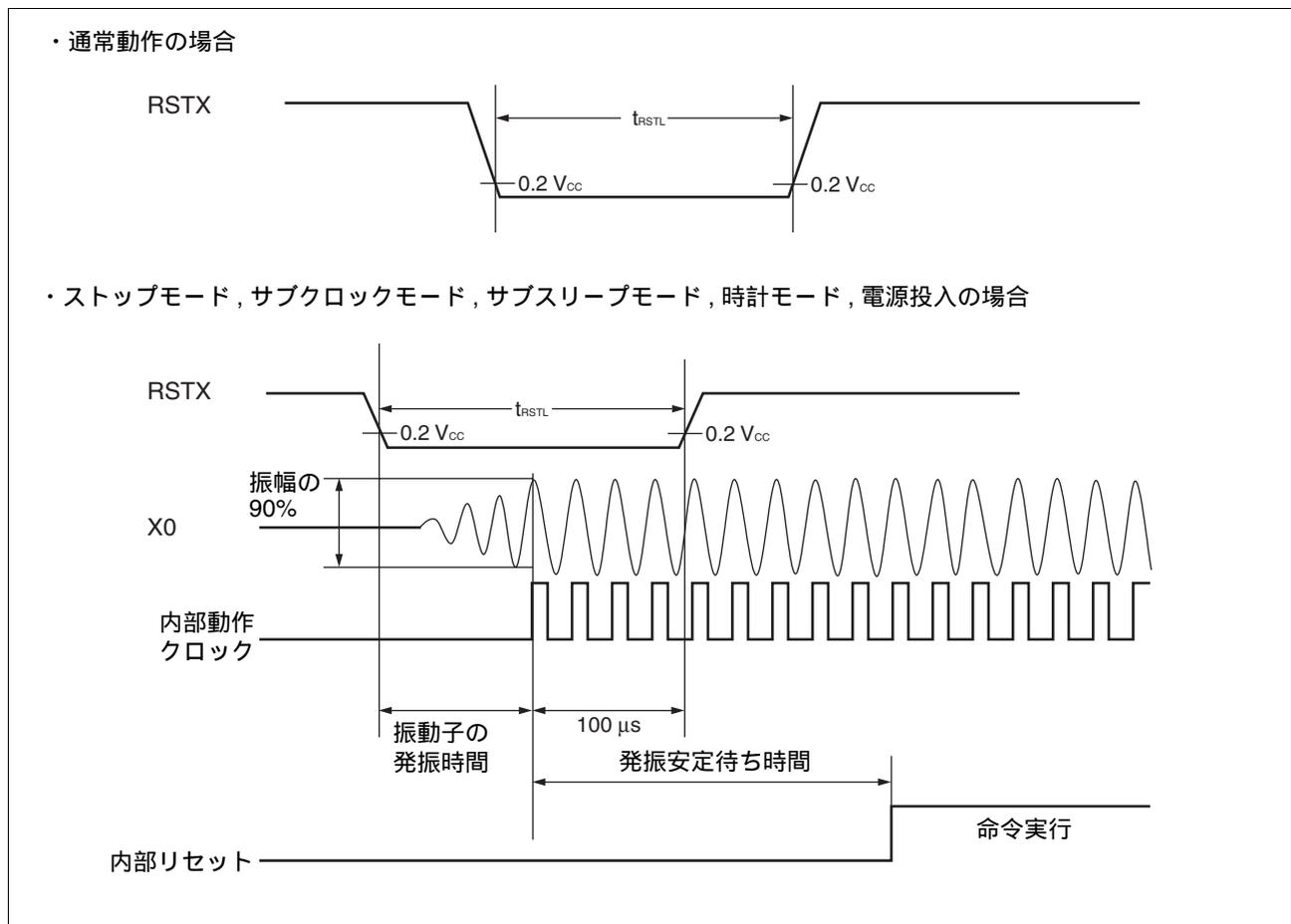
(3) 外部リセット

($V_{CC} = 5.0\text{ V} \pm 10\%$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$)

項目	記号	規格値		単位	備考
		最小	最大		
RSTX “L” レベルパルス幅	trSTL	$2\ t_{MCLK}^{*1}$	—	ns	通常動作の場合
		振動子の発振時間 ^{*2} + 100	—	μs	ストップモード、サブクロックモード、サブスリープモード、時計モードの場合
		100	—	μs	タイムベースタイムモードの場合

* 1 : t_{MCLK} については「(2) ソースクロック / マシンクロック」を参照してください。

* 2 : 振動子の発振時間は、振幅の 90% に達するまでの時間です。水晶振動子は数 ms ~ 数十 ms, セラミック振動子は数百 μs ~ 数 ms, 外部クロックは 0ms, CR 発振器は数 μs ~ 数 ms となります。

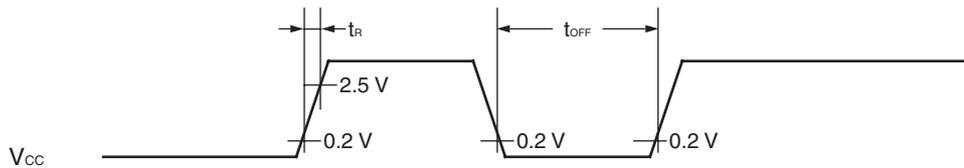


MB95200H/210H シリーズ

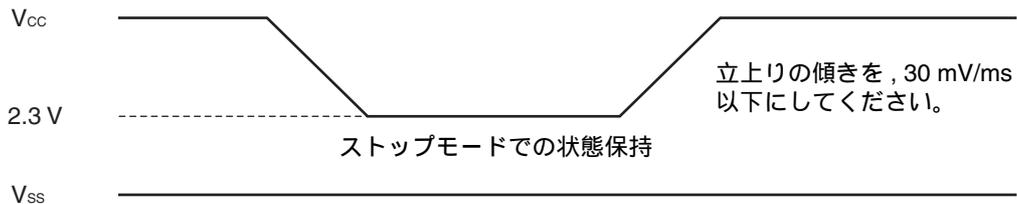
(4) パワーオンリセット

($V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$)

項目	記号	条件	規格値		単位	備考
			最小	最大		
電源立上り時間	t_R	—	—	50	ms	
電源断時間	t_{OFF}	—	1	—	ms	電源投入までの待ち時間



(注意事項) 電源電圧を急激に変化させると、パワーオンリセットが起動される場合があります。動作中に電源電圧を変化させる場合は、下図のように立上りの傾きを、30 mV/ms 以下にしてください。



MB95200H/210H シリーズ

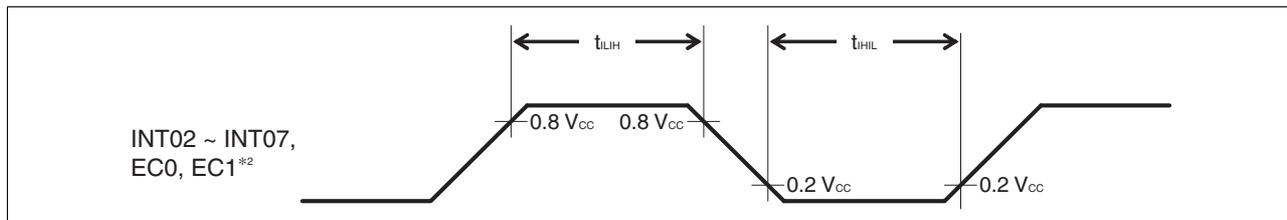
(5) 周辺入力タイミング

($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$)

項目	記号	端子名	規格値		単位
			最小	最大	
周辺入力“H”パルス幅	t_{LH}	INT02 ~ INT07, EC0, EC1 ^{*2}	$2 t_{MCLK}^{*1}$	—	ns
周辺入力“L”パルス幅	t_{HL}		$2 t_{MCLK}^{*1}$	—	ns

* 1 : t_{MCLK} については、「(2) ソースクロック / マシンクロック」を参照してください。

* 2 : INT02, INT03, INT05, INT07 および EC1 は MB95F204H/F203H/F202H/F204K/F203K/F202K で使用可能です。



MB95200H/210H シリーズ

(6) LIN-UART タイミング (MB95F204H/F203H/F202H/F204K/F203K/F202K でのみ使用可能)

サンプリングクロックの立上りエッジでサンプリングを行い *1, シリアルクロック遅延を禁止する場合 *2

(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 0)

(Vcc = 5.0 V ± 10%, AVss = Vss = 0.0 V, TA = - 40 °C ~ + 85 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	tSCYC	SCK	内部クロック動作 出力端子： CL = 80 pF + 1 TTL	5 tMCLK*3	—	ns
SCK SOT 遅延時間	tSLOVI	SCK, SOT		- 95	+ 95	ns
有効 SIN SCK	tIVSHI	SCK, SIN		tMCLK*3 + 190	—	ns
SCK 有効 SIN ホールド時間	tSHIXI	SCK, SIN		0	—	ns
シリアルクロック “L” パルス幅	tLSLH	SCK	外部クロック動作 出力端子： CL = 80 pF + 1 TTL	3 tMCLK*3 - tr	—	ns
シリアルクロック “H” パルス幅	tSHSL	SCK		tMCLK*3 + 95	—	ns
SCK SOT 遅延時間	tSLOVE	SCK, SOT		—	2 tMCLK*3 + 95	ns
有効 SIN SCK	tIVSHE	SCK, SIN		190	—	ns
SCK 有効 SIN ホールド時間	tSHIXE	SCK, SIN		tMCLK*3 + 95	—	ns
SCK 立下り時間	tr	SCK		—	10	ns
SCK 立上り時間	tr	SCK		—	10	ns

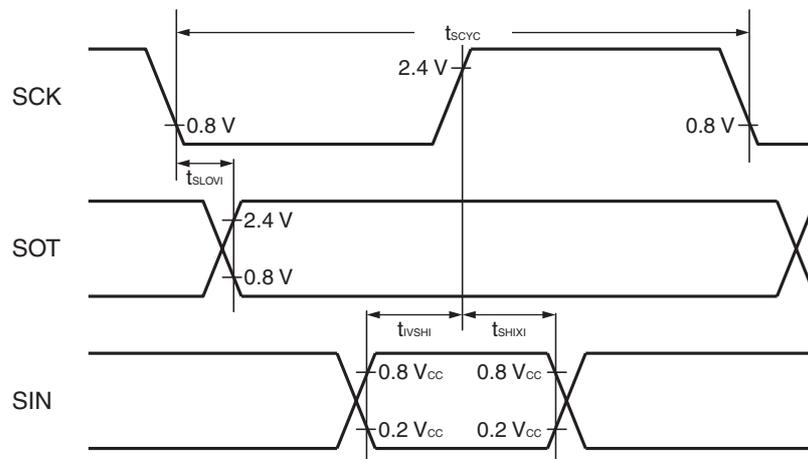
* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

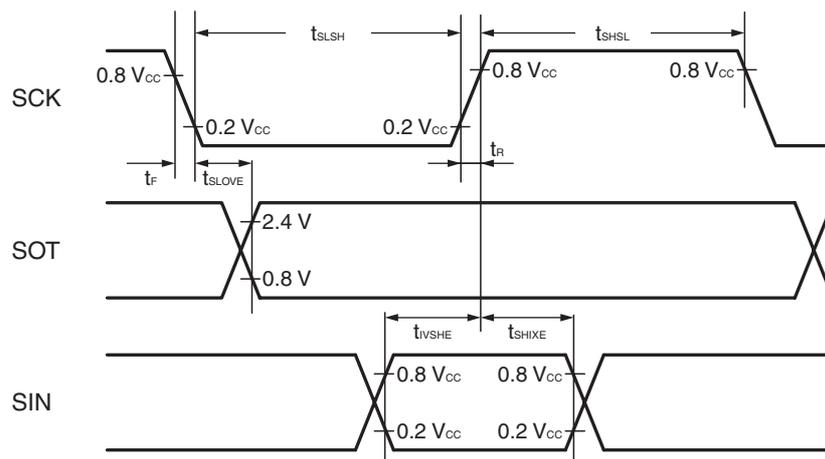
* 3 : tMCLK については, 「(2) ソースクロック / マシンクロック」を参照してください。

MB95200H/210H シリーズ

・内部シフトクロックモード



・外部シフトクロックモード



MB95200H/210H シリーズ

サンプリングクロックの立下りエッジでサンプリングを行い *1, シリアルクロック遅延を禁止する場合 *2
(ESCR レジスタ : SCES ビット = 1, ECCR レジスタ : SCDE ビット = 0)

(V_{CC} = 5.0 V ± 10%, V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	tSCYC	SCK	内部クロック動作 出力端子： C _L = 80 pF + 1 TTL	5 tMCLK*3	—	ns
SCK SOT 遅延時間	tSHOVI	SCK, SOT		- 95	+ 95	ns
有効 SIN SCK	tIVSLI	SCK, SIN		tMCLK*3 + 190	—	ns
SCK 有効 SIN ホールド時間	tSLIXI	SCK, SIN		0	—	ns
シリアルクロック “H” パルス幅	tSHSL	SCK	外部クロック動作 出力端子： C _L = 80 pF + 1 TTL	3 tMCLK*3 - t _r	—	ns
シリアルクロック “L” パルス幅	tLSLH	SCK		tMCLK*3 + 95	—	ns
SCK SOT 遅延時間	tSHOVE	SCK, SOT		—	2 tMCLK*3 + 95	ns
有効 SIN SCK	tIVSLE	SCK, SIN		190	—	ns
SCK 有効 SIN ホールド時間	tSLIXE	SCK, SIN		tMCLK*3 + 95	—	ns
SCK 立下り時間	t _f	SCK		—	10	ns
SCK 立上り時間	t _r	SCK		—	10	ns

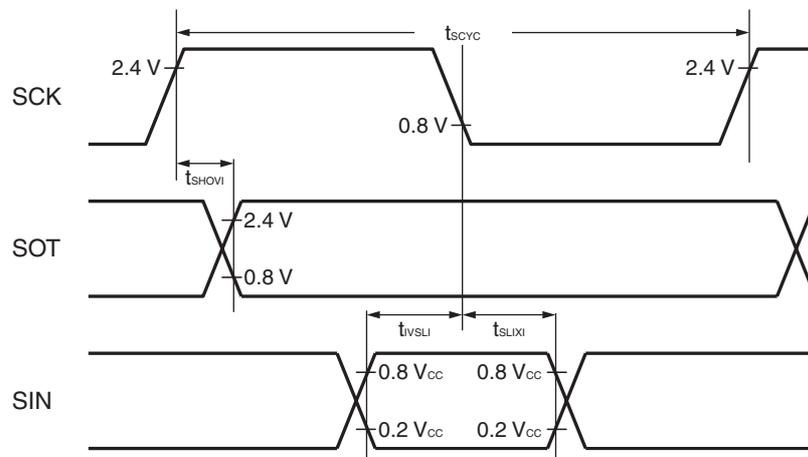
* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか、立下りで行うかを選択する機能があります。

* 2 : シリアルクロック遅延機能は、シリアルクロックの出力信号を半クロック遅延させる機能です。

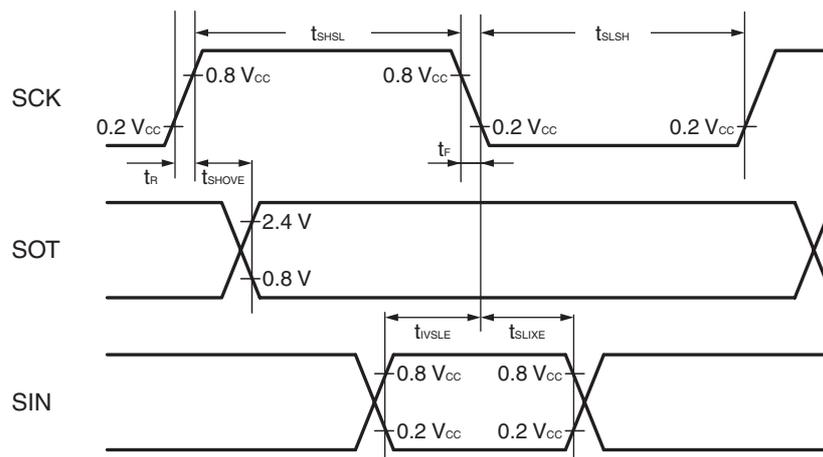
* 3 : tMCLK については、「(2) ソースクロック / マシンクロック」を参照してください。

MB95200H/210H シリーズ

・内部シフトクロックモード



・内部シフトクロックモード



MB95200H/210H シリーズ

サンプリングクロックの立上りエッジでサンプリングを行い *1, シリアルクロック遅延を許可する場合 *2
(ESCR レジスタ : SCES ビット = 0, ECCR レジスタ : SCDE ビット = 1)

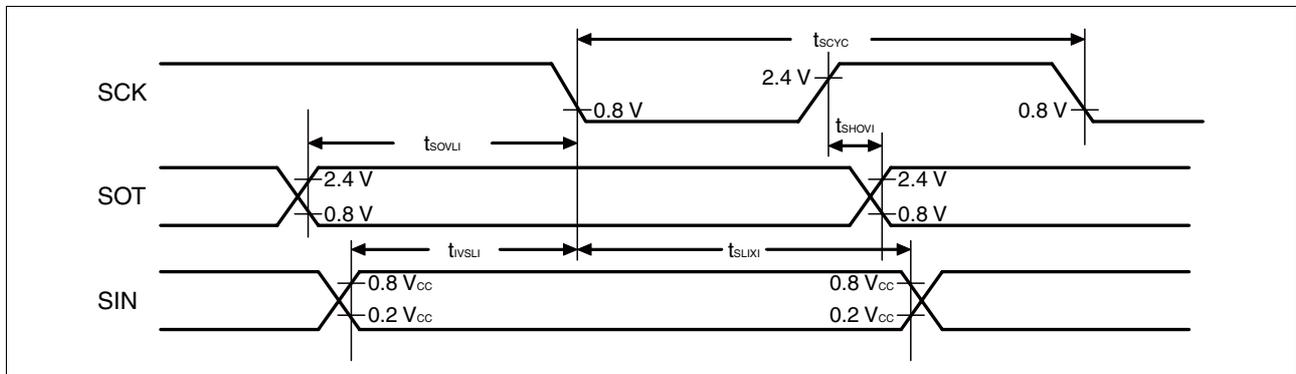
($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40 \text{ }^\circ\text{C} \sim +85 \text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t _{SCYC}	SCK	内部クロック動作 出力端子: C _L = 80 pF + 1 TTL	5 t _{MCLK} * ³	—	ns
SCK SOT 遅延時間	t _{SHOVI}	SCK, SOT		- 95	+ 95	ns
有効 SIN SCK	t _{IVSLI}	SCK, SIN		t _{MCLK} * ³ + 190	—	ns
SCK 有効 SIN ホールド時間	t _{SLIXI}	SCK, SIN		0	—	ns
SOT SCK 遅延時間	t _{SOVLI}	SCK, SOT		—	4 t _{MCLK} * ³	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK}については, 「(2) ソースクロック/マシクロック」を参照してください。



MB95200H/210H シリーズ

サンプリングクロックの立下りエッジでサンプリングを行い *1, シリアルクロック遅延を許可する場合 *2
(ESCR レジスタ : SCES ビット = 1, ECCR レジスタ : SCDE ビット = 1)

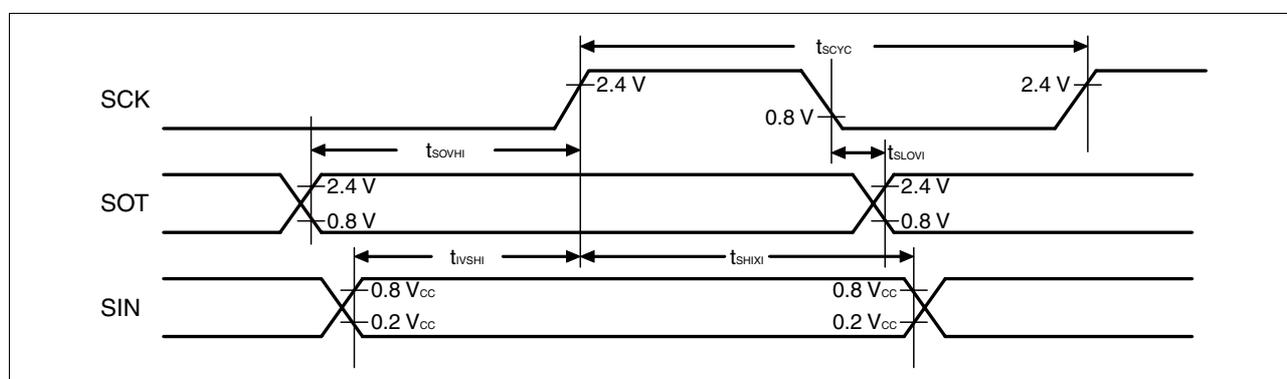
($V_{CC} = 5.0 \text{ V} \pm 10\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = -40 \text{ }^\circ\text{C} \sim +85 \text{ }^\circ\text{C}$)

項目	記号	端子名	条件	規格値		単位
				最小	最大	
シリアルクロックサイクルタイム	t _{SCYC}	SCK	内部クロック動作 出力端子: C _L = 80 pF + 1 TTL	5 t _{MCLK} * ³	—	ns
SCK SOT 遅延時間	t _{SLOVI}	SCK, SOT		- 95	+ 95	ns
有効 SIN SCK	t _{IVSHI}	SCK, SIN		t _{MCLK} * ³ + 190	—	ns
SCK 有効 SIN ホールド時間	t _{SHIXI}	SCK, SIN		0	—	ns
SOT SCK 遅延時間	t _{SOVHI}	SCK, SOT		—	4 t _{MCLK} * ³	ns

* 1 : 受信データのサンプリングをシリアルクロックの立上りで行うか, 立下りで行うかを選択する機能があります。

* 2 : シリアルクロック遅延機能は, シリアルクロックの出力信号を半クロック遅延させる機能です。

* 3 : t_{MCLK}については, 「(2) ソースクロック/マシクロック」を参照してください。



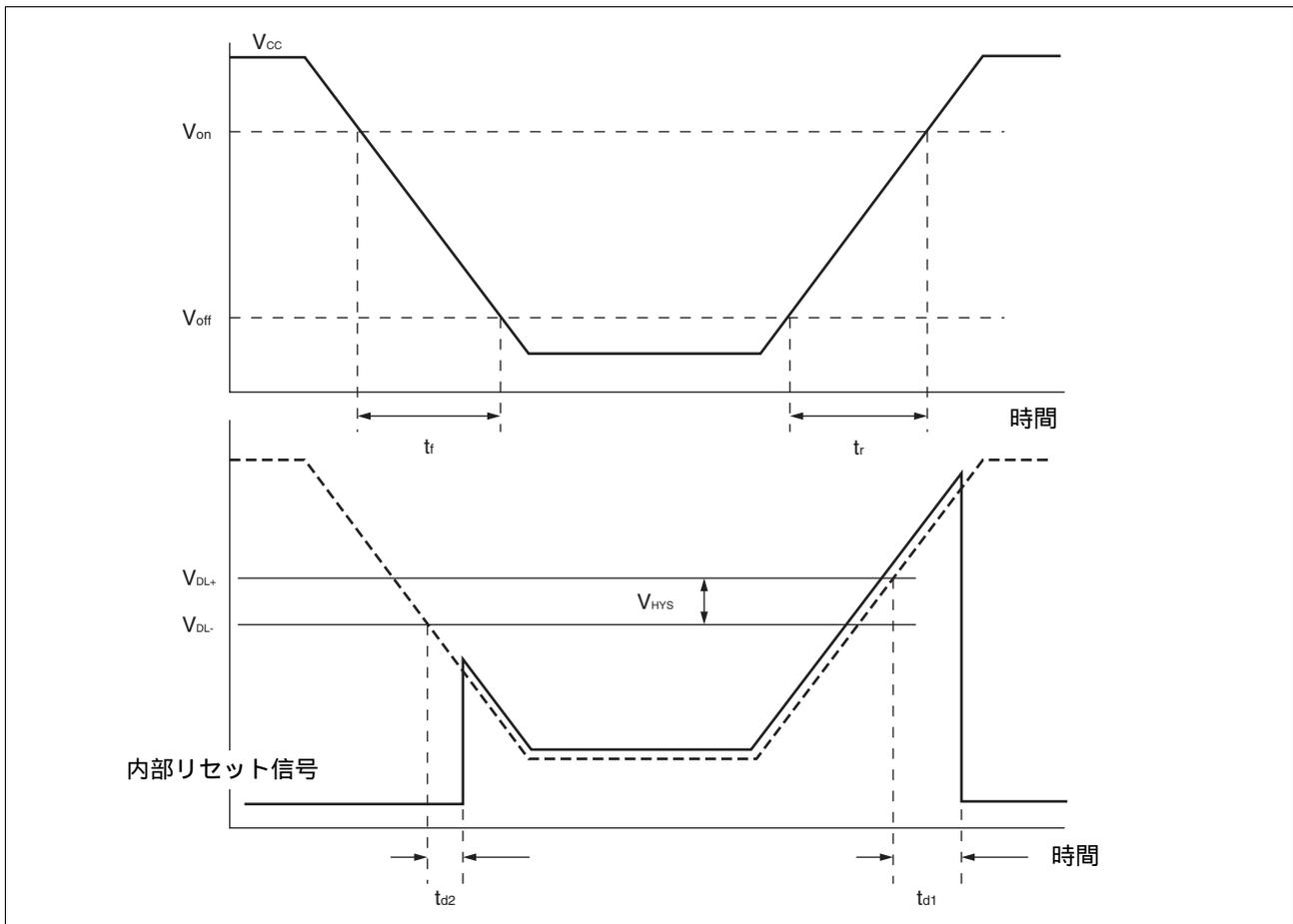
MB95200H/210H シリーズ

(7) 低電圧検出

(V_{SS} = 0.0 V, T_A = - 40 °C ~ + 85 °C)

項目	記号	規格値			単位	備考
		最小	標準	最大		
解除電圧	V _{DL+}	2.52	2.7	2.88	V	電源上昇の場合
検出電圧	V _{DL-}	2.42	2.6	2.78	V	電源降下の場合
ヒステリシス幅	V _{HYS}	70	100	—	mV	
電源開始電圧	V _{off}	—	—	2.3	V	
電源到達電圧	V _{on}	4.9	—	—	V	
電源電圧変化時間 (電源上昇の場合)	t _r	1	—	—	μs	リセット解除信号が発生する電源の傾き
		—	3000	—	μs	リセット解除信号が規格内 (V _{DL+}) で発生する電源の傾き
電源電圧変化時間 (電源降下の場合)	t _r	300	—	—	μs	リセット検出信号が発生する電源の傾き
		—	300	—	μs	リセット検出信号が規格内 (V _{DL-}) で発生する電源の傾き
リセット解除遅延時間	t _{d1}	—	—	300	μs	
リセット検出遅延時間	t _{d2}	—	—	20	μs	

MB95200H/210H シリーズ



MB95200H/210H シリーズ

5. A/D コンバータ

(1) A/D コンバータ電気的特性

($V_{CC} = 4.0\text{ V} \sim 5.5\text{ V}$, $V_{SS} = 0.0\text{ V}$, $T_A = -40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$)

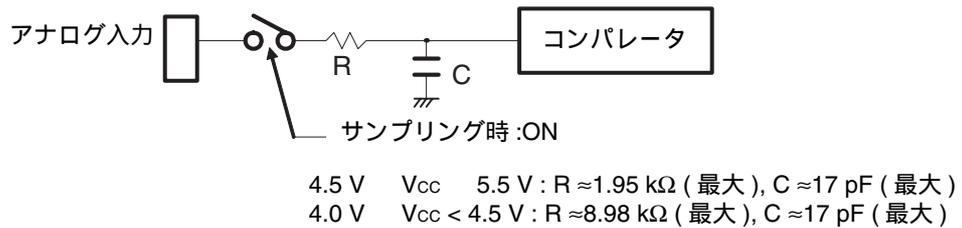
項目	記号	規格値			単位	備考
		最小	標準	最大		
分解能	—	—	—	10	bit	
総合誤差		- 3	—	+ 3	LSB	
直線性誤差		- 2.5	—	+ 2.5	LSB	
微分直線性誤差		- 1.9	—	+ 1.9	LSB	
ゼロトランジション電圧	V_{OT}	$V_{SS} - 1.5\text{ LSB}$	$V_{SS} + 0.5\text{ LSB}$	$V_{SS} + 2.5\text{ LSB}$	V	
フルスケールトランジション電圧	V_{FST}	$V_{CC} - 4.5\text{ LSB}$	$V_{CC} - 2\text{ LSB}$	$V_{CC} + 0.5\text{ LSB}$	V	
コンペア時間	—	0.9	—	16500	μs	4.5 V V_{CC} 5.5 V
		1.8	—	16500	μs	4.0 V $V_{CC} < 4.5\text{ V}$
サンプリング時間	—	0.6	—	∞	μs	4.5 V V_{CC} 5.5 V, 外部インピーダンス < 5.4 k Ω の場合
		1.2	—	∞	μs	4.0 V V_{CC} 4.5 V, 外部インピーダンス < 2.4 k Ω の場合
アナログ入力電流	I_{AIN}	- 0.3	—	+ 0.3	μA	
アナログ入力電圧	V_{AIN}	V_{SS}	—	V_{CC}	V	

MB95200H/210H シリーズ

(2) A/D コンバータの注意事項

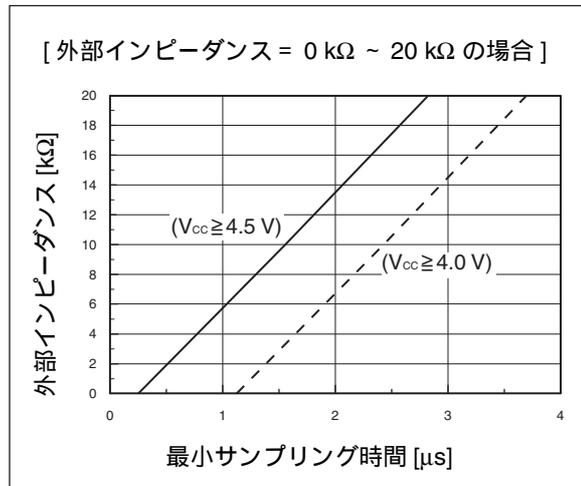
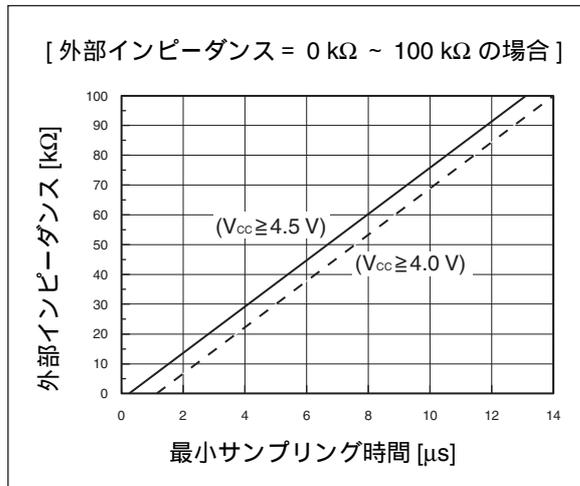
- アナログ入力の外部インピーダンスとサンプリング時間について
- MB95200H/210H シリーズの A/D コンバータはサンプルホールド付きのものです。外部インピーダンスが高くサンプリング時間を十分に確保できない場合には、内部サンプルホールド用コンデンサに十分にアナログ電圧が充電されず、A/D 変換精度に影響を及ぼします。したがって、A/D 変換精度規格を満たすために、外部インピーダンスと最小サンプリング時間の関係から、サンプリング時間を最小値より長くなるようにレジスタ値と動作周波数を調整するか、外部インピーダンスを下げてご使用ください。また、サンプリング時間を十分に確保できない場合は、アナログ入力端子に 0.1 μF 程度のコンデンサを接続してください。

・アナログ入力等価回路



(注意事項) 数値は参考値です。

・外部インピーダンスと最小サンプリング時間の関係



・A/D 変換誤差について

$|V_{cc} - V_{ssl}|$ が小さくなるに従って、A/D 変換の誤差は大きくなります。

(3) A/D コンバータの用語の定義

- ・ 分解能

A/D コンバータにより識別可能なアナログ変化を示します。

10 ビットなら、アナログ電圧を $2^{10} = 1024$ の部分に分解可能です。

- ・ 直線性誤差 (単位:LSB)

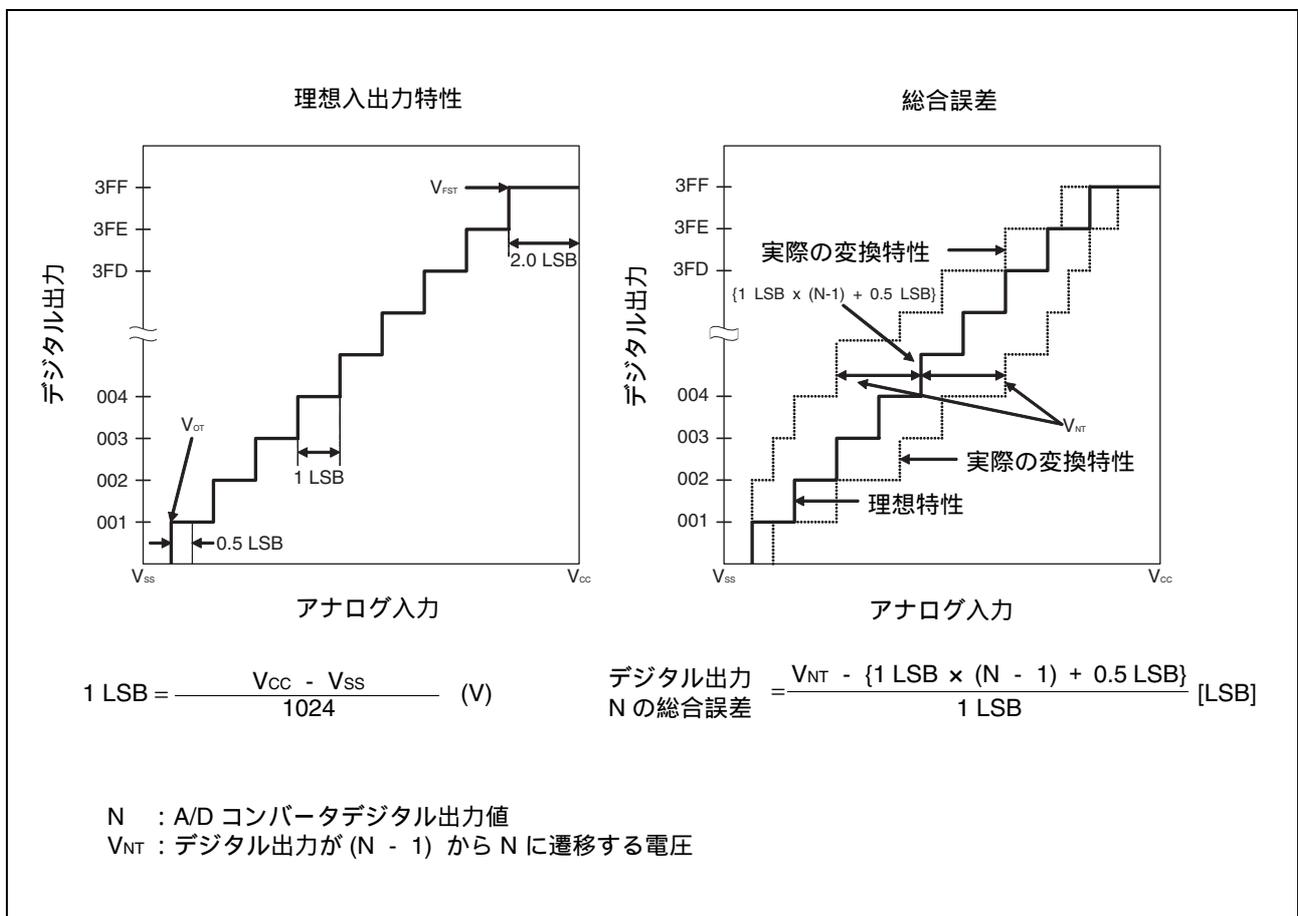
デバイスのゼロトランジション点 (“00 0000 0000” “00 0000 0001”) と、同じデバイスのフルスケールトランジション点 (“11 1111 1111” “11 1111 1110”) とを結んだ直線と、実際の変換値との誤差がどの程度かを示します。

- ・ 微分直線性誤差 (単位:LSB)

出力コードを 1LSB 変化させるのに必要な入力電圧の理想値からの偏差がどの程度かを示します。

- ・ 総合誤差 (単位:LSB)

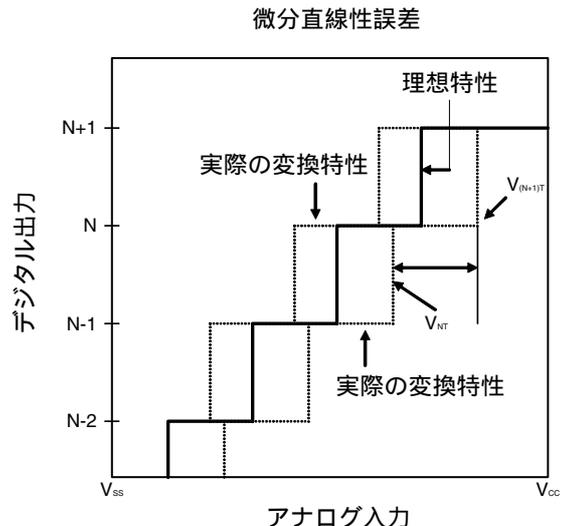
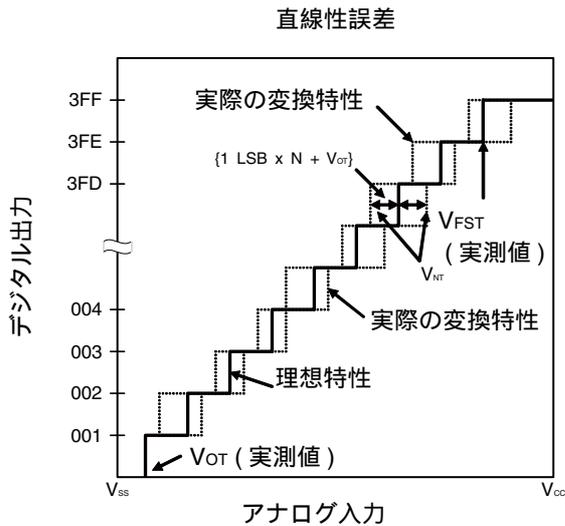
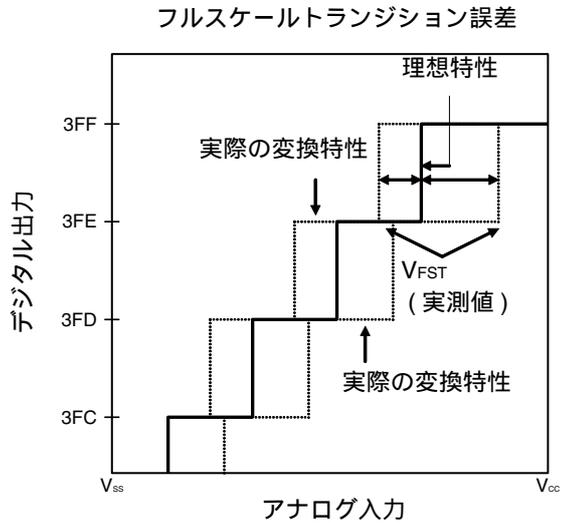
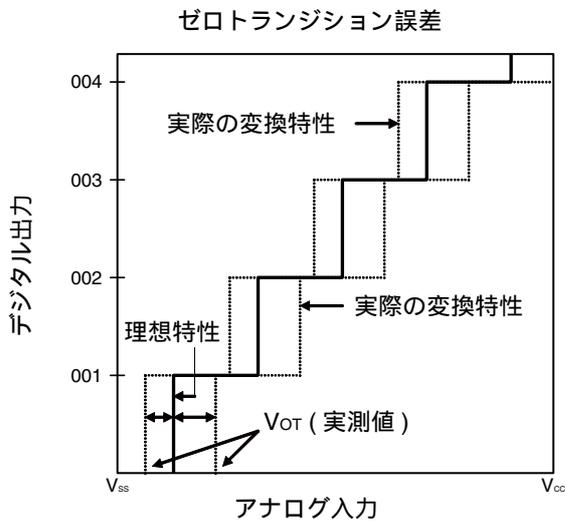
実際の値と理論値との差を示し、ゼロトランジション誤差 / フルスケールトランジション誤差 / 直線性誤差 / 量子誤差および雑音に起因する誤差です。



(続く)

MB95200H/210H シリーズ

(続き)



$$\text{デジタル出力 } N \text{ の直線性誤差} = \frac{V_{NT} - \{1 \text{ LSB} \times N + V_{OT}\}}{1 \text{ LSB}}$$

$$\text{デジタル出力 } N \text{ の微分直線性誤差} = \frac{V_{(N+1)T} - V_{NT}}{1 \text{ LSB}} - 1$$

- N : A/D コンバータデジタル出力値
- V_{NT} : デジタル出力が (N - 1) から N に遷移する電圧
- V_{OT} (理想値) = $V_{SS} + 0.5 \text{ LSB [V]}$
- V_{FST} (理想値) = $V_{CC} - 2.0 \text{ LSB [V]}$

MB95200H/210H シリーズ

6. フラッシュメモリ書込み/消去特性

項目	規格値			単位	備考
	最小	標準	最大		
チップ消去時間	—	1* ¹	15* ²	s	内部での消去前書込み時間は除きます。
バイト書込み時間	—	32	3600	μs	システムレベルのオーバヘッド時間は除きます。
消去 / 書込み電圧	9.5	10	10.5	V	消去 / 書込み時には RSTX 端子に消去 / 書込み電圧を印加する必要があります。
消去 / 書込みサイクル	—	100000	—	cycle	
消去 / 書込み時の電源電圧	4.5	—	5.5	V	
フラッシュメモリデータ保持時間	20* ³	—	—	year	平均 T _A = + 85 °C

* 1 : T_A = + 25 °C, V_{CC} = 5.0 V, 100000 サイクル

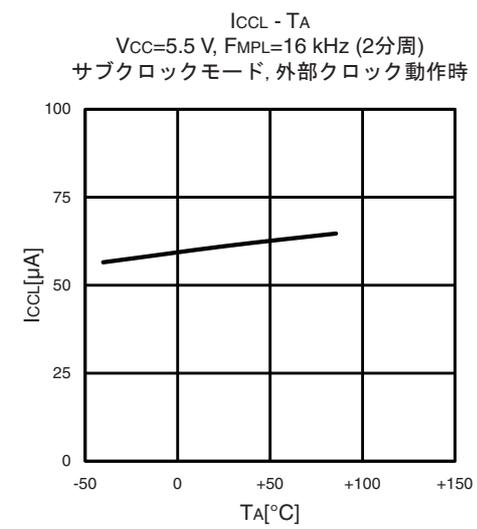
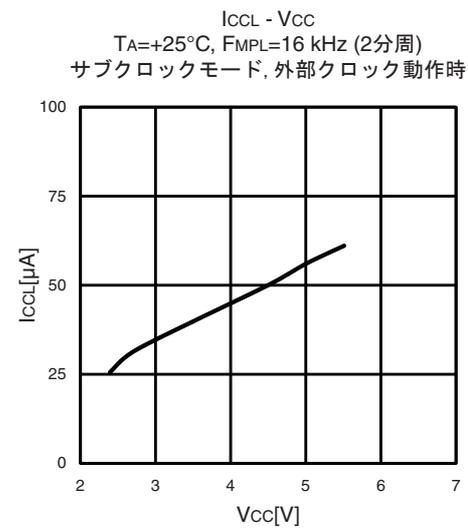
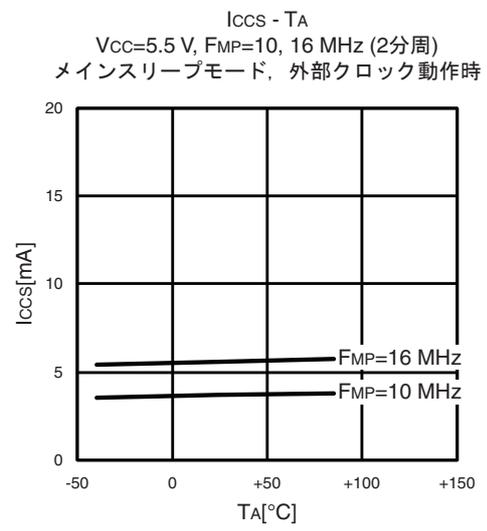
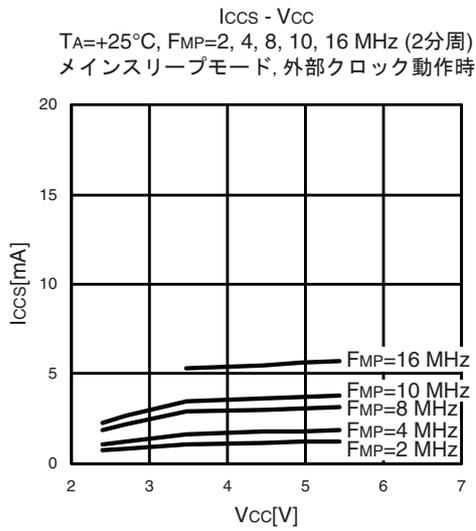
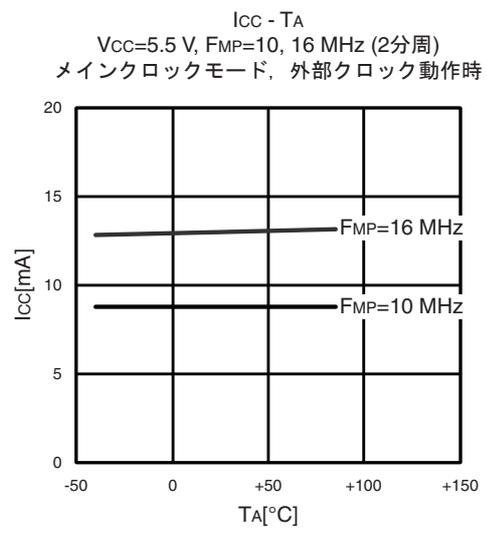
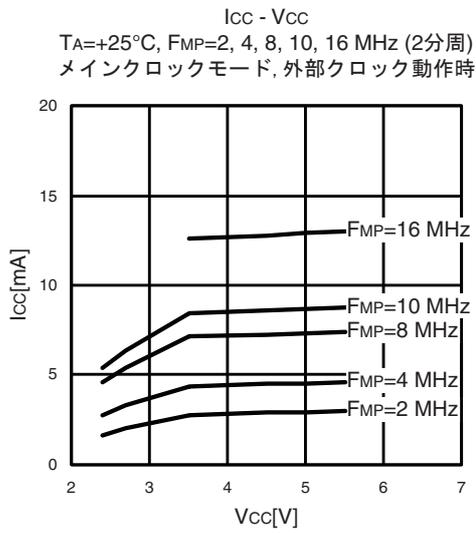
* 2 : T_A = + 85 °C, V_{CC} = 4.5 V, 100000 サイクル

* 3 : テクノロジ信頼性評価結果からの換算値です (アレニウスの式を使用し, 高温加速試験結果を平均温度 + 85 °C へ換算しています)。

MB95200H/210H シリーズ

■ 特性例

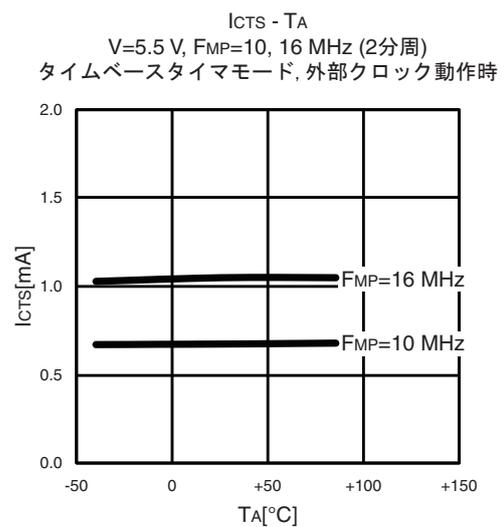
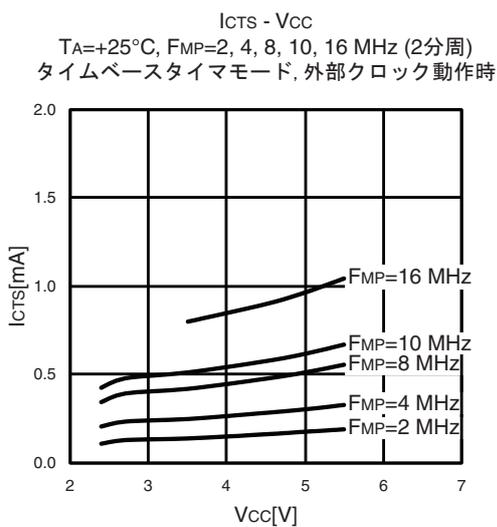
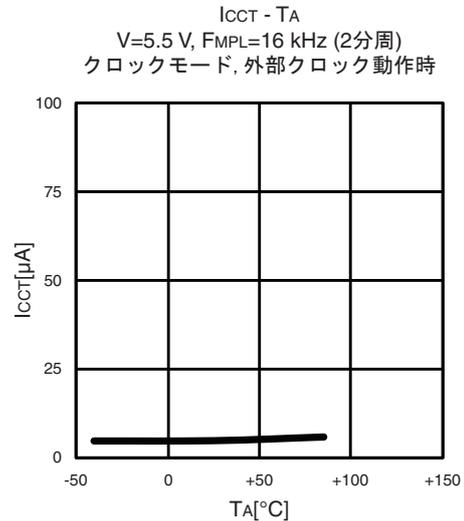
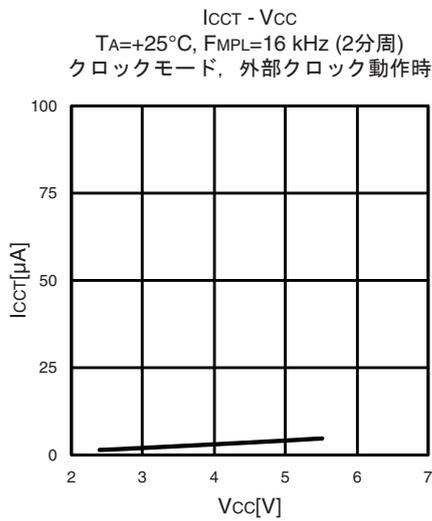
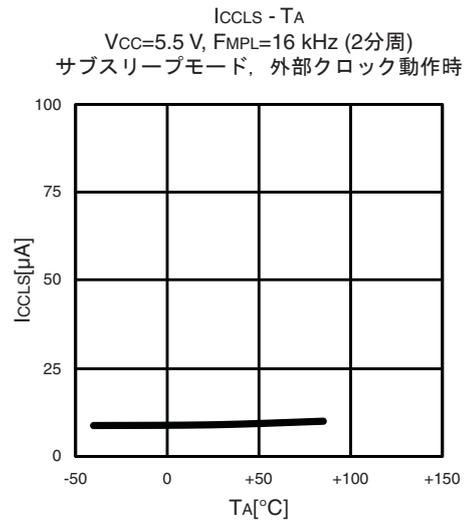
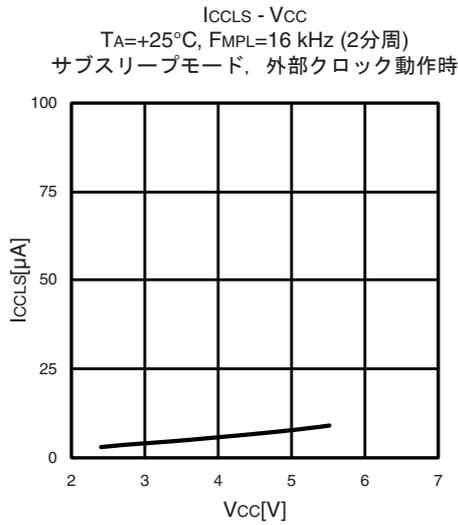
・電源電流特性・温度特性



(続く)

MB95200H/210H シリーズ

(続き)

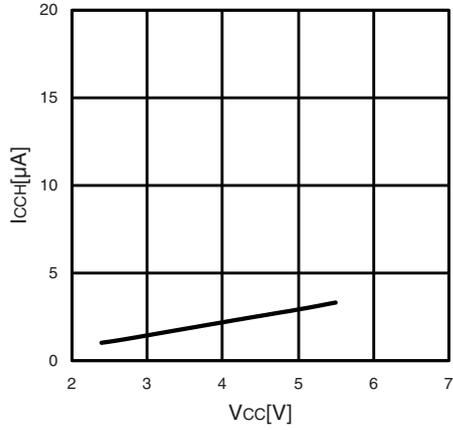


(続く)

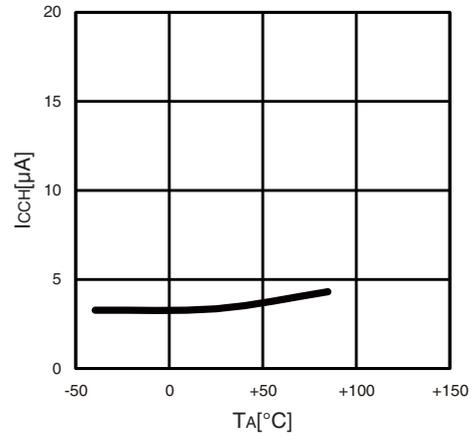
MB95200H/210H シリーズ

(続き)

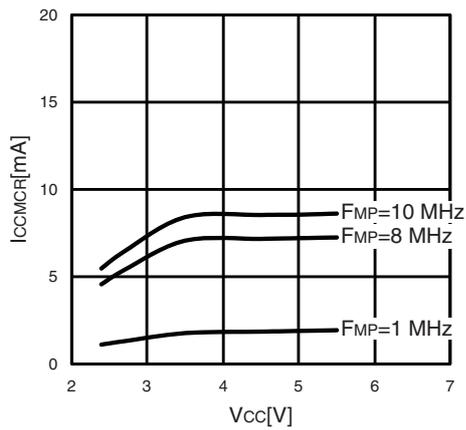
ICCH - VCC
 TA=+25°C, FMPL=(停止)
 サブストップモード, 外部クロック停止時



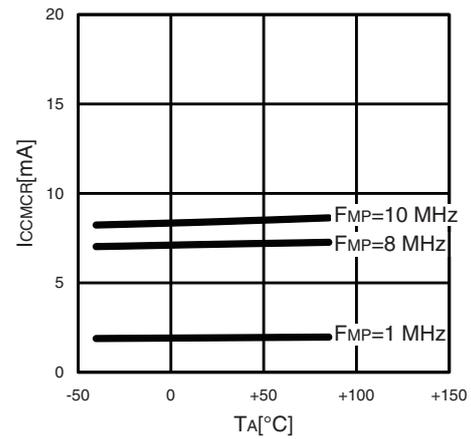
ICCH - TA
 V=5.5 V, FMPL=(停止)
 サブストップモード, 外部クロック停止時



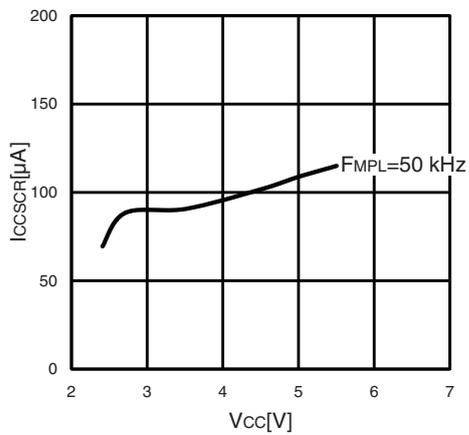
ICCMCR - VCC
 TA=+25°C, FMP=1, 8, 10 MHz (分周なし)
 メインクロックモード, 内部メインCRクロック動作時



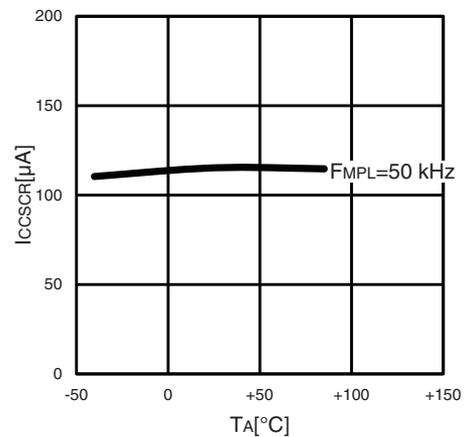
ICCMCR - TA
 V=5.5 V, FMPL=1, 8, 10 MHz (分周なし)
 メインクロックモード, 内部メインCRクロック動作時



ICCSER - VCC
 TA=+25°C, FMPL=50 kHz (2分周)
 サブクロックモード, 内部サブCRクロック動作時

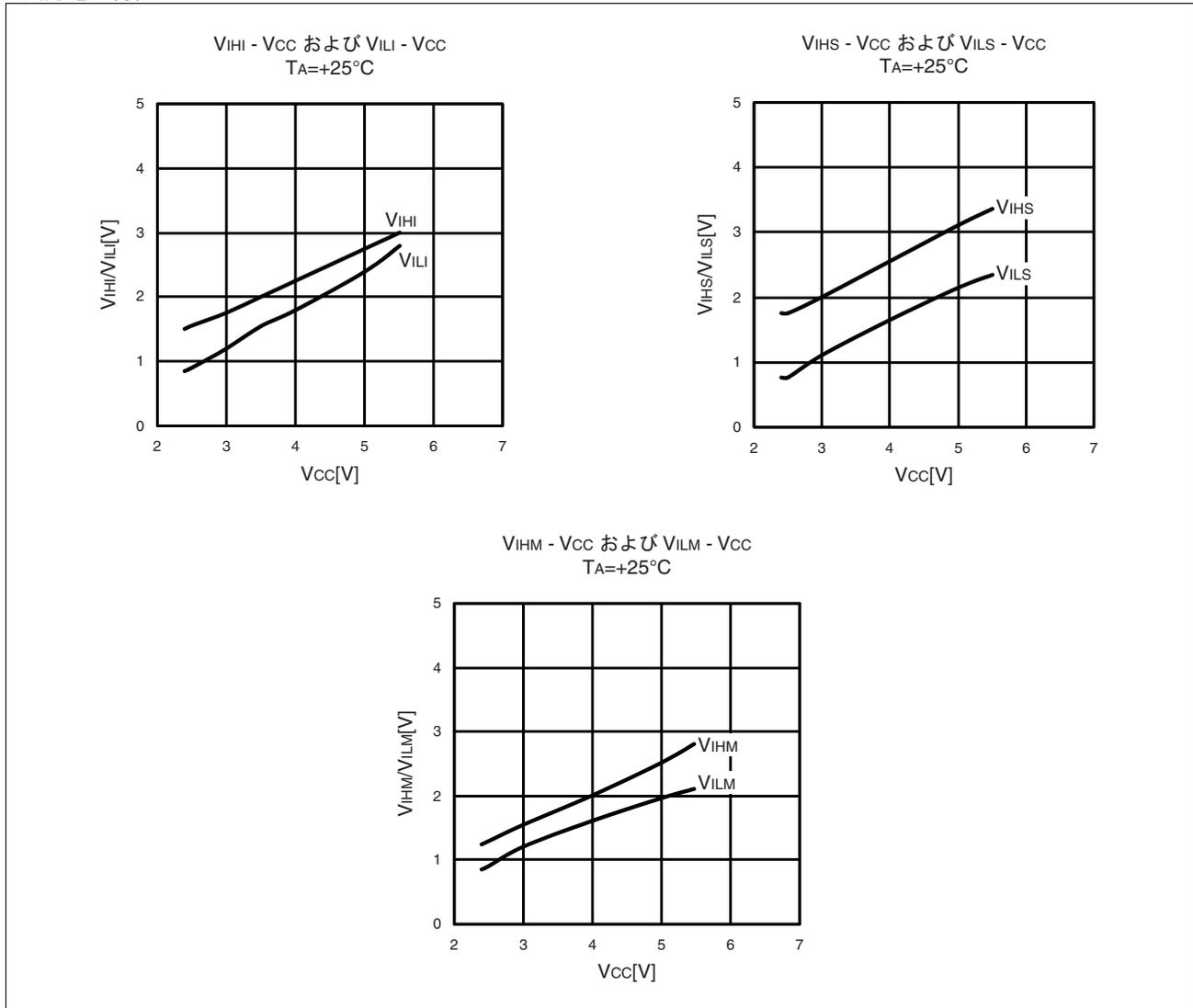


ICCSER - TA
 VCC=5.5 V, FMPL=50 kHz (2分周)
 サブクロックモード, 内部サブCRクロック動作時



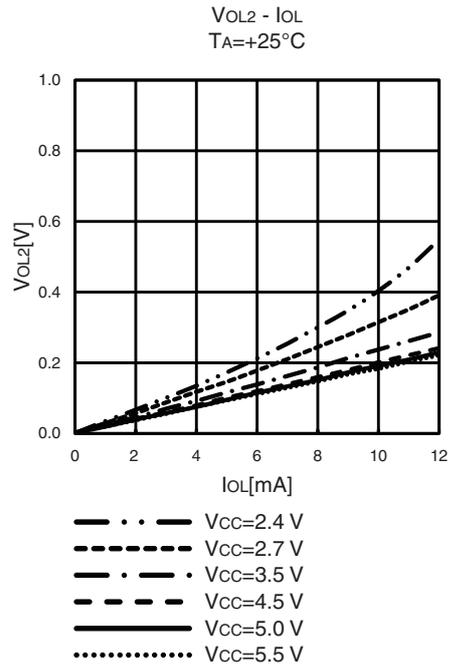
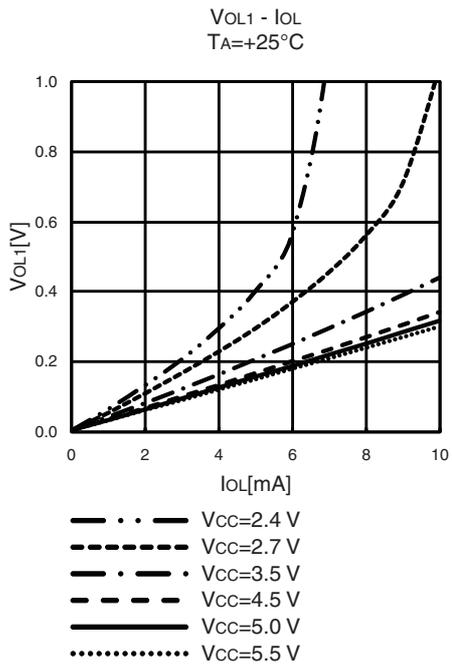
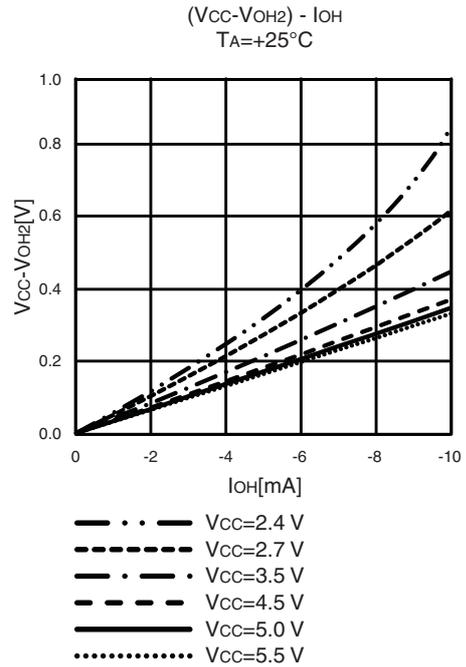
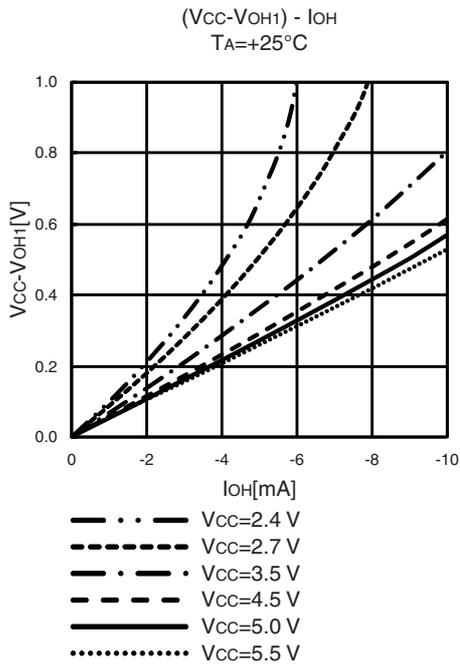
MB95200H/210H シリーズ

・入力電圧特性

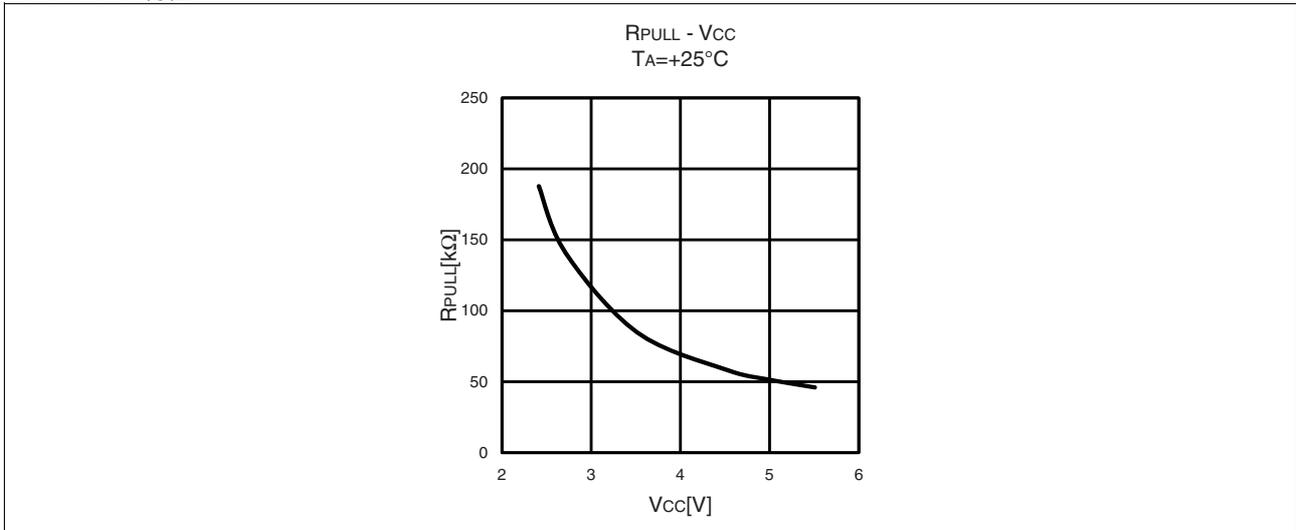


MB95200H/210H シリーズ

・出力電圧特性



・プルアップ特性



MB95200H/210H シリーズ

■ マスクオプション

No.	品種名	MB95F204H MB95F203H MB95F202H MB95F214H MB95F213H MB95F212H	MB95F204K MB95F203K MB95F202K MB95F214K MB95F213K MB95F212K
	選択方法	設定不可	設定不可
1	低電圧検出リセット ・ 低電圧検出リセットあり ・ 低電圧検出リセットなし	低電圧検出リセットなし	低電圧検出リセットあり
2	リセット ・ 専用のリセット入力あり ・ 専用のリセット入力なし	専用のリセット入力あり	専用のリセット入力なし

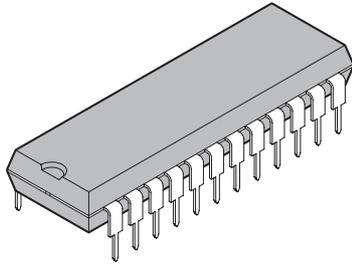
MB95200H/210H シリーズ

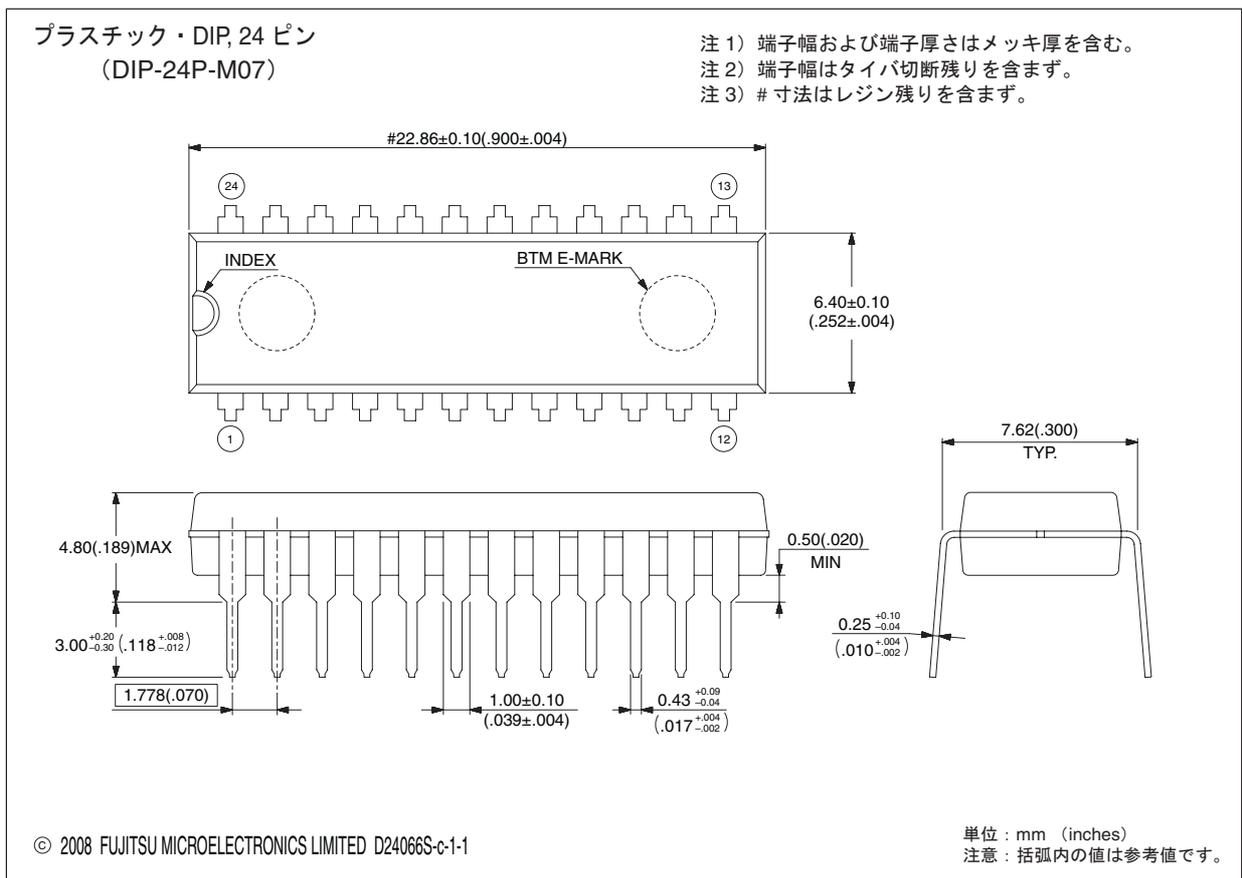
■ オーダ型格

品種名	パッケージ
MB95F204HP-G-SH-SNE2 MB95F204KP-G-SH-SNE2 MB95F203HP-G-SH-SNE2 MB95F203KP-G-SH-SNE2 MB95F202HP-G-SH-SNE2 MB95F202KP-G-SH-SNE2	プラスチック・SDIP, 24 ピン (DIP-24P-M07)
MB95F204HPF-G-SNE2 MB95F204KPF-G-SNE2 MB95F203HPF-G-SNE2 MB95F203KPF-G-SNE2 MB95F202HPF-G-SNE2 MB95F202KPF-G-SNE2	プラスチック・SOP, 20 ピン (FPT-20P-M09)
MB95F214HPH-G-SNE2 MB95F214KPH-G-SNE2 MB95F213HPH-G-SNE2 MB95F213KPH-G-SNE2 MB95F212HPH-G-SNE2 MB95F212KPH-G-SNE2	プラスチック・DIP, 8 ピン (DIP-8P-M03)
MB95F214HPF-G-SNE2 MB95F214KPF-G-SNE2 MB95F213HPF-G-SNE2 MB95F213KPF-G-SNE2 MB95F212HPF-G-SNE2 MB95F212KPF-G-SNE2	プラスチック・SOP, 8 ピン (FPT-8P-M08)

MB95200H/210H シリーズ

■ パッケージ・外形寸法図

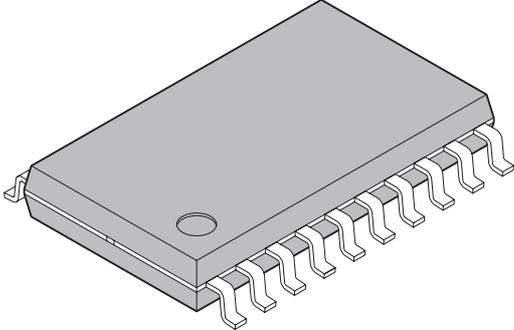
<p>プラスチック・DIP, 24 ピン</p>  <p>(DIP-24P-M07)</p>	リードピッチ	1.778 mm	
	パッケージ幅× パッケージ長さ	6.40 mm × 22.86 mm	
	封止方法	プラスチックモールド	
	取付け高さ	4.80 mm Max	

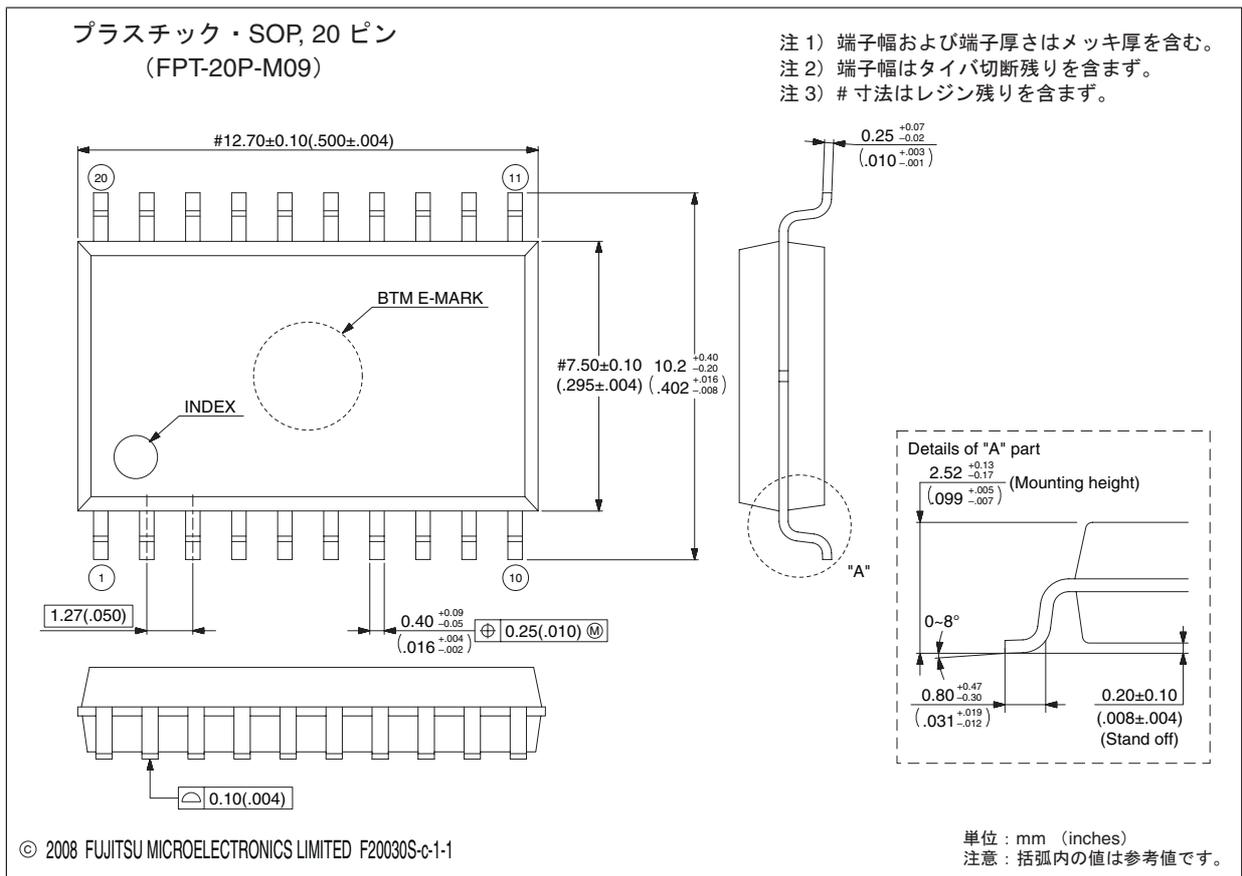


最新の外形寸法図については、下記の URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

(続く)

MB95200H/210H シリーズ

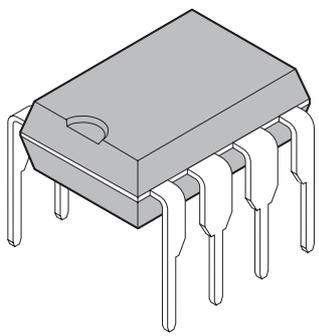
<p>プラスチック・SOP, 20 ピン</p>  <p>(FPT-20P-M09)</p>	リードピッチ	1.27 mm
	パッケージ幅× パッケージ長さ	7.50 mm × 12.70 mm
	リード形状	ガルウィング
	リード曲げ方向	正曲げ
	封止方法	プラスチックモールド
	取付け高さ	2.65 mm Max

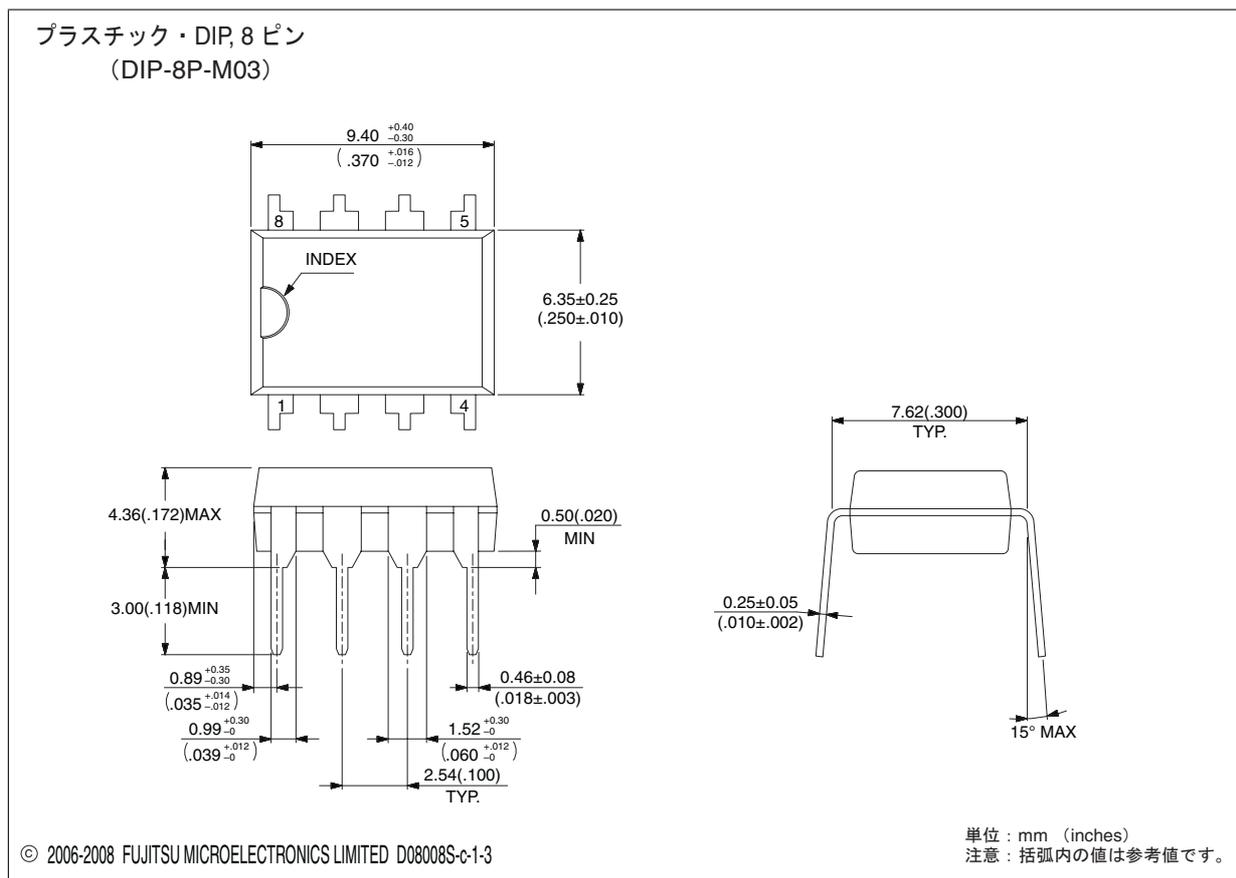


最新の外形寸法図については、下記の URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

(続く)

MB95200H/210H シリーズ

<p>プラスチック・DIP, 8ピン</p>  <p>(DIP-8P-M03)</p>	リードピッチ	2.54 mm
	封止方法	プラスチックモールド

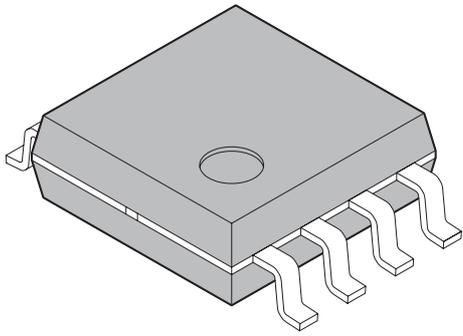


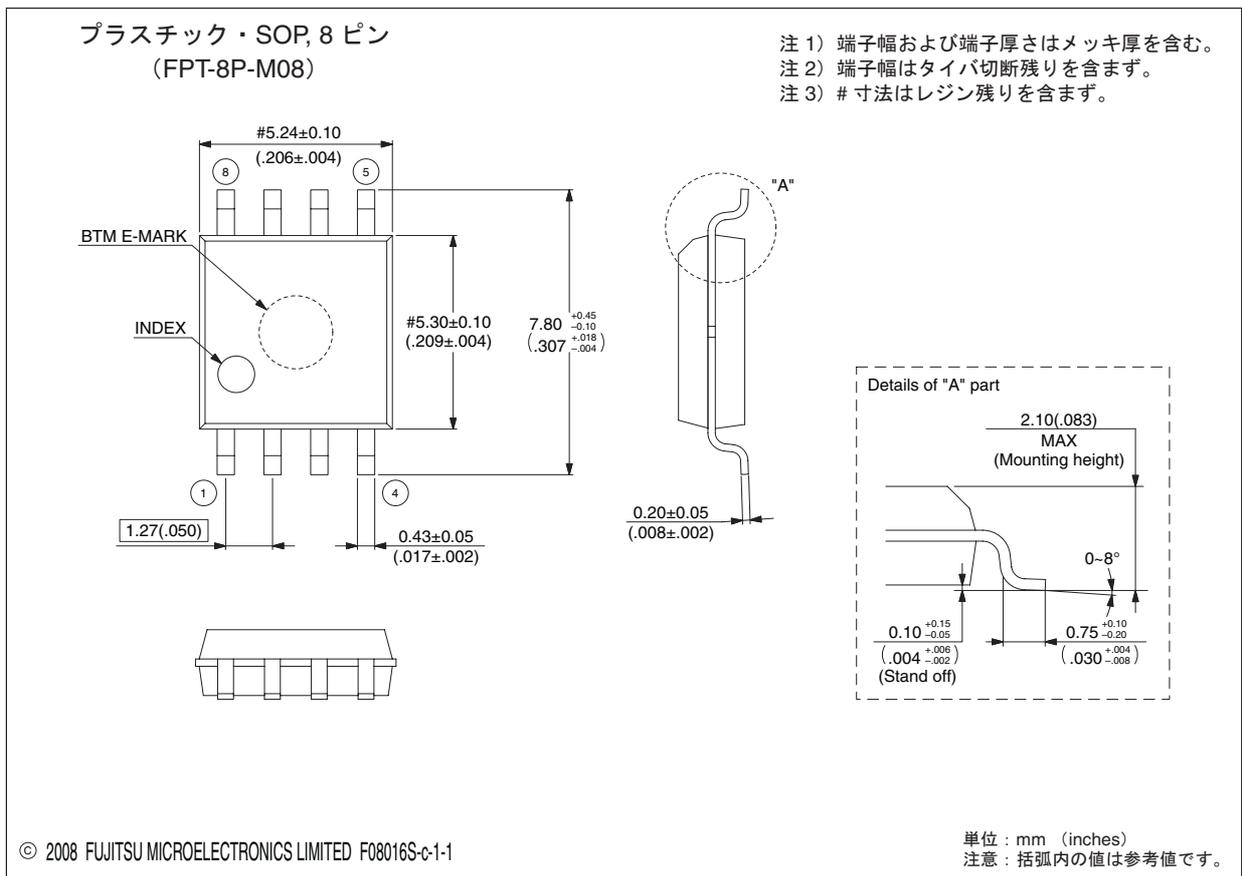
最新の外形寸法図については、下記の URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

(続く)

MB95200H/210H シリーズ

(続き)

<p>プラスチック・SOP, 8ピン</p>  <p>(FPT-8P-M08)</p>	リードピッチ	1.27 mm
	パッケージ幅× パッケージ長さ	5.30 mm × 5.24 mm
	リード形状	ガルウィング
	リード曲げ方向	正曲げ
	封止方法	プラスチックモールド
	取付け高さ	2.10 mm Max



最新の外形寸法図については、下記の URL にてご確認ください。
<http://edevice.fujitsu.com/package/jp-search/>

MB95200H/210H シリーズ

■ 本版での主な変更内容

ページ	場所	変更箇所
—	—	PRELIMINARY 正式版
—	■ シリアルライターによるフラッシュメモリマイコンの書込みについて	削除
52 ~ 57	■ 特性例	追加

変更箇所は、本文中のページ左側の | によって示しています。

MEMO

MEMO

MEMO

MB95200H/210H シリーズ

富士通マイクロエレクトロニクス株式会社

〒163-0722 東京都新宿区西新宿 2-7-1 新宿第一生命ビル

<http://jp.fujitsu.com/fm/>

お問い合わせ先

富士通エレクトロニクス株式会社

〒163-0731 東京都新宿区西新宿 2-7-1 新宿第一生命ビル

<http://jp.fujitsu.com/fei/>

電子デバイス製品に関するお問い合わせは、こちらまで、

 **0120-198-610**

受付時間：平日 9 時～17 時（土・日・祝日、年末年始を除きます）

携帯電話・PHS からもお問い合わせができます。

電話番号はお間違えないよう、お確かめのうえおかけください。

本資料の記載内容は、予告なしに変更することがありますので、ご用命の際は営業部門にご確認ください。

本資料に記載された動作概要や応用回路例は、半導体デバイスの標準的な動作や使い方を示したもので、実際に使用する機器での動作を保証するものではありません。従いまして、これらを使用するにあたってはお客様の責任において機器の設計を行ってください。これらの使用に起因する損害などについては、当社はその責任を負いません。

本資料に記載された動作概要・回路図を含む技術情報は、当社もしくは第三者の特許権、著作権等の知的財産権やその他の権利の使用権または実施権の許諾を意味するものではありません。また、これらの使用について、第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって、これらの使用に起因する第三者の知的財産権やその他の権利の侵害について、当社はその責任を負いません。

本資料に記載された製品は、通常の産業用、一般事務用、パーソナル用、家庭用などの一般的な用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、社会的に重大な影響を与えかつ直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療機器、兵器システムにおけるミサイル発射制御をいう）、ならびに極めて高い信頼性が要求される用途（海底中継器、宇宙衛星をいう）に使用されるよう設計・製造されたものではありません。したがって、これらの用途にご使用をお考えのお客様は、必ず事前に営業部門までご相談ください。ご相談なく使用されたことにより発生した損害などについては、責任を負いかねますのでご了承ください。

半導体デバイスはある確率で故障が発生します。当社半導体デバイスが故障しても、結果的に人身事故、火災事故、社会的な損害を生じさせないよう、お客様は、装置の冗長設計、延焼対策設計、過電流防止対策設計、誤動作防止設計などの安全設計をお願いします。

本資料に記載された製品を輸出または提供する場合は、外国為替及び外国貿易法および米国輸出管理関連法規等の規制をご確認の上、必要な手続きをおとりください。

本書に記載されている社名および製品名などの固有名詞は、各社の商標または登録商標です。