



MachX02™ ファミリーデータシート

DS1035J Version 02.5、2014 年 6 月

主要機能

- 柔軟な論理アーキテクチャ
 - ・ LUT4 数が 256 から 6864 まで、I/O 数が 19 本から 335 本までの 6 品種
- 極めて低い消費電力
 - ・ 先進の 65 nm 低消費電力プロセス
 - ・ 最小で 19 μ W のスタンバイ電力
 - ・ 小振幅対応のプログラマブル差動 I/O
 - ・ スタンバイモードなどの種々省電力オプション
- ブロックメモリと分散メモリ
 - ・ 最大 240Kb の sysMEM™ 組み込みブロック RAM
 - ・ 最大 54Kb の分散メモリ
 - ・ 専用の FIFO 制御ロジック
- オンチップ・ユーザフラッシュメモリ
 - ・ 最大 256Kb のユーザフラッシュメモリ
 - ・ 100,000 ライトサイクル
 - ・ WISHBONE、SPI、I²C、及び JTAG インターフェイスからアクセス可能
 - ・ ソフトプロセッサの PROM やフラッシュ用途可
- ソースシンクロナス I/O 対応回路を組み込み
 - ・ I/O セル内の DDR レジスタ
 - ・ 専用のギアリング (Mux/DeMux) ロジック
 - ・ ディスプレイ I/O 用 7:1 ギアリング
 - ・ 汎用 DDR、DDR2、DDR3
 - ・ DDR/DDR2/LPDDR メモリ I/F 用 DQS 対応
- 高性能で柔軟な I/O バッファ
 - ・ プログラマブル sysIO™ バッファで多様なインターフェイスに対応
 - LVCMOS 3.3/2.5/1.8/1.5/1.2
 - LVTTTL
 - PCI
 - LVDS、Bus-LVDS、MLVDS、RSDS、LVPECL
 - SSTL 25/18
 - HSTL 18
 - シュミットトリガ入力、最大 0.5V のヒステリシス
 - ・ I/O は活線挿抜に対応
 - ・ オンチップ差動終端
 - ・ プログラマブル・プルアップ / ダウンモード
- 柔軟なデバイス内のクロッキング機構
 - ・ プライマリクロックは 8 本
 - ・ 高速 I/O インターフェイス対応のエッジクロックが上下辺 (バンク) に 2 本ずつ
 - ・ フラクショナル N 周波数生成機能対応のアナログ PLL が最大 2 個
 - 広い入力周波数範囲 (10MHz から 400MHz)
- 不揮発性、回数制限のないコンフィグレーション
 - ・ インスタントオン ~ 数ミリ秒以下の起動時間
 - ・ シングルチップ、機密性の高いソリューション
 - ・ JTAG、SPI、又は I²C を介してプログラム可能
 - ・ 不揮発メモリへのバックグラウンド・プログラム対応
 - ・ オプションの外付け SPI メモリによるデュアルブート
- TransFR™ による再コンフィグレーション
 - ・ フィールドでシステム稼働中のロジック更新が可能
- システムレベルで使用する機能を充実
 - ・ オンチップのハードマクロ化機能: SPI、I²C、タイマ / カウンタ
 - ・ 5% 精度のオンチップ・オシレータ
 - ・ トラッキング用途にデバイス固有の TraceID
 - ・ ワンタイム・プログラマブル (OTP) モード
 - ・ 単一動作電源
 - ・ IEEE 標準 1149.1 バウンダリスキャン
 - ・ IEEE 1532 準拠インシステム・プログラミング
- 豊富なパッケージ・オプション
 - ・ TQFP、WLCSP、ucBGA、csBGA、caBGA、ftBGA、fpBGA、QFN 各パッケージ
 - ・ 占有面積の小さいパッケージ
 - 最小 2.5 x 2.5mm
 - ・ 同一パッケージ間のデバイス・マイグレーション対応
 - ・ 先進のハロゲンフリー対応パッケージ

© 2014 Lattice Semiconductor Corp. All Lattice trademarks, registered trademarks, patents, and disclaimers are as listed at www.latticesemi.com/legal. All other brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

DISCLAIMER: Translation of Lattice materials into languages other than English is intended as a convenience for our non-English reading customers. Although we attempt to provide accurate translations of our materials into languages other than English, Lattice does not warrant the accuracy or completeness of information that has been translated from English. Any use of a translation is at the risk of the user and Lattice expressly disclaims any warranty with respect to the information provided in translation. Customers are encouraged to review the English language version of the materials for accurate and complete information.

(日本語版は日本語での理解のため一助として用意しています。その作成にあたっては可能な限り正確を期しておりますが、原文英語版との不一致や不適切な訳文がある場合を含み、英語版が正 (有効) です。特に電気的特性・仕様値については最新版の英語版を必ず参照するようにお願い致します。)

表 1-1. MachXO2™ ファミリー、セレクションガイド

デバイス	XO2-256	XO2-640	XO2-640U ¹	XO2-1200	XO2-1200U ¹	XO2-2000	XO2-2000U ¹	XO2-4000	XO2-7000
LUT 数	256	640	640	1280	1280	2112	2112	4320	6864
分散 SRAM サイズ (Kb)	2	5	5	10	10	16	16	34	54
EBR SRAM サイズ (Kb)	0	18	64	64	74	74	92	92	240
EBR SRAM ブロック数 (9Kb)	0	2	7	7	8	8	10	10	26
UFM サイズ (Kb)	0	24	64	64	80	80	96	96	256
デバイス オプション									
HC ²	✓	✓	✓	✓	✓	✓	✓	✓	✓
HE ³						✓	✓	✓	✓
ZE ⁴	✓	✓		✓		✓		✓	✓
PLL 数	0	0	1	1	1	1	2	2	2
ハードマクロ機能									
I ² C	2	2	2	2	2	2	2	2	2
SPI	1	1	1	1	1	1	1	1	1
タイマ / カウンタ	1	1	1	1	1	1	1	1	1
パッケージ	I/O 数								
25 ボール WLCSP ⁵ (2.5x2.5mm, 0.4mm)				18					
32 ボール QFN (5.0x5.0mm, 0.5mm)	21								
49 ボール WLCSP (3.2x3.2mm, 0.4mm)						38			
64 ボール ucBGA (4.0x4.0mm, 0.4mm)	44								
100 ピン TQFP (14x14mm, 0.5mm)	55	78		79		79			
132 ボール csBGA (8.0x8.0mm, 0.5mm)	55	79		104		104		104	
144 ピン TQFP (20x20mm, 0.5mm)			107	107		111		114	114
184 ピン csBGA (8x8mm, 0.5mm)								150	
256 ボール caBGA (14x14mm, 0.8mm)						206		206	206
256 ボール ftBGA (17x17mm, 1.0mm)					206	206		206	206
332 ボール caBGA (17x17mm, 0.8mm)								274	278
484 ボール caBGA (23x23mm, 1.0mm)							278	278	334

注 ; ⇔ 印は同一パッケージ間のマイグレーションが可能であることを示します (ピン数の表記があるデバイス)

1. 超多ピン対応パッケージ品
2. オンチップ電圧レギュレータあり、高性能品。Vcc = 2.5V, 3.3V
3. オンチップ電圧レギュレータなし、高性能品。Vcc = 1.2V
4. オンチップ電圧レギュレータなし、低消費電力品。Vcc = 1.2V
5. WLCSP パッケージは ZE デバイスのみ対応します
6. QFN パッケージは HC と ZE 両デバイスに対応します
7. 184 csBGA パッケージは HE デバイスのみ対応します

(日本語版註：ユーザ I/O 数は使用するコンフィギュレーション・モードにより異なるので、ピンファイル等を参照のこと)

はじめに

超低消費電力でインスタントオン、そして不揮発性 PLD である MachXO2 ファミリーには 6 品種のデバイスがあり、ルックアップテーブル (LUT) 数で 256 ~ 6864 をカバーします。これら低価格な LUT ベースのプログラマブルなロジックデバイスは、組み込みブロック RAM (EBR)、分散 RAM、ユーザフラッシュメモリ (UFM)、位相同期ループ (PLL)、作り込みソースシンクロナス I/O 対応、デュアルブートを含む高度なコンフィグレーション機能に加えて、SPI コントローラや I²C コントローラ、そしてタイマ / カウンタなど汎用的に使用される機能をハードマクロとして集積しています。こうした機能により、これらのデバイスは低価格で大量生産対応のコンシューマ機器やシステム機器でを使用することを可能にします。

MachXO2 デバイスは不揮発性メモリ混載の 65nm 低消費電力プロセス用に設計されています。このデバイスアーキテクチャのいくつかの特長として、低振幅対応のプログラマブルな差動 I/O、また I/O バンクやオンチップ PLL、及びオシレータをダイナミックにオフする機能などがあります。これらの機能によってスタンバイ時及びダイナミック消費電力を管理できるため、全ファミリーメンバの待機時消費電力は低く抑えられます。

MachXO2 デバイスには、超低消費電力 (ZE) 版と高性能 (HC 及び HE) 版の 2 種類があります。超低消費電力デバイスとしては -1、-2、-3 の 3 つの速度グレードを用意しており、-3 が最速品です。同様に高性能デバイスには -4、-5、-6 という 3 つの速度グレードを用意し、-6 が最速品です。HC デバイスにはリニア電圧レギュレータが内蔵されており、外部 V_{CC} 電源電圧として 3.3V または 2.5V に対応します。ZE 及び HE デバイスの外部 VCC 電源電圧は 1.2 V です。電源電圧を除いて、デバイスは 3 オプション (ZE、HC、HE) 間では全て機能互換、かつピン互換です。

MachXO2 PLD には省スペースの 2.5×2.5mm WLCSP から 23×23mm fpBGA という、幅広い範囲の先進ハロゲンフリー・パッケージを用意しており、また同一パッケージ間での規模移行にも対応しています。表 1-1 に、LUT 規模、パッケージ、I/O オプション、及びその他の主要パラメータを示します。

MachXO2 デバイスファミリに実装されている作り込みソースシンクロナス・ロジックは、LPDDR、DDR、DDR2、ディスプレイ I/O 用の 7:1 ギアリングなど、広範なインターフェイス規格に対応します。

MachXO2 デバイスの備える I/O 機能は、ドライブ強度やスルーレートの制御、PCI 互換性、バスキーパ・ラッチ、プルアップ / プルダウン抵抗、オープンドレイン出力、活線挿抜対応など、強力です。プルアップ / プルダウン、及びバスキーパ機能は「ピン単位」で制御できます。

MachXO2 デバイスは、ユーザがプログラム可能なオンチップ・オシレータを持っています。そのクロック出力はタイマ / カウンタにより分周が可能で、LED 制御やキーボード・スキャナ、またステートマシンなどの機能のクロック入力として使用できます。

MachXO2 デバイスはオンチップ・フラッシュメモリによって、柔軟で信頼性が高く、機密性の高いコンフィグレーションを提供します。これらデバイスのコンフィグレーションは、外付け SPI フラッシュから自動的に行う、或いは JTAG テストアクセス・ポートまたは I²C ポート経由で外付けマスタからも可能です。さらに MachXO2 デバイスはデュアルブート機能 (外付けフラッシュメモリ使用)、及びリモート・フィールドアップグレード (TransFR) 機能をサポートしています。

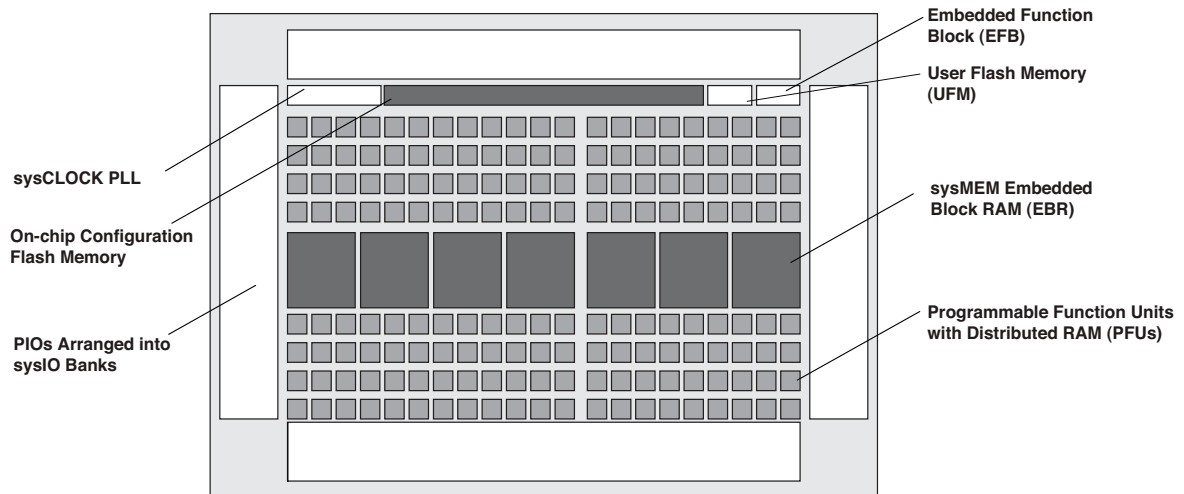
ラティスが提供する設計ツールでは、MachXO2 ファミリーのデバイスを使用して複雑な設計を効率よく実装できます。定評ある論理合成ツール用に、MachXO2 対応の論理合成ライブラリを用意しています。ラティス設計ツールは、論理合成ツール出力とユーザ指定の設計制約を用いて、MachXO2 デバイスに設計を配置・配線します。ツールはタイミング検証用に配置配線結果としての遅延情報を抽出し、設計にバックアノートします。

ラティスは無償ライセンスの参照デザインを含む、MachXO2 PLD ファミリー向けに最適化された多数の IP (Intellectual Property) LatticeCORE™ モジュールを提供しています。これらのパラメータ設定可能なソフト IP コアを標準ブロックとして使用することで、ユーザロジックの設計に集中し、生産性を向上することができます。

アーキテクチャ概要

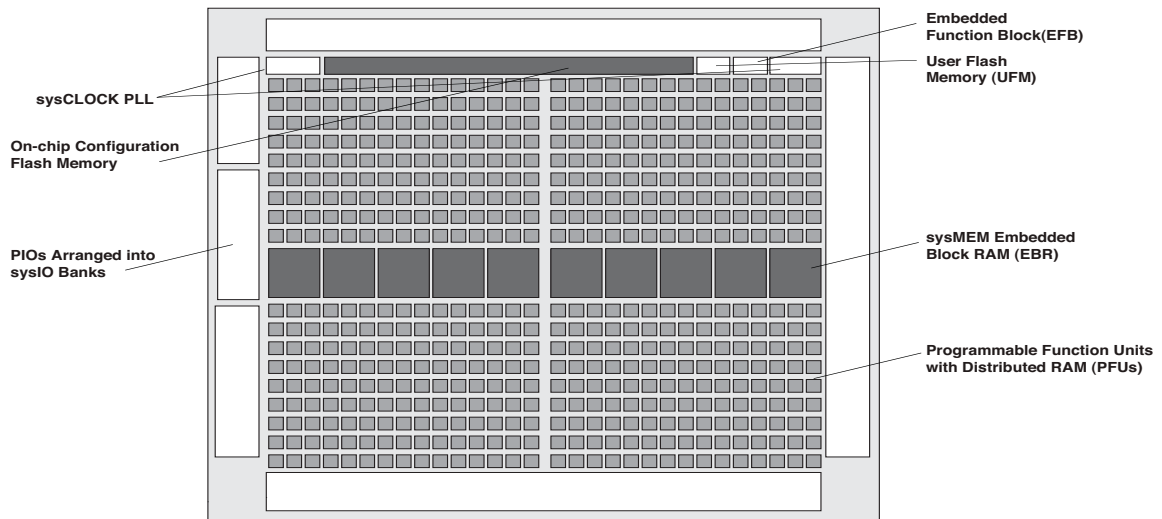
MachXO2 ファミリのアーキテクチャは、プログラマブル I/O (PIO) で囲まれた論理ブロックのレイアウトにより異なります。ファミリの中で論理規模が大きいデバイスには、sysCLOCK™ PLL と sysMEM 組み込みブロック RAM (EBR) のブロックが内蔵されています。図 2-1 及び図 2-2 に代表的なファミリメンバのブロック図を示します。

図 2-1. MachXO2-1200 デバイスの上面図



Note: MachXO2-256, and MachXO2-640/U are similar to MachXO2-1200. MachXO2-256 has a lower LUT count and no PLL or EBR blocks. MachXO2-640 has no PLL, a lower LUT count and two EBR blocks. MachXO2-640U has a lower LUT count, one PLL and seven EBR blocks.

図 2-2. MachXO2-4000 デバイスの上面図



Note: MachXO2-1200U, MachXO2-2000/U and MachXO2-7000 are similar to MachXO2-4000. MachXO2-1200U and MachXO2-2000 have a lower LUT count, one PLL, and eight EBR blocks. MachXO2-2000U has a lower LUT count, two PLLs, and 10 EBR blocks. MachXO2-7000 has a higher LUT count, two PLLs, and 26 EBR blocks.

論理ブロックであるプログラマブル機能ユニット (PFU) と sysMEM EBR ブロックは、行と列による 2 次元グリッドを構成しています。各行には、論理ブロックまたは EBR ブロックがあります。デバイス周辺に配置された PIO セルは I/O バンクを構成しています。PFU にはロジック、算術、RAM、ROM、レジスタの各機能を構成するブロックが含まれています。PIO は各種のインターフェイス規格の動作に対応する、sysIO と呼ばれる柔軟な I/O バッファを利用します。このブロックは多数の垂直及び水平配線チャネルリソースに接続されています。これらの配線リソースは、配置配線ソフトウェアツールによって自動的に割り当てられます。

MachXO2 ファミリーではデバイスによって sysIO バンクの数が異なります。バンクによって対応する I/O バッファのタイプにも差異があります。詳細については本書の後のセクションで説明します。sysMEM EBR は大規模な専用高速メモリブロックで、規模が MachXO2-640 以上のデバイスに内蔵されています。このブロックは RAM、ROM、または FIFO として構成できます。FIFO 動作には専用の FIFO ポインタとフラグの "ハード" 制御ロジックが含まれ、LUT の使用が最小限に抑えられています。

MachXO2 の PFU および sysI/O に含まれるレジスタはセットかリセットに初期化できます。電源が起動し、デバイスがコンフィグレーションされ、ユーザモードに入ると、コンフィグレーションの設定値に基づいてセット / リセットされ、既知の状態からシステム動作を開始することができます。

MachXO2 のアーキテクチャでは、規模が MachXO2- 640U と MachXO2- 1200/U 以上のデバイスに最大 2 つの sysCLOCK 位相同期ループ (PLL) ブロックも用意されています。このブロックはオンチップ・フラッシュブロック行の端に配置されています。PLL には てい倍 と分周、及び位相シフト機能があり、クロック周波数と位相関係の管理に使用されます。

MachXO2 デバイスには SPI コントローラと I²C コントローラ、およびタイマ / カウンタなど、汎用的に使用される機能がハードマクロ化されています。規模が MachXO2-640 以上のデバイスにはユーザフラッシュメモリ (UFM) も用意されています。これらのハードマクロ機能及び UFM はコアロジックとインターフェイスし、WISHBONE インターフェイスを介して配線されます。UFM は SPI や I²C、及び JTAG ポートからもアクセスできます。

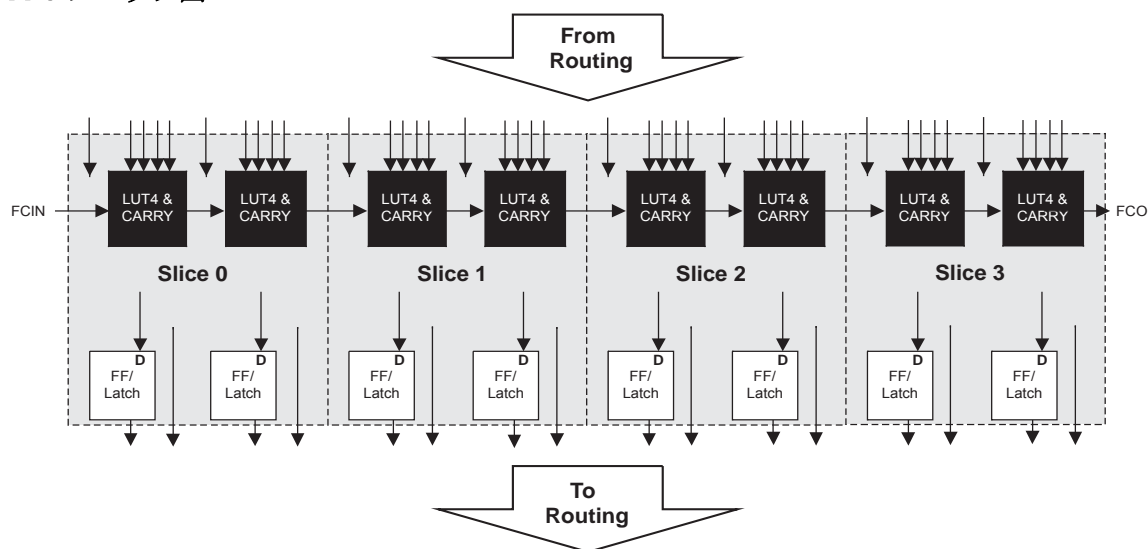
このファミリの全デバイスには JTAG ポートがあり、デバイスのプログラミングとコンフィグレーション、及びユーザロジックへのアクセスに使用されます。MachXO2 デバイスには外部供給電源電圧オプションとして 3.3V と 2.5V、及び 1.2V 対応品を用意しており、システム全体との統合が容易です。

PFU ブロック

MachXO2 デバイスのコアは PFU ブロックで構成され、ロジック、算術、分散 RAM、及び分散 ROM の各機能を実行するように設定可能です。個々の PFU ブロックは、図 2-3 に番号 0 ~ 3 で示す相互接続された 4 ス

ライスで構成されます。各ライスには2つのLUTと2つのレジスタがあり、各PFUブロックには53本の入力と25本の出力があります。

図 2-3. PFUブロック図



スライス

スライス0～3には2つのLUT4があり、それぞれレジスタに接続されています。スライス0～2は分散メモリとして構成できます。表 2-1 に PFU ブロック内のスライスの機能、及び可能な動作モードを示します。また各PFUにはLUTを組み合わせるとLUT5、LUT6、LUT7、LUT8などの機能を実行できるようなロジックが含まれています。制御ロジックはセット / リセット機能（同期 / 非同期として設定可能）、クロックセレクト、チップセレクト、及び多ビット幅のRAM/ROM機能を実行します。

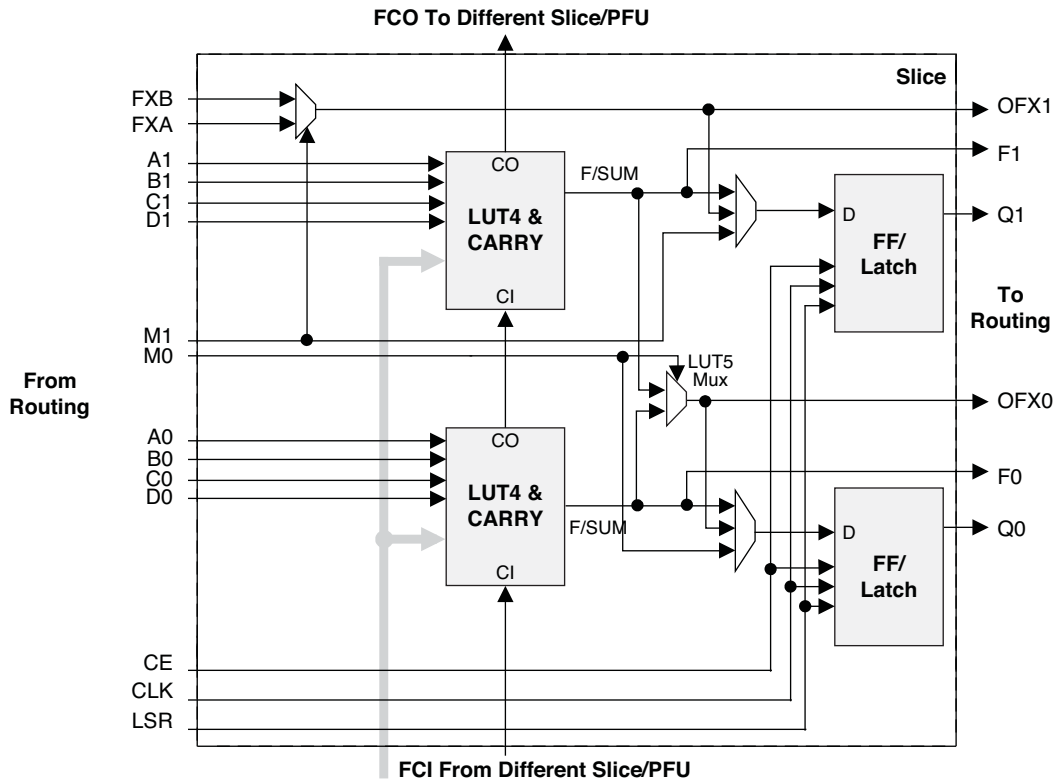
表 2-1. スライスごとに利用可能なリソースとモード

スライス	PFU ブロック	
	リソース	モード
スライス0	2つのLUT4と2つのレジスタ	ロジック、リップル、RAM、ROM
スライス1	2つのLUT4と2つのレジスタ	ロジック、リップル、RAM、ROM
スライス2	2つのLUT4と2つのレジスタ	ロジック、リップル、RAM、ROM
スライス3	2つのLUT4と2つのレジスタ	ロジック、リップル、ROM

図 2-4 にスライスの内部ロジック概要を示します。スライス内のレジスタは、正 / 負のエッジトリガまたはレベルトリガ用クロックとして構成できます。全てのスライスには、配線からの入力が15本と、(隣接する

スライスまたは PFU からの) キャリーチェーン入力が 1 本あります。出力は 7 本で、6 本は配線へ、1 本はキャリーチェーン (隣接する PFU への出力) 用です。表 2-2 はスライス 0 ~ 3 に関連する信号を示します。

図 2-4. スライスの内部ブロック図



For Slices 0 and 1, memory control signals are generated from Slice 2 as follows:
WCK is CLK
WRE is from LSR
DI[3:2] for Slice 1 and DI[1:0] for Slice 0 data from Slice 2
WAD [A:D] is a 4-bit address from slice 2 LUT input

表 2-2. スライスの信号記述

方向	タイプ	信号名	記述
入力	データ信号	A0, B0, C0, D0	LUT4 への入力
入力	データ信号	A1, B1, C1, D1	LUT4 への入力
入力	複数用途	M0/M1	複数用途の入力
入力	制御信号	CE	クロックイネーブル
入力	制御信号	LSR	ローカルセット / リセット
入力	制御信号	CLK	システムクロック
入力	PFU 間信号	FCIN	高速キャリー入力 ¹
出力	データ信号	F0, F1	LUT4 出力レジスタバイパス信号
出力	データ信号	Q0, Q1	レジスタ出力
出力	データ信号	OFX0	LUT5 MUX の出力
出力	データ信号	OFX1	LUT6, LUT7, LUT8 ² MUX 出力、スライスに依存
出力	PFU 間信号	FCO	高速キャリー出力 ¹

1. 接続の詳細については図 2-3 を参照

2. PFU が二つ必要です

動作モード

各スライスにはロジックとリップル、RAM、およびROM という最大 4 つの動作モードがあります。

ロジックモード

このモードでは、各スライスの LUT が 4 入力組み合わせルックアップテーブル (LUT4) として構成されます。LUT4 では入力の組み合わせが 16 通りあります。このルックアップテーブルの構成によって、任意の 4 入力ロジック機能を実現できます。スライスごとに 2 つの LUT4 があるため、1 つのスライス内に LUT5 を構成できます。LUT6、LUT7、LUT8 などの大きなルックアップテーブルも、他のスライスと結合することで構成できます。LUT8 には 4 つ以上のスライスが必要になります。

リップルモード

リップルモードは小規模な算術機能の効率的な実装を実現し、各スライスに次の機能を実装できます。

- ・ 2 ビット加算
- ・ 2 ビット減算
- ・ ダイナミック制御を使用した 2 ビット加減算
- ・ 2 ビット・アップカウンタ
- ・ 2 ビット・ダウンカウンタ
- ・ 非同期クリア可能なアップ / ダウンカウンタ
- ・ (同期) プリロード可能なアップ / ダウンカウンタ
- ・ リップルモード乗算器の機能ブロック
- ・ 乗算器
- ・ A 入力と B 入力の比較機能
 - A は B に等しいかそれより大きい
 - A は B と等しくない
 - A は B に等しいかそれより小さい

リップルモードには、高速キャリーチェーン方式を使用して算術演算を実行するオプションの構成が含まれています。これは CCU2 モードと呼ばれ、Carry Generate と Carry Propagate という 2 つの追加信号がスライスごとに生成され、スライスを結合して高速算術機能を構成できます。

RAM モード

このモードでは、スライス 0 とスライス 1 の各 LUT ブロックを 16×1 ビットメモリとして使用し、16×4 ビット分散シングルポート RAM (SPR) を構成できます。スライス 2 は、メモリアドレスと制御信号の生成に使用されます。

MachXO2 デバイスは分散メモリの初期化に対応しています。

ラティスの設計ツールは、各種サイズのメモリ生成に対応しています。設定が適切な場合は、PFU 機能の一つである分散メモリ・プリミティブを使用して、これらが構成されます。表 2-3 に分散 RAM プリミティブの実装に必要なスライス数を示します。MachXO2 デバイスにおける RAM 使用法の詳細については”TN1201, MachXO2 Memory Usage Guide (MachXO2 のメモリ使用法ガイド)”を参照してください。

表 2-3. 分散 RAM の実装に必要なスライス数

	SPR 16x4	PDPR 16x4
スライス数	3	3

注：SPR = Single Port RAM, PDPR = Pseudo Dual Port RAM

ROM モード

LUT ロジックを使用してスライス 0～3 を ROM モードにできます。プリロードは、PFU のコンフィギュレーション時にプログラミング・インターフェイスから行われます。

RAM 及び ROM モードの詳細については ”TN1201, MachXO2 Memory Usage Guide (MachXO2 のメモリ使用法ガイド)” を参照してください。

配線

MachXO2 デバイスには、信号を個別に配線したり、関連する制御信号と共にバスとして配線したりするためのリソースが多数用意されています。配線リソースはスイッチ回路とバッファ、及びメタル配線セグメントから構成されます。

PFU 間接続は、x1 (PFU で 2 スパン)、x2 (PFU で 3 スパン)、及び x6 (PFU で 7 スパン) という 3 種類の配線リソースで行われます。x1、x2、及び x6 接続は、水平及び垂直方向に高速で効率的な接続を実現します。

論理合成ツールの出力は配置配線ツールで全て自動で処理されます。しかし、ユーザが設計を意図的に操作するために、通常は対話型配線エディタも用意されています。

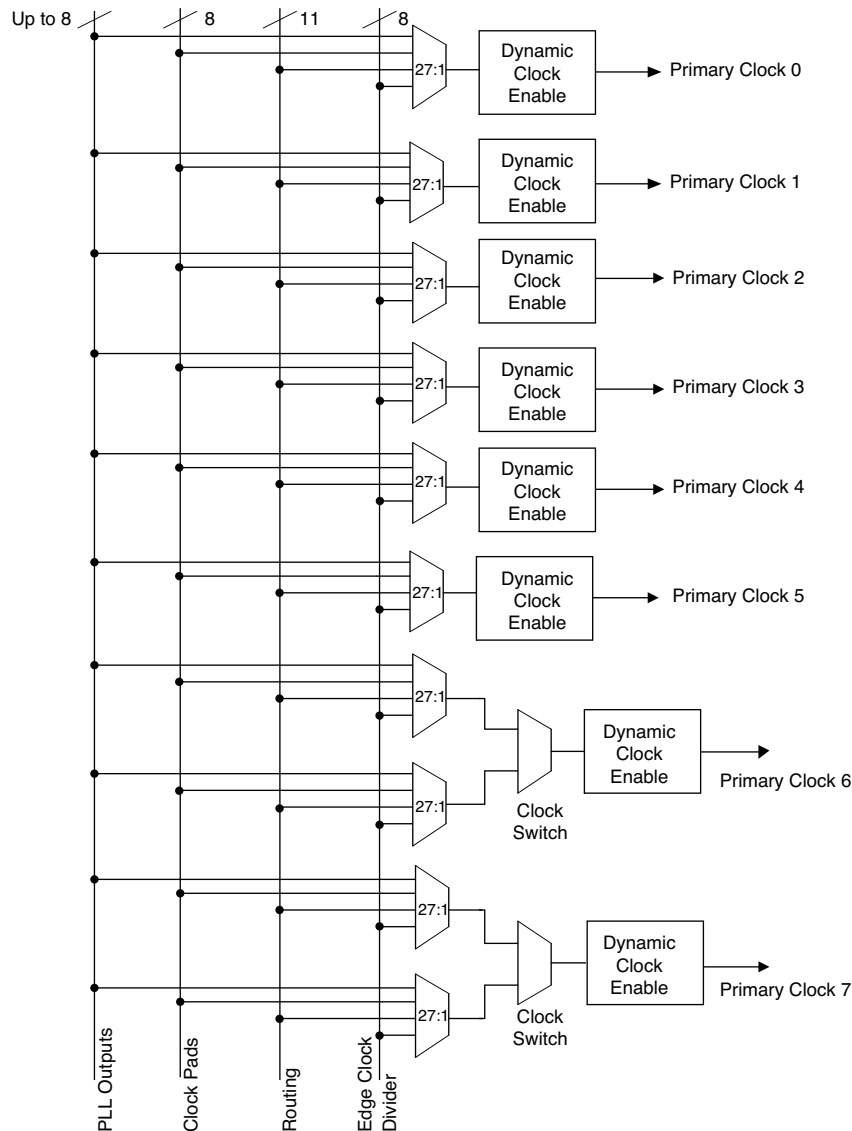
クロック / 制御信号の分配ネットワーク

各 MachXO2 デバイスには左辺に 3、上辺と下辺に各 2、そして右辺に 1 と、合計 8 系統のクロック入力 (PCLK [T, C] [Banknum].[2..0]) があります。これらのクロック入力はクロックネットワークをドライブします。8 系統の各入力は差動かシングルエンドに設定が可能で、クロック入力として使用しない場合は汎用 I/O として使用できます。シングルエンド・クロック入力を用いる場合は、PCLKT のみがクロックツリーを直接ドライブできます。

MachXO2 のアーキテクチャにはエッジクロック、プライマリクロック、高ファンアウトのセカンダリネットという、3 種類のクロックリソースがあります。規模が MachXO2- 640U と MachXO2- 1200/U 以上のデバイスには、エッジクロックが上辺と下辺に 2 本ずつありますが、これは I/O レジスタ用のクロックに用いられ、短い注入時間と低スキューを持っています。規模の小さいデバイスにエッジクロックはありません。エッジ

クロックの入力としては PLL 出力、プライマリクロック用ポート、エッジクロック・ブリッジ出力、または CIB ソースから得られます。

図 2-5. デバイスのプライマリクロック



Primary clocks for MachXO2-1200 and larger devices.

Note: MachXO2-640 and smaller devices do not have inputs from Edge Clock Divider. These devices have 17:1 muxes instead of 27:1 muxes.

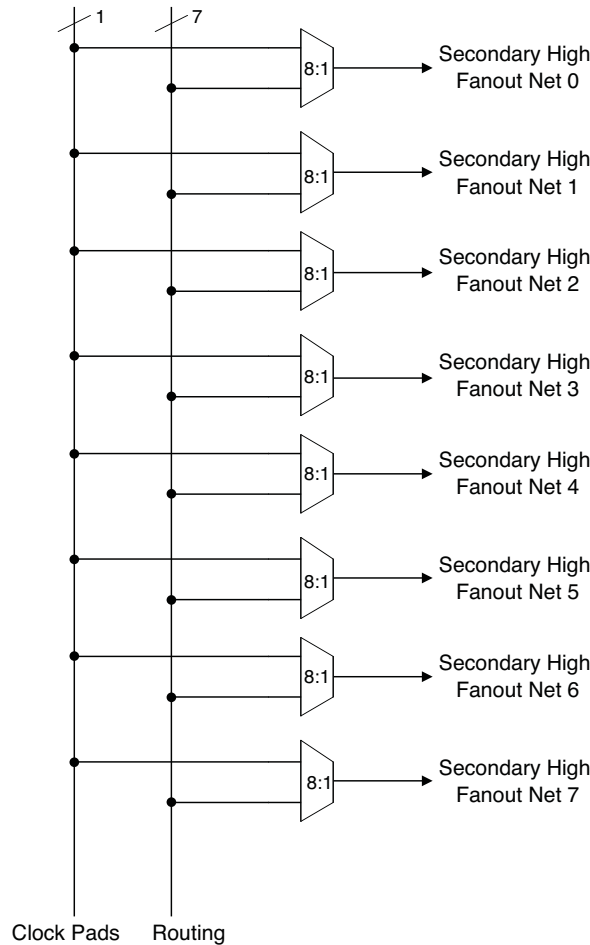
8本のプライマリクロック・ネットワークはデバイス全体をドライブし、PFUやEBR、配線、そしてPICなどデバイス内の全リソースにクロックを供給します。プライマリクロック信号以外にも、MachXO2デバイスには高ファンアウトネット用のセカンダリ信号が8本あります。これらはクロックイネーブル、同期/非同期リセット、プリセット、出力イネーブルなどのグローバル制御信号に使用できます。これにより、内部ロジックで生成したクロックや制御信号をグローバルにドライブできます。

プライマリ・クロックネットワークの最大周波数は本データシートの”外部スイッチング特性”表に記載されています。

MachXO2-256 及び MachXO2-640 のプライマリクロック信号は、8 個の 17:1 マルチプレクサを介して得られます。利用可能なクロックソースとしては、I/O ソース 8 本、配線からの入力 9 本などがあります。規模が MachXO2-640U と MachXO2-1200/U 以上のデバイスのプライマリクロック信号は、8 個の 27:1 マルチプレクサを介して得られます。利用可能なクロックソースとしては、I/O ソース 8 本、配線からの入力が 11 本、クロック分周器入力が 8 本、そして最大 8 本の sysCLOCK PLL 出力などがあります。

8 系統の高ファンアウト・セカンダリネットは、図 2-6 に示すように 8 つの 8:1 マルチプレクサで生成されます。セカンダリネットの 8 入力のうち 1 系統はデュアル機能のクロックピンから得られ、それ以外の 7 系統は内部配線から得られます。プライマリ・クロックネットワークの最大周波数は本データシートの ” 外部スイッチング特性 ” 表に記載されています。

図 2-6. デバイスの高ファンアウト・セカンダリネット



sysCLOCK 位相同期ループ (PLL)

sysCLOCK PLL はクロック周波数を合成する機能を提供します。規模が MachXO2-640U と MachXO2-1200/U 以上のデバイスには 1 つ以上の sysCLOCK PLL があります。CLKI は PLL の基準周波数入力で、そのソースは外部 I/O ピンまたは内部配線から得られます。CLKFB は PLL へのフィードバック信号で、内部配線または外部 I/O ピンから得られます。フィードバック分周器は基準周波数のてい倍用に使用され、(基準入力クロックよりも) 高い周波数のクロック出力が合成されます。

MachXO2 の sysCLOCK PLL は高分解能 (16 ビット) フラクショナル N 合成に対応しています。本機能では入力周波数の整数倍ではない出力クロックを生成できます。より詳細な使用方法に関しては TN1199、

MachXO2 sysCLOCK PLL Design and Usage Guide (MachXO2 sysCLOCK PLL の設計と使用法ガイド) を参照してください。

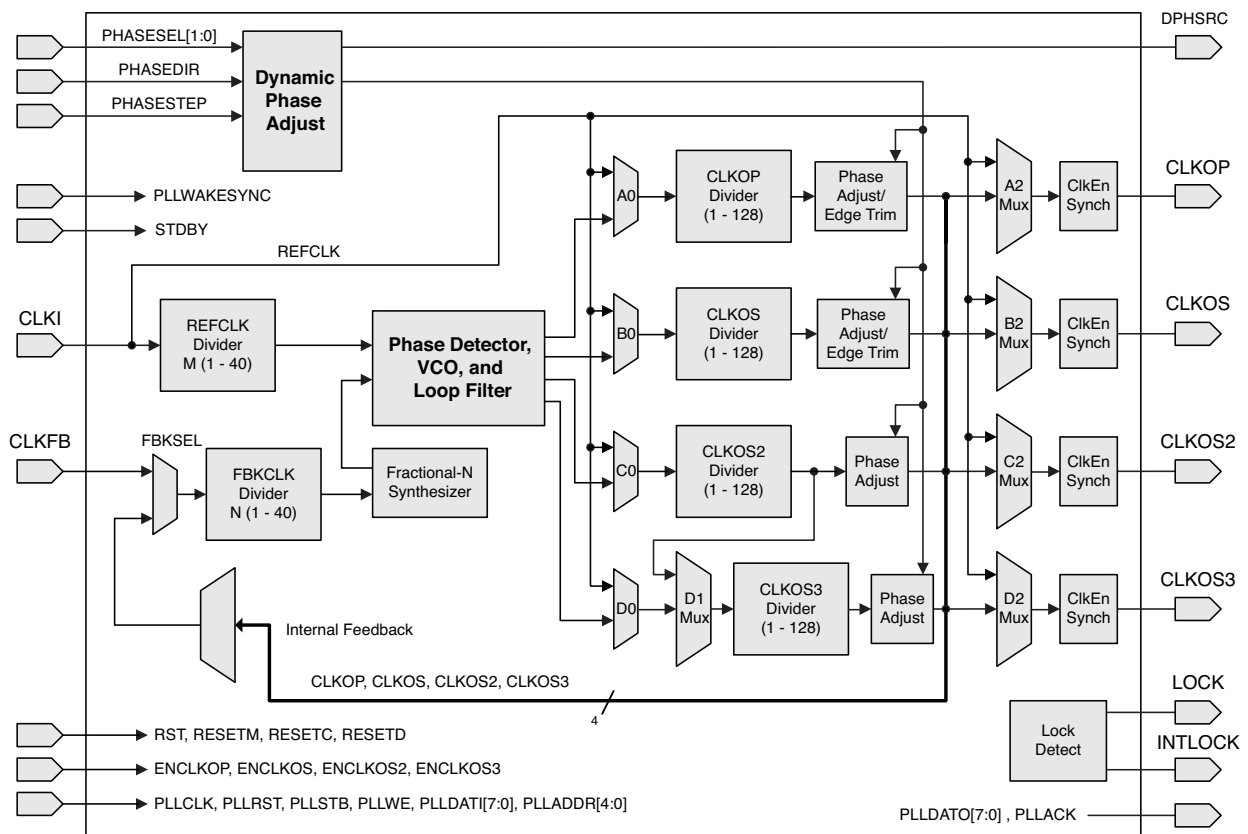
各出力に専用の分周器があるため、出力ごとに異なる周波数を生成できます。出力分周器に設定可能な値は 1 ~ 128 です。出力の分周器はカスケード接続し、低い周波数のクロックを生成することもできます。CLKOP と CLKOS、CLKOS2、及び CLKOS3 出力の全てを使用して、MachXO2 クロック分配ネットワークを直接ドライブすることも、または汎用配線リソースを使用することもできます。

LOCK 信号は PLL でロック検出時にアサートされ、ロック外れ検出時にネゲートされます。PLL の内部ブロックを図 2-7 に示します。

デバイスのセットアップ及びホールド時間は、CLKOS や CLKOS2、及び CLKOS3 出力クロックに CLKOP 出力クロックの基準よりも出力クロックを進める、または遅らせる位相シフトを設定することで改善できます。この位相シフトは、コンフィグレーション時に設定することも、或いはダイナミックに調整することもできます。ダイナミックモードでは、フィードバックとして使用される出力の位相調整後に PLL のロックが外れることがあり、その場合最悪 t_{LOCK} パラメータで規定される時間が経過するまで再ロックしません。

MachXO2 には、ユーザが 2 系統の異なる基準クロックソースをダイナミックに選択できる機能もあります。これは PLLREFCS プリミティブを使用して実装されます。PLL のタイミング・パラメータは "sysCLOCK PLL タイミング" 表に記載されています。

図 2-7. PLL 内部ブロック図



MachXO2 の PLL には WISHBONE ポートがあり、分周器の値などの PLL 設定をユーザロジックからダイナミックに変更できます。この機能を使用するときは、設計内に EFB ブロックもインスタンス化し、WISHBONE ポートからアクセス可能にしておく必要があります。ダイナミック位相調整と同様に、WISHBONE ポートから PLL 設定を更新する場合は PLL のロックが外れることがあり、 t_{LOCK} パラメータが満たされるまで再ロックされません。PLL のタイミング・パラメータは "sysCLOCK PLL タイミング" 表に記載されています。

PLL 及び WISHBONE インターフェイスの詳細については ”TN1199, Lattice MachXO2 sysCLOCK PLL Usage Guide (MachXO2 の sysCLOCK PLL 使用法ガイド) ” を参照してください。

表 2-4 に PLL ブロックの信号の説明を示します。

表 2-4. PLL の信号記述

ポート名	I/O	記述
CLKI	I	PLL への入力クロック
CLKFB	I	フィードバック・クロック
PHASESEL[1:0]	I	ダイナミック位相調整の対象となる出力の選択入力
PHASEDIR	I	ダイナミック位相調整の方向
PHASESTEP	I	ダイナミック位相ステップ ~ トグルにより VCO 位相調整 1 ステップ分シフト
CLKOP	O	PLL のプライマリクロック出力、位相シフト調整あり
CLKOS	O	PLL のセカンダリクロック出力、位相シフト調整あり
CLKOS2	O	PLL のセカンダリクロック出力 2、位相シフト調整あり
CLKOS3	O	PLL のセカンダリクロック出力 3、位相シフト調整あり
LOCK	O	PLL ロック信号、非同期。アクティブ High で PLL が入力とフィードバック信号がロックしていることを示す
INTLOCK	O	PLL ロック内部信号、非同期。アクティブ High で PLL が内部フィードバックでロックしていることを示す
DPHSRC	O	ダイナミック位相ソース ~ ポート、または WISHBONE がアクティブ
STDBY	I	PLL をパワーダウンするスタンバイ信号
PLLWAKESYNC	I	PLL ウェイクアップ同期。PLL ウェイクアップ時に PLL が内部パスからユーザ指定フィードバックパスに切り替えることをイネーブル
RST	I	PLL リセット。アクティブ High、M 分周器はリセットされない
RESETM	I	PLL リセット。アクティブ High、M 分周器もリセットされる
RESETC	I	CLKOS2 用出力分周器のみをリセットする。アクティブ High
RESETD	I	CLKOS3 用出力分周器のみをリセットする。アクティブ High
ENCLKOP	I	PLL の CLKOP 出力をイネーブルする
ENCLKOS	I	PLL の CLKOS 出力がアクティブの場合にイネーブルする
ENCLKOS2	I	PLL の CLKOS2 出力がアクティブの場合にイネーブルする
ENCLKOS3	I	PLL の CLKOS3 出力がアクティブの場合にイネーブルする
PLLCLK	I	PLL データバス、クロック信号入力
PLL_RST	I	PLL データバス・リセット。レジスタ値はリセットしない
PLLSTB	I	PLL データバス、ストローブ信号
PLLWE	I	PLL データバス、ライトイネーブル信号
PLLADDR [4:0]	I	PLL データバス、アドレス
PLLDATI [7:0]	I	PLL データバス、データ入力
PLLDATO [7:0]	O	PLL データバス、データ出力
PLLACK	O	PLL データバス、アクノレッジ信号

sysMEM 組み込みブロックメモリ

規模が MachXO2-640 以上のデバイスには、sysMEM 組み込みブロック RAM (EBR) が内蔵されています。EBR は 9Kbit RAM と、専用の入力及び出力レジスタで構成されます。このメモリはデータのバッファリングやソフトプロセッサの PROM、および FIFO など、広範な用途で使用できます。

sysMEM メモリブロック

sysMEM ブロックはシングルポート、デュアルポート、擬似デュアルポート、または FIFO メモリを実装できます。個々のブロックは表 2-5 に示すような種々の深さと幅で使用できます。

表 2-5. sysMEM ブロックの構成

メモリモード	構成
シングルポート	8,192 x 1、4,096 x 2 2,048 x 4、1,024 x 9
真のデュアルポート	8,192 x 1、4,096 x 2 2,048 x 4、1,024 x 9
擬似デュアルポート	8,192 x 1、4,096 x 2 2,048 x 4、1,024 x 9 512 x 18
FIFO	8,192 x 1、4,096 x 2 2,048 x 4、1,024 x 9 512 x 18

バスサイズ・マッチング

全てのマルチポートメモリ・モードで、ポートごとに異なるビット幅が設定可能です。RAM ビットは、LSB ワード 0 から MSB ワード 0、次いで LSB ワード 1 から MSB ワード 1 というようにマッピングされます。ポートごとにワードサイズとワード数が異なっても、各ポートにこのマッピング方式が適用されます。

RAM 初期化と ROM 動作

必要に応じて RAM の内容をデバイスのコンフィグレーション時にプリロードできます。EBR 初期化データは UFM からロードできます。(ユーザが使用する) UFM のビット数を最大にするには、デザイン内の EBR が全て 0 になるように初期化します。この場合は UFM ビットが消費されません。MachXO2 デバイスでは、複数の EBR が同じパターンで初期化される場合に、それらが同じ初期化データ用のメモリ空間を共有するように設計されています。

デバイスのコンフィグレーション時に RAM ブロックをプリロードし、ライト制御をディセーブルすると、sysMEM ブロックは ROM としても利用できるようになります。

メモリのカスケード接続

大規模で深い RAM ブロックは、EBR の sysMEM ブロックを使用して作成できます。設計入力に従ってラティスの設計ツールはメモリを自動的にカスケード接続します。

シングル、デュアル、擬似デュアルポート、及び FIFO モード

図 2-8 に 5 通りの基本メモリ構成とその入出力名を示します。全ての sysMEM RAM モードで、データ及びアドレス入力ポートにはメモリアレイの入力レジスタがあります。メモリアレイの出力ポートは、レジスタをイネーブルすることもできます。

図 2-8. sysMEM メモリプリミティブ

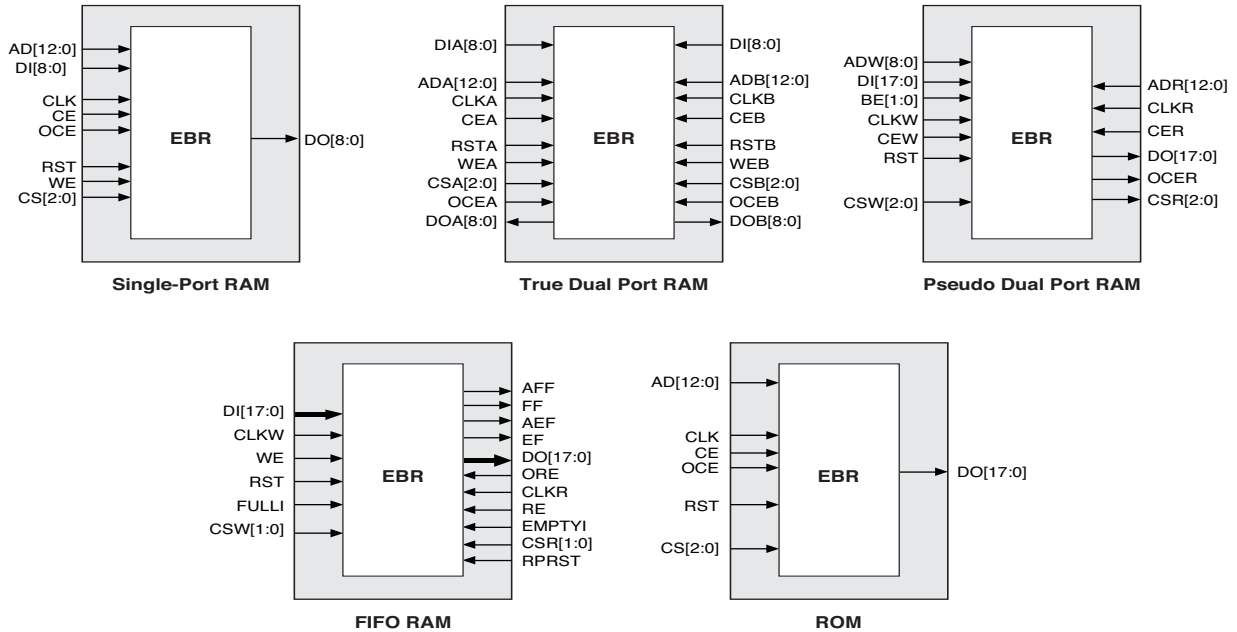


表 2-6. EBR 信号記述

ポート名	記述	アクティブ状態
CLK	クロック	立ち上がりエッジ
CE	クロックイネーブル	High アクティブ
OCE ¹	出力クロックイネーブル	High アクティブ
RST	リセット	High アクティブ
BE1	バイトイネーブル	High アクティブ
WE	ライトイネーブル	High アクティブ
AD	アドレスバス	—
DI	データ入力	—
DO	データ出力	—
CS	チップセレクト	High アクティブ
AFF	FIFO RAM Almost Full (ほぼフル) フラグ	—
FF	FIFO RAM Full (フル) フラグ	—
AEF	FIFO RAM Almost Empty (ほぼ空) フラグ	—
EF	FIFO RAM Empty (空) フラグ	—
RPRST	FIFO RAM リードポインタ・リセット	—

1. オプションの信号です

2. デュアルポート EBR プリミティブでは、信号名の後ろに付記される ‘A’ や ‘B’ は、EBR のポート A、もしくはポート B にそれぞれ該当する信号を意味します

3. FIFO RAM モード・プリミティブでは、信号名の後ろに付記される ‘R’ や ‘W’ は、FIFO のリードポート、もしくはライトポートにそれぞれ該当する信号を意味します

4. FIFO RAM モード・プリミティブでは、FULLI は CSW (2) と同じ機能を持ち、また EMPTYI は CSR (2) と同じ機能を持ちます
5. FIFO モードでは CLKW がライトポートのクロックで CSW がチップセレクト、CLKR はリードポートのクロックで CSR がチップセレクト、また ORE は出力リードイネーブルです

EBR メモリにはシングルポートまたはデュアルポート・モードで、次の 3 種類のライト動作があります。

1. ノーマル ~ データはリードサイクル時のみ出力され、ライトサイクル時は、(現在のアドレスの) データが出力されません。本モードは全てのデータ幅に適用できます
2. ライトスルー ~ 入力データのコピーが、同じポートの出力に現れます。本モードは全てのデータ幅に適用できます
3. リードビフォーライト ~ 新しいデータがライトされると、そのアドレスのライト前の内容が出力されます

FIFO の構成

FIFO にはデータ入力と CEW、WE、CLKW の各信号によるライトポートがあります。またこれとは別にデータ出力と RCE、RE、CLKR の各信号によるリードポートもあります。FIFO は内部で Almost Full、Full、Almost Empty、Empty の各フラグを生成します。Full 及び Almost Full フラグ用レジスタのクロックは CLKW です。Empty 及び Almost Empty フラグ用レジスタのクロックは CLKR です。表 2-7 にこれらフラグの設定可能な範囲を示します。

表 2-7. FIFO フラグの設定可能な範囲

フラグ名	設定可能な範囲
Full (FF)	1 ~ 最大 (2N-1)
Almost Full (AF)	1 ~ Full-1
Almost Empty (AE)	1 ~ Full-1
Empty (EF)	0

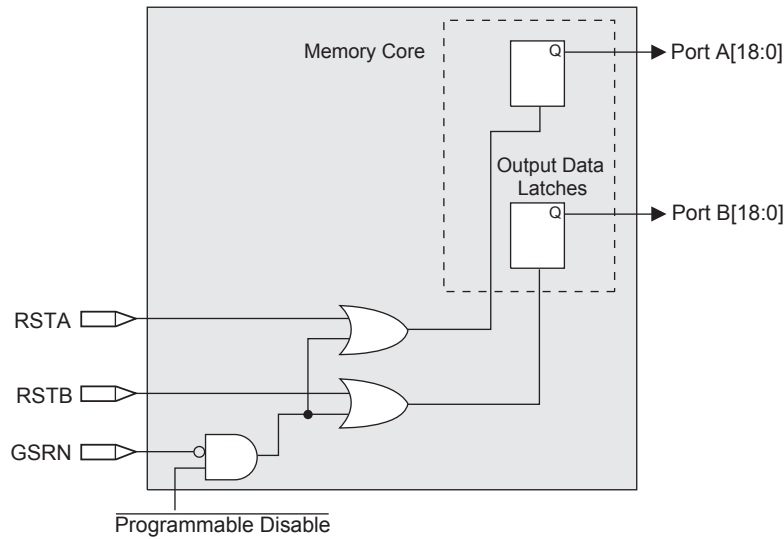
N = アドレスビット幅

FIFO ステートマシンには、RST と RPRST の 2 種類のリセット信号があります。RST 信号は、グローバルリセットでリード / ライトポインタを初期化することで FIFO をクリアし、各 FIFO フラグを初期状態にします。RPRST 信号はリードポインタのリセットに使用され、その目的は FIFO 内のデータを再送信することです。こうした用途では、パッケージがいつ FIFO にライトされたか、またはリードされたかを注意深く追跡することが重要です。

メモリアコア・リセット

メモリアコアにはポート A 及びポート B 用のデータ出力ラッチが含まれています。同期または非同期でリセット可能な、単純ラッチもあります。RSTA と RSTB はローカル信号で、それぞれポート A とポート B に関連付けられた出力ラッチをリセットします。グローバルリセット (GSRN) 信号は両ポートをリセットします。両ポートの出力データラッチとリセットの関係を図 2-9 に示します。

図 2-9. メモリコアのリセット

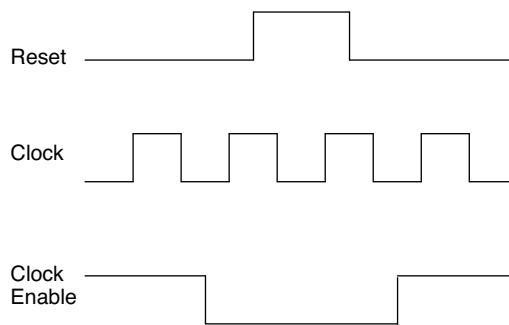


sysMEM の EBR ブロックの詳細については ”TN1201, Memory Usage Guide for MachXO2 Devices (MachXO2 のメモリ使用法ガイド)” を参照してください。

EBR 非同期リセット

EBR 非同期リセットまたは GSR（使用されている場合）を与えられるのは、図 2-10 に示すように、全てのクロックイネーブルは、リセットのアサート前に一クロック周期 Low であり、かつリセット解除後一クロック周期後に解除される場合のみです。EBR の GSR 入力は常に非同期になります。

図 2-10. (GSR を含む) EBR 非同期リセットのタイミング図



全てのクロックイネーブルがイネーブル状態のままの場合、EBR 非同期リセットまたは GSR が加えられ、そして解除されるのは、EBR のリード及びライトクロック入力の安定状態が $1/f_{MAX}$ (EBR クロック) 以上続いた場合のみです。リセット解除は、次のアクティブなリードまたはライトクロック・エッジまでの、EBR 同期リセットのセットアップ時間に従う必要があります。

EBR がコンフィグレーション時にプリロードされる場合は、デバイス I/O の開放がアクティブになる前に、GSR 入力をディセーブルするか、デバイスのウェイクアップ中に GSR を解除する必要があります。

この要件は EBR による全ての RAM、ROM、及び FIFO の実装に適用されます。FIFO モードでは GSR 信号が常にイネーブルとなり、WE 及び RE 信号が図 2-10 のクロックイネーブル信号のように機能します。リセットタイミング規則は RE 入力に対する RPRestet 入力、及び WE 入力に対する RST に適用されます。RST と

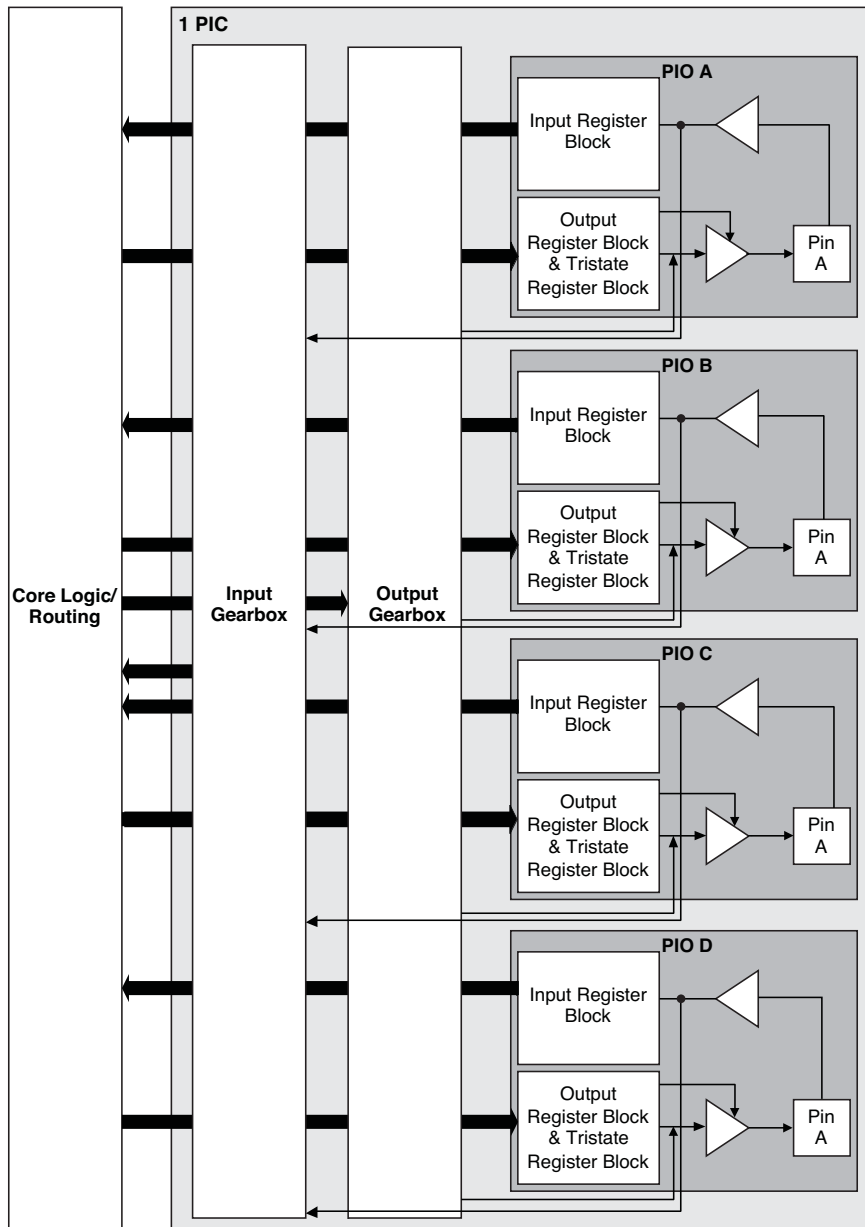
RPRreset はいずれも常に非同期の EBR 入力です。詳細については ”TN1201, Memory Usage Guide for MachXO2 Devices (MachXO2 のメモリ使用法ガイド)” を参照してください。

EBR 同期リセットを使用し、EBR の GSR 入力がディセーブルの場合は、リセットに制約がありません。

プログラマブル I/O セル (PIC)

I/O に関連するプログラマブル・ロジックは PIO と呼ばれます。個々の PIO は対応する sysIO バッファとパッドに接続されています。MachXO2 デバイスでは、4 つの PIO セルがプログラマブル I/O セル (PIC) としてグループ化されていて、デバイスの 4 辺全てに配置されています。

図 2-11. 4 つのプログラマブル I/O セルによるグループ



注 1. 入力ギアボックスは規模が MachXO20640U と MachXO2-1200/U 以上のデバイスの下辺のみにあります

2. 出力ギアボックスは規模が MachXO2-640U と MachXO2-1200/U 以上のデバイスの上辺のみにあります

全ての MachXO2 デバイスで、隣接する 2 つの PIO を組み合わせてコンプリメンタリな出力ドライバペアにできます。

規模が MachXO2-640U と MachXO2-1200 以上のデバイスは、拡張された I/O 機能を持っており、全 PIO ペアが差動レシーバを実装できます。デバイス上辺の PIO ペアの半分は真の (True) LVDS トランスミッタとして構成できます。またこれらデバイスの下辺 PIO ペアはオンチップ差動終端され、PCI にも対応します。

PIO

PIO には入力レジスタブロック、出力レジスタブロック、及びトライステート・レジスタブロックという、3 つのブロックが含まれています。これらのブロックには種々モードで動作するためのレジスタと、必要なクロック及び選択ロジックが含まれています。

表 2-8. PIO 信号リスト

ピン名	I/O タイプ	記述
CE	入力	クロックイネーブル
D	入力	sysIO バッファからの入力ピン
INDD	出力	レジスタをバイパスした入力
INCK	出力	クロック入力
Q0	出力	DDR 立ち上がりエッジ入力
Q1	出力	レジスタからの入力 / DDR 立ち下がりエッジ入力
D0	入力	コアからの出力信号 (SDR および DDR)
D1	入力	コアからの出力信号 (DDR)
TD	入力	コアからのトライステート信号
Q	出力	sysIO バッファへのデータ出力信号
TQ	出力	sysIO バッファへのトライステート出力信号
DQSR901	入力	DQS を 90 度シフトしたリードクロック
DQSW901	入力	DQS を 90 度シフトしたライトクロック
DDRCLKPOL ¹	入力	DQS からの DDR 入力レジスタ極性制御信号
SCLK	入力	入力と出力 / トライステート・ブロックへのシステムクロック
RST	入力	ローカルリセット信号

1. 右辺の PIO のみにあります

入力レジスタブロック

全辺の PIO 用の入力レジスタブロックには遅延素子とレジスタが含まれ、デバイスコアに渡す前の調整に使用できます。この機能に加えて、右辺の PIO 用入力レジスタブロックには DDR メモリとインターフェイスするための組み込みロジックが含まれています。

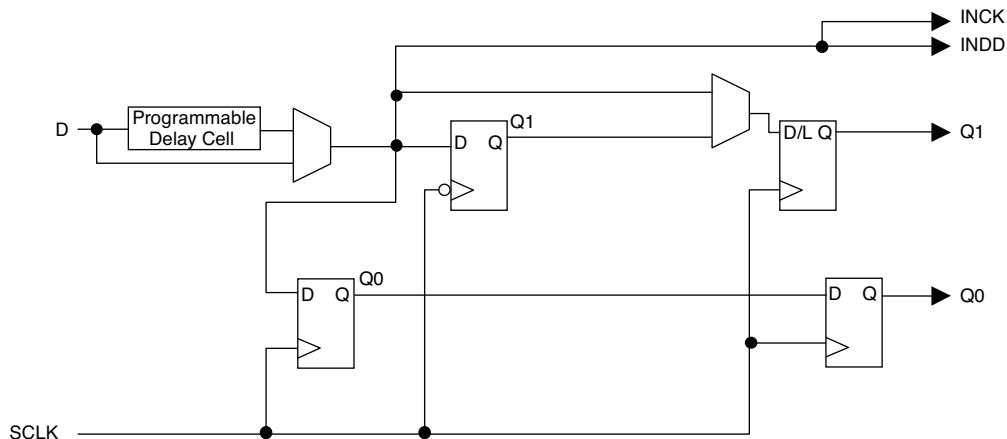
左辺および上下辺にある PIO 用入力レジスタブロックを図 2-12 に示します。図 2-13 は右辺の PIO 用入力レジスタブロックを示します。

左辺および上下辺

入力信号は sysIO バッファから入力レジスタブロックに (信号 D として) 与えられます。必要に応じて入力信号はレジスタと遅延素子をバイパスし、組み合わせ信号 (INDD) 及びクロック (INCK) として直接使用することができます。入力遅延が必要な場合は、ユーザが固定遅延量を選択できます。下辺の I/O にはダイナミック遅延 (DEL[4:0] により制御する Programmable Delay Cell) もあり、これを用いてグローバルクロック使用時に入力レジスタのホールドタイム要件が軽減できます。入力ブロックは 2 つの動作モードが可能です。シングルデータレート (SDR) では、データを同期レジスタブロック内のレジスタの 1 つを用いて、シ

システムクロック (SCLK) で取り込みます。汎用 (Generic) DDR モードでは、2 つのレジスタを使用してシステムクロック (SCLK) 信号の立ち上がりエッジと立ち下がりエッジでデータをサンプルし、2 本のデータストリームが生成されます

図 2-12. MachXO2 入力レジスタのブロック図 (左辺と上下辺の PIO)



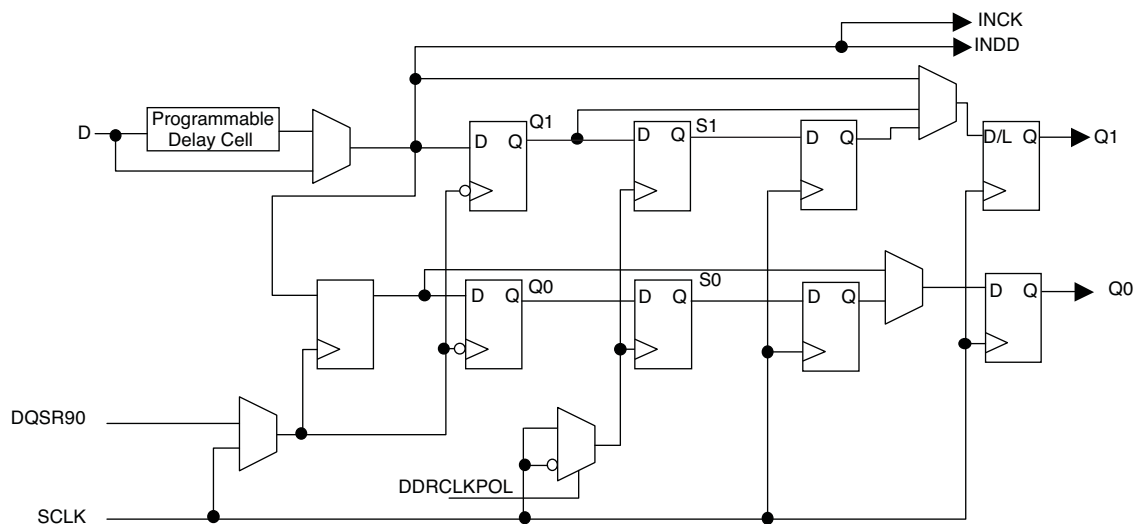
右辺

右辺の入力レジスタブロックは、上下辺、及び左辺のブロックのスーパーセットになっています。前述のモードに加えて、右辺の入力レジスタブロックは DDR メモリモードも備えています。

DDR メモリモードでは、2 つのレジスタを使用して DDR メモリモードで遅延された DQS (DQSR90) の立ち上がりエッジと立ち下がりエッジでデータをサンプルし、2 本のデータストリームを生成します。これらはコアに渡される前に、さらにシステムクロックで同期化されます。

信号 DDRCLKPOL は、同期化レジスタで使用するクロックの極性を制御します。これにより、データが DQS ドメインからシステムクロック・ドメインに転送される際のタイミングが適切なものになります。DQSR90 及び DDRCLKPOL 信号は DQS リードライトブロック (DQS Read-Write Block) で生成されます。

図 2-13. MachXO2 入力レジスタのブロック図 (右辺の PIO)



出力レジスタブロック

出力レジスタブロックでは、デバイスコアからの信号を sysIO バッファに渡す前に、レジスタを通します。

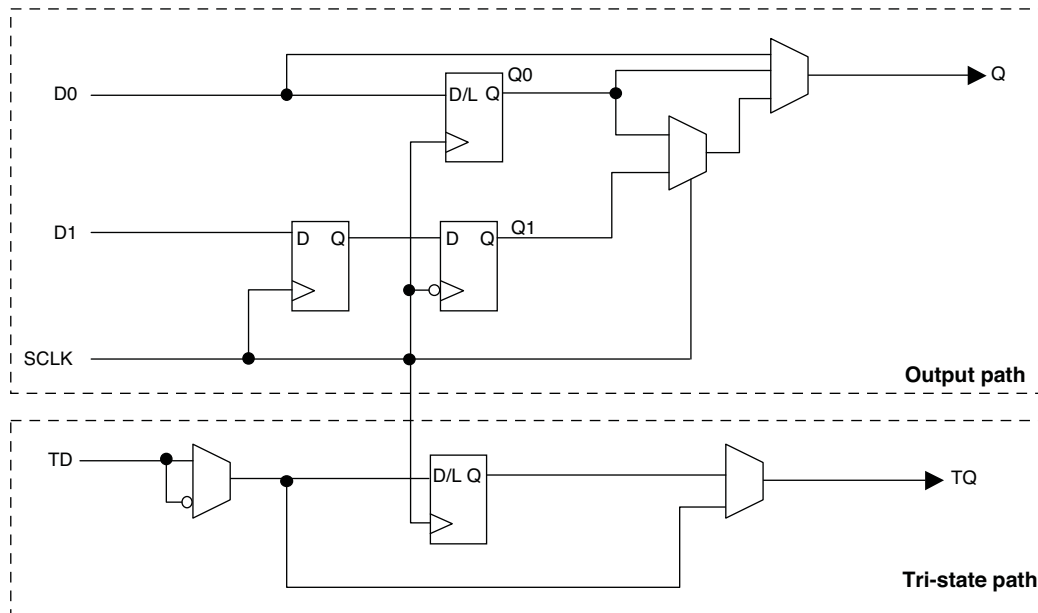
左辺および上下辺

SDR モードでは D0 がフリップフロップの 1 つに送られ、さらに出力に送られます。フリップフロップは、D タイプレジスタまたはラッチとして構成できます。

”DDR Generic” モードでは、D0 及び D1 入力がクロックの立ち上がりエッジでレジスタにサンプルされます。D1 側パスはさらに次の立ち下がりエッジでレジスタ Q1 にサンプルされます。そして同じクロックで動作するマルチプレクサを使用してレジスタ Q0 と Q1 の出力を多重化して出力に送り出します。

図 2-14 に左辺および上下辺の出力レジスタブロックを示します。

図 2-14. MachXO2 出力レジスタのブロック図 (左辺と上辺の PIO)



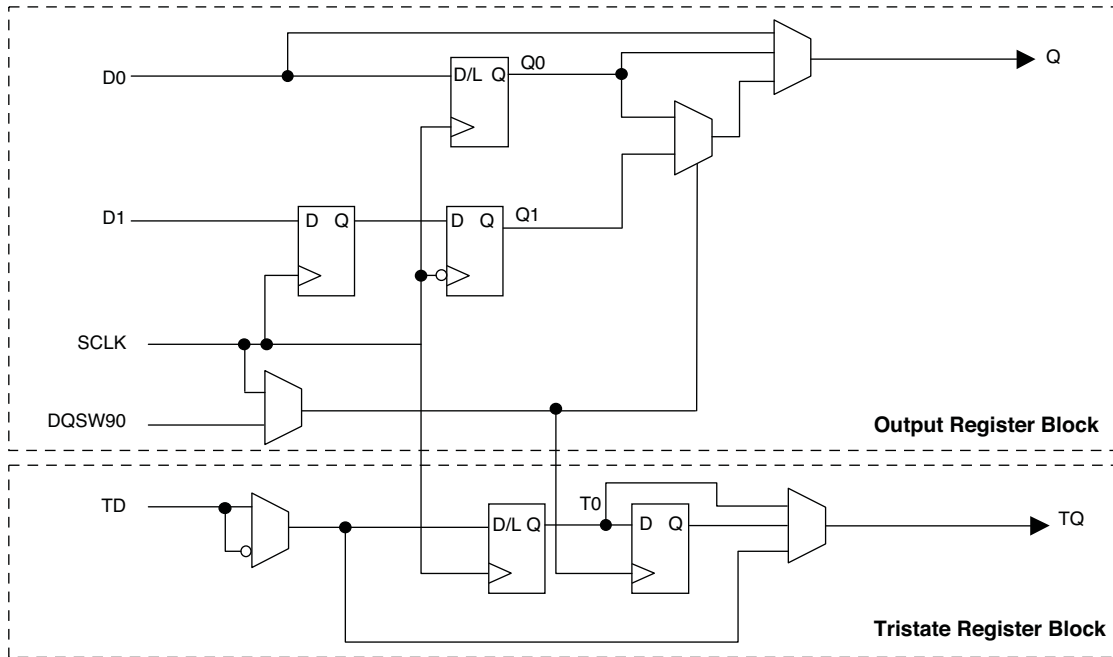
右辺

右辺の出力レジスタブロックは、デバイスの左辺と上下辺の出力レジスタのスーパーセットになっています。SDR 及び汎用 DDR の対応に加えて、右辺の PIO 出力レジスタブロックには、DDR メモリインターフェイス対応のための追加ロジックが含まれています。このブロックの動作は他辺の出力レジスタブロックの動作と類似しています。

DDR メモリモードでは、D0 及び D1 入力がクロックの立ち上がりエッジでレジスタにサンプルされます。D1 側パスはさらに次の立ち下がりエッジでレジスタ Q1 にサンプルされます。DQSW90 信号で動作するマルチプレクサを使用して、レジスタ Q0 と Q1 の出力を多重化して出力に送り出します。

図 2-15 に右辺の出力レジスタブロックを示します。

図 2-15. MachXO2 の出力レジスタのブロック図 (右辺の PIO)



トライステート・レジスタブロック

トライステート・レジスタブロックでは、デバイスコアからのトライステート制御信号を sysIO バッファに供給する前に、まずレジスタに取り込みます。このブロックには SDR 動作レジスタが含まれていて、SDR 時は TD 入力が入力レジスタの 1 つでサンプルされ、その後出力に送られます。

右辺のトライステート・レジスタブロックには、DDR メモリ動作の追加レジスタが含まれています。DDR メモリモードでは、SDR 用レジスタの出力が DQSW90 信号をクロックとするもう一つのレジスタに与えられ、このレジスタ出力がトライステート制御として使用されます。

入力ギアボックス

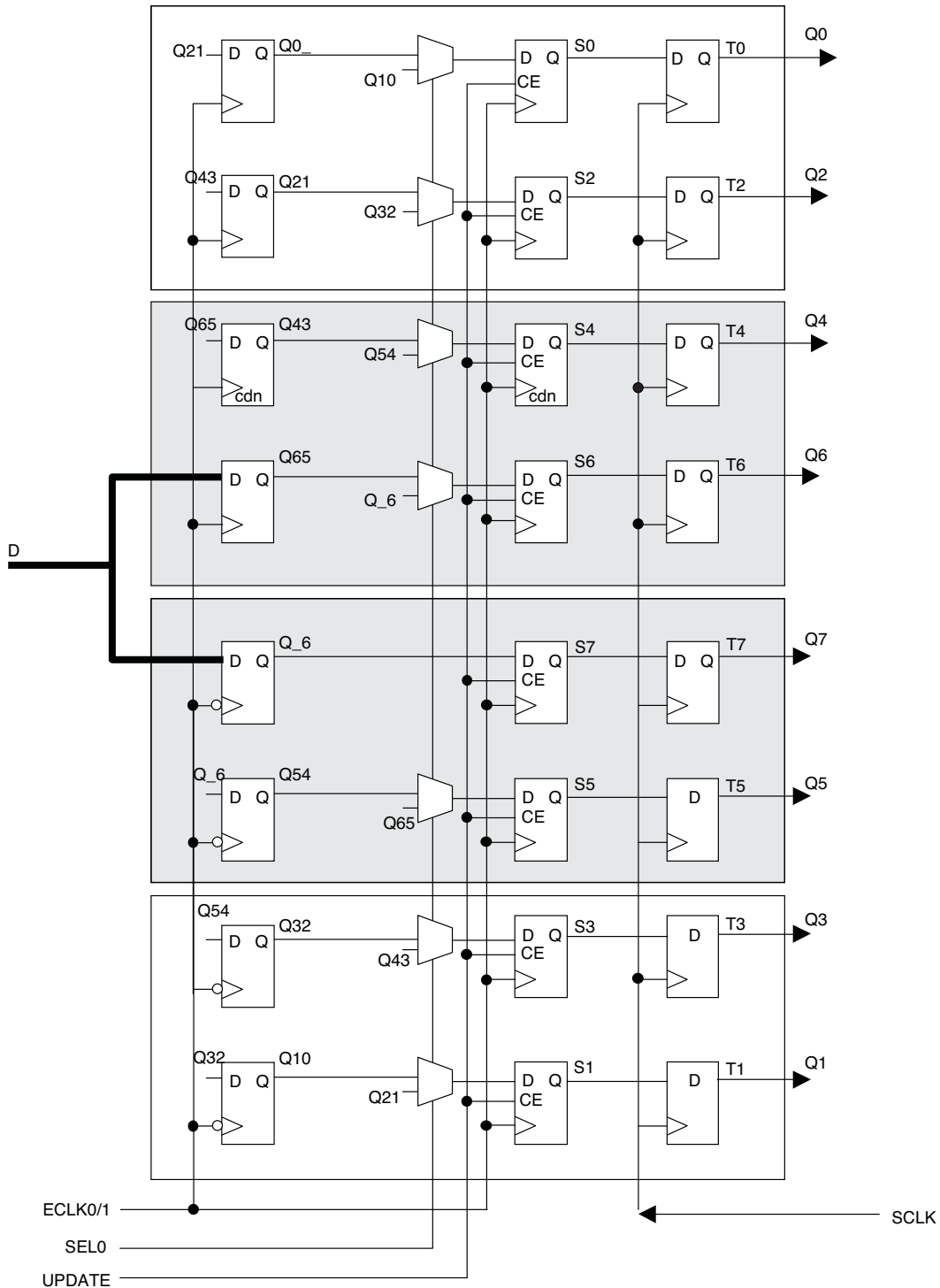
下辺の各 PIC には 1:8 入力ギアボックスが内蔵されています。この入力ギアボックスはそれぞれ、1:7 デシリアライザ、1 つの IDDRX4 (1:8) ギアボックス、またにギアボックス信号を示します。表 2-9 は 2 つの IDDRX2 (1:4) ギアボックスのいずれかに設定できます。

表 2-9. 入力ギアボックス信号リスト

名称	I/O タイプ	記述
D	入力	PIO A 入力レジスタブロック内のプログラマブル遅延後の高速データ入力
ALIGNWD	入力	デバイスコアからのデータアライメント信号
SCLK	入力	低速システムクロック
ECLK[1:0]	入力	高速エッジクロック
RST	入力	リセット
Q[7:0]	出力	デバイスコアへの低速データ ビデオ RX(1:7): Q[6:0] GDDR4(1:8): Q[7:0] GDDR2(1:4)(IOL-A): Q4, Q5, Q6, Q7 GDDR2(1:4)(IOL-C): Q0, Q1, Q2, Q3

これらのギアボックスには3ステージのパイプラインレジスタがあります。第1ステージのレジスタが、入力データを高速エッジクロックの立ち上がり及び立ち下がりエッジでサンプルします。第2ステージのレジスタは、制御ブロックからの制御信号 UPDATE と SEL に基づいてデータのアライメントを実行します。第3ステージのパイプラインレジスタは、低速システムクロックに同期化してデータをデバイスコアに渡します。図 2-16 に入力ギアボックスのブロック図を示します。

図 2-16. 入力ギアボックス



入力ギアボックスの詳細については”TN1203, MachXO2 High-Speed Source Synchronous and Memory Interfaces (MachXO2 の高速ソースシンクロナスとメモリアンターフェイス)”を参照してください。

出力ギアボックス

上辺の各 PIC には 8:1 出力ギアボックスが内蔵されています。この出力ギアボックスはそれぞれ、7:1 シリアルライザ、1 つの ODDR4 (8:1) ギアボックス、または 2 つの ODDR2 (4:1) ギアボックスのいずれかに設定できます。表 2-10 にギアボックス信号を示します。

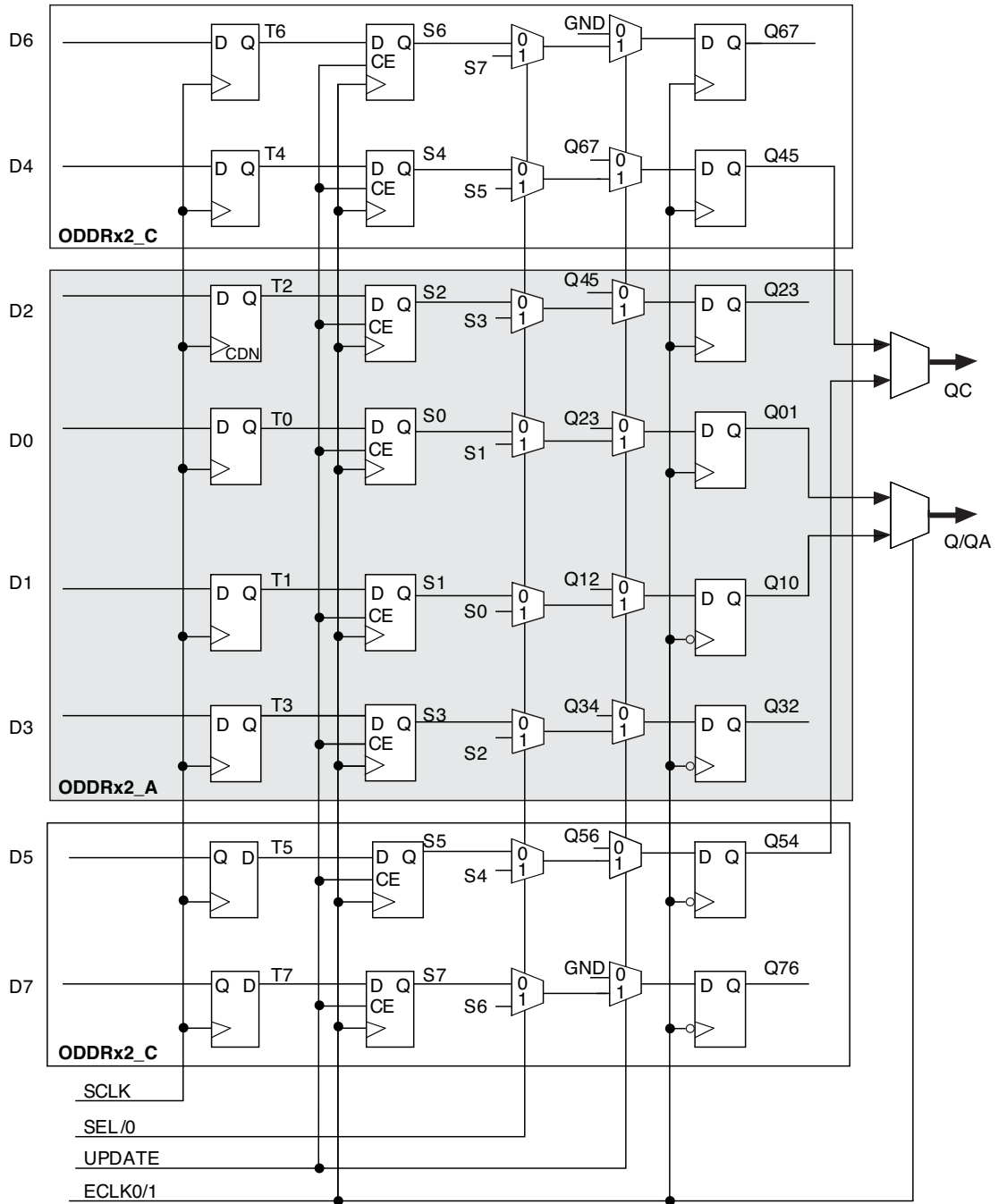
表 2-10. 出力ギアボックス信号リスト

名 称	I/O タイプ	記 述
Q	出力	高速データ出力
D[7:0]	入力	デバイスコアからの低速データ
Video TX(7:1): D[6:0]		
GDDR4(8:1): D[7:0]		
GDDR2(4:1)(IOL-A): D[3:0]		
GDDR2(4:1)(IOL-C): D[7:4]		
SCLK	入力	低速システムクロック
ECLK [1:0]	入力	高速エッジクロック
RST	入力	リセット

これらのギアボックスには 3 ステージのパイプラインレジスタがあります。第 1 ステージのレジスタは、低速システムクロックで低速入力データをサンプルします。第 2 ステージのレジスタは、低速クロックレジスタから高速クロックレジスタにデータ転送します。第 3 ステージのパイプラインレジスタは、高速エッジクロックで制御され、データ出力を sysIO バッファにシフト及び多重化します。図 2-17 に出力ギアボックスのブロック図を示します。

出力ギアボックスの詳細については”TN1203, MachXO2 High-Speed Source Synchronous and Memory Interfaces (MachXO2 の高速ソースシンクロナスとメモリアンターフェイス)”を参照してください。

図 2-17. 出力ギアボックス



DDR メモリへの対応

規模が MachXO2-640U と MachXO2-1200/U 以上のデバイス右辺にある一部の PIC には、DDR メモリインターフェイスを実装可能な回路が追加されています。14 本または 12 本の PIO で構成する 2 つのグループがそれぞれ右辺にあり、DDR メモリインターフェイスを実装するための回路が追加されています。この機能では最大 16 ビット幅のメモリインターフェイスを実装できます。各グループの PIO の 1 つには DQS リードライトブロック (DQS Read Write Block) と呼ぶ制御回路が含まれ、クロックと制御信号 (DQSR90、DQSW90、DDRCLKPOL、DATAVALID) を生成します。これらのクロック及び制御信号は、専用の低スキュー配線を用いてグループ内の他の PIO に分配されます。

DQS リードライトブロック

ソースシンクロナス・インターフェイスでは、入力クロックを調整し、入力レジスタでデータを正しく捕捉できるようにする必要があります。殆どのインターフェイスではこの調整に PLL が使用されます。しかし DDR メモリではクロック (DQS) が連続でないため、この方法を使用できません。DQS リードライトブロックは、DDR メモリインターフェイスに必要なクロックアライメントを提供し、また DQS 入力から DQSR90 及び DQSW90 信号を生成します。

DDR メモリインターフェイス設計では、通常 (リードサイクル時に) 受信する遅延 DQS ストロープと内部システムクロックとの位相関係が不定です。MachXO2 ファミリーには、これらドメイン間でデータ転送する専用回路が内蔵されています。セットアップ及びホールド違反を防止するため、遅延された DQS とシステムクロック間のドメイン転送では、クロック極性セレクタが使用されます。この回路は、入力レジスタブロック内の同期化レジスタに取り込むクロックエッジを選択します。そのためには、リードサイクルの開始ごとに正しいクロック極性を評価する必要があります。DDR メモリのリード動作前に、DQS はトライステートになります (VTT に終端)。DDR メモリデバイスは、プリアンブル・ステートの開始時に DQS を Low にドライブします。DQS リードライトブロックの専用回路が、プリアンブル・ステート後の最初の DQS 立ち上がりエッジを検出し、DDRCLKPOL 信号を生成します。この信号は、同期化レジスタへのクロックの極性制御に使用されます。

DQS 遅延ブロックの温度、電圧、及びプロセスのバラつきは、デバイスの右辺にある DLL からの一組のキャリブレーション信号 (6 ビットバス) によって補正されます。DLL ループは、システムクロックとフィードバックループによって、温度、電圧、及びプロセスのバラつきが補正されます。

sysIO バッファ

各 I/O は sysIO バッファと呼ばれる柔軟なバッファと関連付けられています。これらのバッファは、デバイスの周囲にバンクと呼ぶグループとして配置されています。sysIO バッファを使用すると、LVCMOS、TTL、PCI、SSTL、HSTL、LVDS、BLVDS、MLVDS、LVPECL など、現代のシステムで使用される種々規格をユーザが実装できます。

各バンクは複数の I/O 規格に対応できます。MachXO2 デバイスでは、シングルエンド出力バッファ、レシオ型入力バッファ (LVTTTL、LVCMOS、PCI)、差動 (LVDS) 及び (電圧) 参照型入力バッファ (SSTL、HSTL) に I/O 電源電圧 (V_{CCIO}) から給電されます。sysIO バンクごとに専用の V_{CCIO} があります。また各バンクには参照電圧 V_{REF} があり、バンクの V_{CCIO} に関係なく参照型入力バッファを使用できます。

MachXO2-256 及び MachXO2-640 デバイスの全 I/O バンクにシングルエンド・レシオ型入力バッファと、コンプリメンタリ出力を持つシングルエンド出力バッファが含まれています。これらデバイスのシングルエンド入力バッファには、PCI クランプが含まれていません。シングルエンド I/O バッファに加えて、これらには全 I/O に差動及び参照型入力バッファがあります。I/O はペアを構成し、それぞれのパッドは "T" と "C" と呼ばれます。True パッドは差動入力バッファの非反転側に、Comp (Complementary) パッドは差動入力バッファの反転側にそれぞれ関連付けられています。

MachXO2-640U、MachXO2-1200/U、MachXO2-2000/U、MachXO2-4000、MachXO2-7000 の各デバイスには、3 種類の sysIO バッファペアが含まれています。

1. 左辺と右辺の sysIO バッファペア

デバイス左右辺バンクの sysIO バッファペアは、2つのシングルエンド出力ドライバと、2つのシングルエンド入力バッファ（LVCMOS、LVTTL など）で構成されます。デバイス左右辺のペアには、差動及び参照型入力バッファもあります。

2. 下辺の sysIO バッファペア

デバイス下辺バンクの sysIO バッファペアは、2つのシングルエンド出力ドライバと、2つのシングルエンド入力バッファ（LVCMOS、LVTTL など）で構成されます。下辺のペアには、差動及び参照型入力バッファもあります。下辺の I/O バンクにのみ、プログラマブル PCI クランプと差動入力終端があります。PCI クランプは、 V_{CC} 及び V_{CCIO} が正常な動作レベルに達し、デバイスのコンフィグレーションが完了後にイネーブルされます。

3. 上辺の sysIO バッファペア

デバイス上辺バンクの sysIO バッファペアは、2つのシングルエンド出力ドライバと、2つのシングルエンド入力バッファ（LVCMOS、LVTTL など）で構成されます。上辺のペアには、差動及び参照型バッファがあり、sysIO バッファペアの半分（各 PIC の A 及び B PIO）には、真の差動出力ドライバがあります。参照型入力バッファは、差動入力バッファとして構成することができます。

電源起動時の典型的な I/O の振る舞い

V_{CC} と V_{CCIO} 電圧が、本データシートの ”DC and Switching Characteristics (DC およびスイッチング特性)” セクションにある ”Power-On-Reset Voltage (パワーオンリセット電圧)” の表で規定される VPORUP レベルに達すると内部パワーオンリセット (POR) 信号は非アクティブになり、FPGA コアロジックがアクティブになります。アプリケーションに非常に重要な全 I/O バンクの出力状態を適切に制御できるように、各バンクの入力が有効なロジックレベルによって確実にアクティブにすることは、ユーザの責任で行う必要があります。ブランクデバイスのデフォルト I/O 構成は、GND に弱くプルダウンされたトライステートです (PROGRAMN や JTAG ピンなどのピンはデフォルトで V_{CCIO} に弱いプルアップがあります)。 V_{CC} 及び (コンフィグレーション関連 I/O を含む I/O バンクの) V_{CCIO} が VPORUP レベルに達するまで、I/O ピンはブランク・コンフィグレーションのままです。このレベルに達すると、正しくダウンロード / コンフィグレーションされた場合に限り I/O はユーザ設定になります。

デバイスの電源起動時に、非常に重要な出力にスプリアス信号がないことをユーザが確実にする方法はいくつかあります。詳細については ”TN1202, MachXO2 sysIO Usage Guide (MachXO2 の sysIO 使用法ガイド)” を参照してください。

対応する I/O 規格

MachXO2 の sysIO バッファは、シングルエンドと差動の規格共に対応しています。シングルエンド規格はさらに LVCMOS、LVTTL、PCI に分かれます。バッファは LVTTL、PCI、LVCMOS の 1.2V と 1.5V、1.8V、2.5V 及び 3.3V 規格に対応しています。LVCMOS 及び LVTTL モードでは、ドライブ強度、バスマンテナンス (弱いプルアップ、弱いプルダウン、バスキーパ・ラッチ、なし)、及びオーブンドレインをバッファごとに個別に設定可能です。BLVDS、MLVDS、及び LVPECL 出力エミュレーションは、全てのデバイスで対応します。MachXO2-640U と MachXO2-1200/U 以上のデバイスは、上辺バンクの約 50% の I/O でオンチップ LVDS 出力バッファに対応しています。LVDS、BLVDS、MLVDS、及び LVPECL 用の差動レシーバは、MachXO2 デバイスの全バンクで対応します。PCI は規模が MachXO2-640U と MachXO2-1200/U 以上のデバイスの下辺バンクで提供されます。表 2-11 に MachXO2 PLD の I/O 特性をまとめます。

表 2-12 及び表 2-13 は MachXO2 デバイスで対応する I/O 規格 (及びその電源電圧と参照電圧) を示しています。sysIO バッファを用いて種々規格に対応する方法の詳細については ”TN1202, MachXO2 sysIO Usage Guide (MachXO2 の sysIO 使用法ガイド)” を参照してください。

表 2-11. デバイスごとの対応する I/O

	MachXO2-256, MachXO2-640	MachXO2-640U, MachXO2-1200	MachXO2-1200U MachXO2-2000/U, MachXO2-4000, MachXO2-7000
I/O バンク数	4	4	6
入力バッファの タイプ	シングルエンド (全 I/O バンク) 差動レシーバ (全 I/O バ ンク)	シングルエンド (全 I/O バンク) 差動レシーバ (全 I/O バンク) 差動入力終端 (下辺のみ)	シングルエンド (全 I/O バンク) 差動レシーバ (全 I/O バンク) 差動入力終端 (下辺のみ)
出力バッファの タイプ	コンプリメンタリ出力の あるシングルエンド・ バッファ (全 I/O バンク)	コンプリメンタリ出力のあるシ ングルエンド・バッファ (全 I/O バンク) 真の LVDS 出力がある差動バッ ファ (上辺の 50%)	コンプリメンタリ出力のあるシ ングルエンド・バッファ (全 I/ O バンク) 真の LVDS 出力がある差動バッ ファ (上辺の 50%)
差動出力エミュ レーション機能	全 I/O バンク	全 I/O バンク	全 I/O バンク
PCI クランプ対応	なし	下辺のみ対応	下辺のみ対応

表 2-12. 対応する入力規格

入力規格	V _{CCIO} (Typ.)				
	3.3V	2.5V	1.8V	1.5	1.2V
シングルエンド・インターフェイス					
LVTTL		✓ ²	✓ ²	✓ ²	
LVC MOS33	✓	✓ ²	✓ ²	✓ ²	
LVC MOS25	✓ ²	✓	✓ ²	✓ ²	
LVC MOS18	✓ ²	✓ ²	✓	✓ ²	
LVC MOS15	✓ ²	✓ ²	✓ ²	✓	✓ ²
LVC MOS12	✓ ²	✓ ²	✓ ²	✓ ²	✓
PCI ¹	✓				
SSTL18 (Class I, Class II)	✓	✓	✓		
SSTL25 (Class I, Class II)	✓	✓			
HSTL18 (Class I, Class II)	✓	✓	✓		
差動インターフェイス					
LVDS	✓	✓			
BLVDS, MVDS, LVPECL, RSDS	✓	✓			
差動 SSTL18 Class I, Class II	✓	✓	✓		
差動 SSTL25 Class I, Class II	✓	✓			
差動 HSTL18 Class I, Class II	✓	✓	✓		

1. 規模が MachXO2-640U と MachXO2-1200/U、およびそれ以上のデバイスの下辺バンクのみ
2. 制限的な機能。詳細は TN1202 (MachXO2 sysIO Usage Guide) を参照

表 2-13. 対応する出力規格

出力規格	V _{CCIO} (Typ.)
シングルエンド・インターフェイス	
LVTTTL	3.3
LVC MOS33	3.3
LVC MOS25	2.5
LVC MOS18	1.8
LVC MOS15	1.5
LVC MOS12	1.2
LVC MOS33, オープンドレイン	—
LVC MOS25, オープンドレイン	—
LVC MOS18, オープンドレイン	—
LVC MOS15, オープンドレイン	—
LVC MOS12, オープンドレイン	—
PCI33	3.3
SSTL25 (Class I)	2.5
SSTL18 (Class I)	1.8
HSTL18(Class I)	1.8
差動インターフェイス	
LVDS ^{1,2}	2.5, 3.3
BLVDS, MLVDS, RSDS ²	2.5
LVPECL ²	3.3
差動 SSTL18	1.8
差動 SSTL25	2.5
差動 HSTL18	1.8

1. 規模が MachX2-640U と MachXO2-1200/U、およびそれ以上のデバイスには専用 LVDS バッファがあります
2. これらインターフェイスは外部抵抗を用いて全デバイスでエミュレートが可能です

sysIO バッファバンク

バンク数はファミリー内のデバイスによって異なります。MachXO2-1200U、MachXO2-2000/U、MachXO2-4000、及び MachXO2-7000 には 6 バンク（上辺、右辺、下辺に各 1 つ、左辺に 3 つ）あります。他方 MachXO2-1200 及びこれ以下のデバイスには 4 バンク（各辺に 1 バンク）あります。図 2-18 及び 2-19 に全デバイスの sysIO バンク及び関連する電源を示します。

図 2-18. MachXO2-2000、MachXO2-4000 および MachXO2-7000 のバンク構造

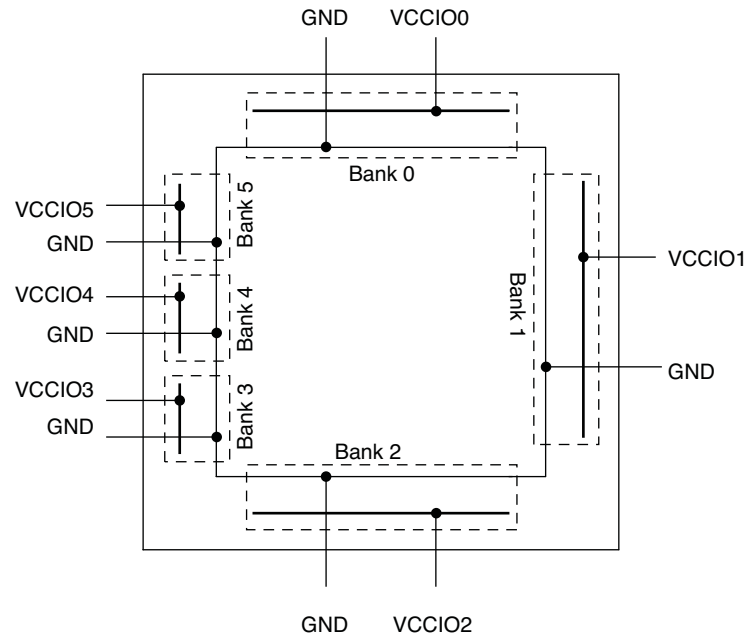
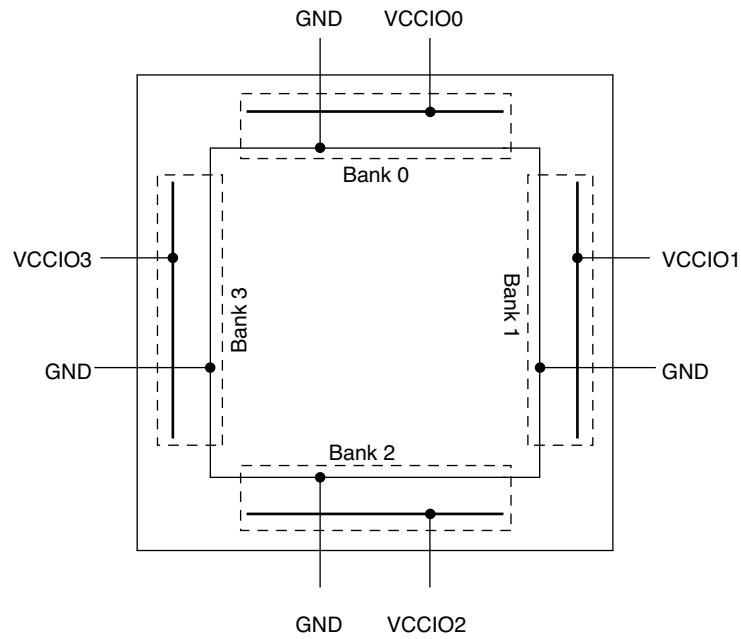


図 2-19. MachXO2-256、MachXO2-640 および MachXO2-1200 のバンク構造



活線挿抜

MachXO2 デバイスは、電源起動時及び遮断時の振る舞いが予測できるように注意深く設計されています。I/O ピンへのリークは規定リミット以下に制御されます。その結果、システムの他の部分との統合が容易です。こうした機能により、MachXO2 は多くの複数電源用途や、活線挿抜アプリケーションに最適なものとなっています。

オンチップ・オシレータ

MachXO2 デバイスにはそれぞれ CMOS オシレータが内蔵されています。オシレータ出力は、クロックとしてクロックツリーへ、または基準クロックとして sysCLOCK PLL へと汎用配線リソースを使用して配線できます。オシレータのクロック出力は内蔵ロジックで分周できます。オシレータをイネーブル / ディセーブルするための、専用のプログラミングビットとユーザ入力があります。オシレータの周波数範囲は 2.08M ~ 133MHz で、マスタクロック (MCLK) のソフトウェア・デフォルト値は公称 2.08MHz です。ユーザ設計でデフォルトと異なる MCLK を選択した場合は、次のシーケンスが実行されます。

1. 電源起動時、デバイスは公称 MCLK 周波数の 2.08MHz です
2. コンフィグレーション中、ユーザは異なるマスタクロック周波数を選択
3. デバイスがクロックコンフィグレーション・ビットを受信すると、MCLK 周波数が選択した周波数に変化します
4. ユーザがマスタクロック周波数を選択しなかった場合は、コンフィグレーション・ビットストリームによって、デフォルトの MCLK 周波数 2.08MHz のままです

表 2-14 に設定可能な全ての MCLK 周波数を示します。

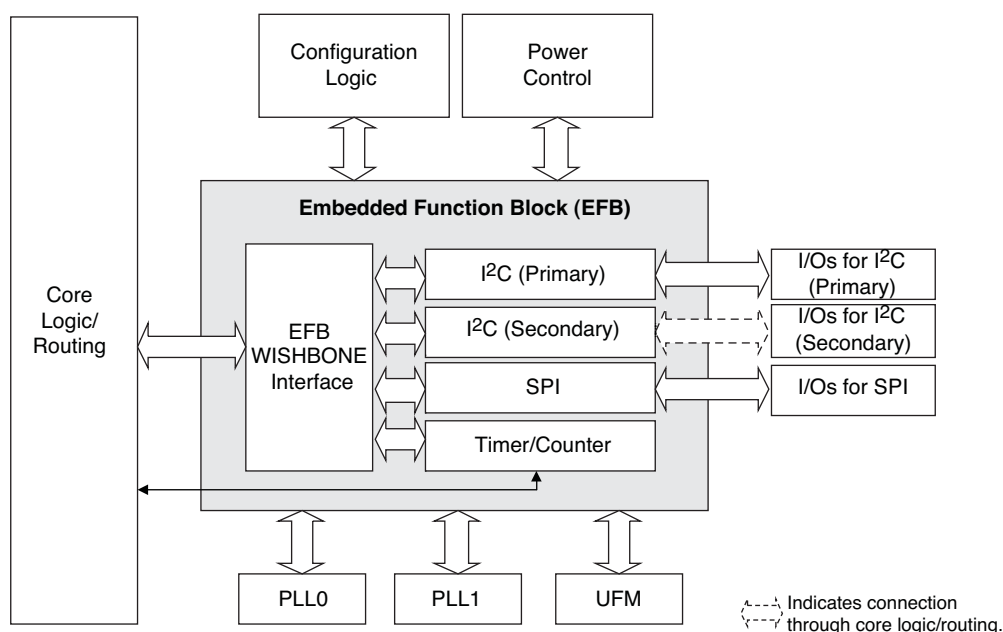
表 2-14. 設定可能な MCLK 周波数

MCLK (MHz, 公称)	MCLK (MHz, 公称)	MCLK (MHz, 公称)
2.08 (デフォルト)	9.17	33.25
2.46	10.23	38
3.17	13.3	44.33
4.29	14.78	53.2
5.54	20.46	66.5
7	26.6	88.67
8.31	29.56	133

組み込みハードマクロ化 IP 機能とユーザフラッシュメモリ

全ての MachXO2 デバイスには SPI と I²C、およびタイマ / カウンタなどのハードマクロ機能が組み込まれています。規模が MachXO2-640 以上のデバイスには、ユーザフラッシュメモリ (UFM) も集積されています。これらの組み込みブロックは、WISHBONE インターフェイスを介して図 2-20 に示すような接続でインターフェイスします。

図 2-20. 組み込み機能ブロックのインターフェイス



ハードマクロ化 I²C IP コア

全ての MachXO2 デバイスにはそれぞれ 2 つの I²C IP コアが含まれています (プライマリ及びセカンダリコア)。コアは共に I²C マスタまたは I²C スレーブとして構成できますが、唯一の違いは、プライマリコアは I/O ピンが事前に割り当てられているのに対して、セカンダリコアの I/O ピンはユーザが割り当て可能なことです。

IP コアをマスタとして構成すると、インターフェイスを介して I²C バス上の他のデバイスを制御できるようになります。スレーブとして構成すると、I²C マスタに対してデバイスは I/O 拡張の機能を提供できるようになります。I²C コアには以下の機能があります。

- ・ マスタまたはスレーブ動作
- ・ 7ビット及び10ビットのアドレッシング
- ・ マルチマスタ調停に対応
- ・ 最大 400KHz のデータ転送速度
- ・ 一斉同報 (General call) に対応
- ・ 8ビット WISHBONE インターフェイスによるカスタムロジックとのインターフェイス

図 2-21. I²C コアのブロック図

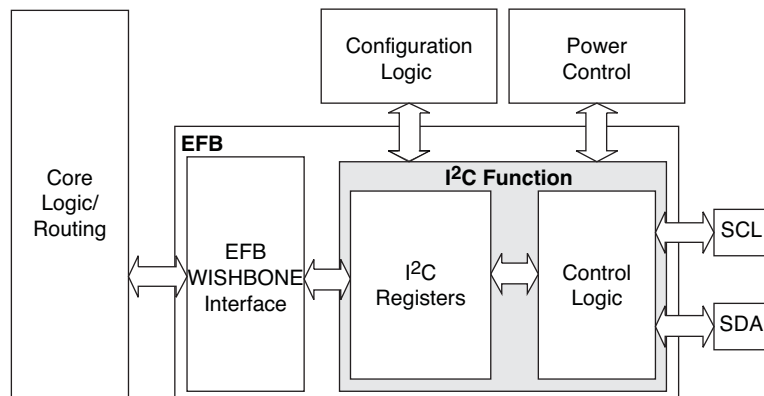


表 2-15 に I²C コアにインターフェイスする信号を示します。

表 2-15. I²C コアの信号記述

信号名	I/O	記 述
i2c_scl	双方向	I ² C コアの双方向クロックライン。マスタモードで出力、スレーブモードで入力。事前に割り当てられた I/O ピンに接続されなければならない。I ² C ポートのパッドとピンの配置については本データシートのピンアウト情報セクションやピンファイルを参照のこと
i2c_sda	双方向	I ² C コアの双方向データライン。マスタモードのみで使用可。I ² C コアから送信される時は出力、コアに受信する時は入力。事前に割り当てられた I/O ピンに接続されなければならない。I ² C ポートのパッドとピンの配置については本データシートのピンアウト情報セクションやピンファイルを参照のこと
i2c_irqo	O	I ² C コアの割り込み要求出力信号。Low アクティブ。意図する用途は、WISHBONE マスタコントローラ（マイクロコントローラやステートマシン）に接続し、特定の条件が成立した際に割り込み要求すること。それら条件は I ² C レジスタ定義で記述される
cfg_wake	O	ウェイクアップ信号。MachXO2 デバイスの電源モジュールにのみ接続される。本信号は "Wakeup Enable (ウェイクアップ・イネーブル)" 機能が EFB GUI の I ² C タブでセットされている時のみ有効
cfg_stdby	O	スタンバイ信号。MachXO2 デバイスの電源モジュールにのみ接続される。本信号は "Wakeup Enable (ウェイクアップ・イネーブル)" 機能が EFB GUI の I ² C タブでセットされている時のみ有効

ハードマクロ化 SPI IP コア

全ての MachXO2 デバイスには、SPI マスタまたはスレーブとして構成可能な、ハードマクロ SPI IP コアが 1 つあります。この IP コアをマスタとして構成すると、SPI バスに接続された他の SPI 対応デバイスを制御できるようになります。スレーブとして構成すると、デバイスが外付け SPI マスタとインターフェイスできるようになります。MachXO2 デバイスの SPI IP コアには以下の機能があります。

- ・ マスタまたはスレーブモードにコンフィグレーション可能
- ・ 全二重データ転送
- ・ CPU 割り込み機能のあるモード故障エラーフラグ
- ・ ダブルバッファ・データレジスタ
- ・ 極性と位相がプログラマブルなシリアルクロック
- ・ LSB ファーストまたは MSB ファーストのデータ転送

- ・ 8ビット WISHBONE インターフェイスによるカスタムロジックとのインターフェイス

ハードマクロ SPI を使用する際にはいくつかの制約事項があります。以下のテクニカルノートを参照してください。

- ・ TN1087, Minimizing System Interruption During Configuration Using TransFR Technology (Appendix B)
- ・ TN1205, Using User Flash Memory and Hardened Control Functions in MachXO2 Devices (日本語版：ユーザフラッシュと組み込み機能ブロックの使用ガイド)

図 2-22. SPI コアのブロック図

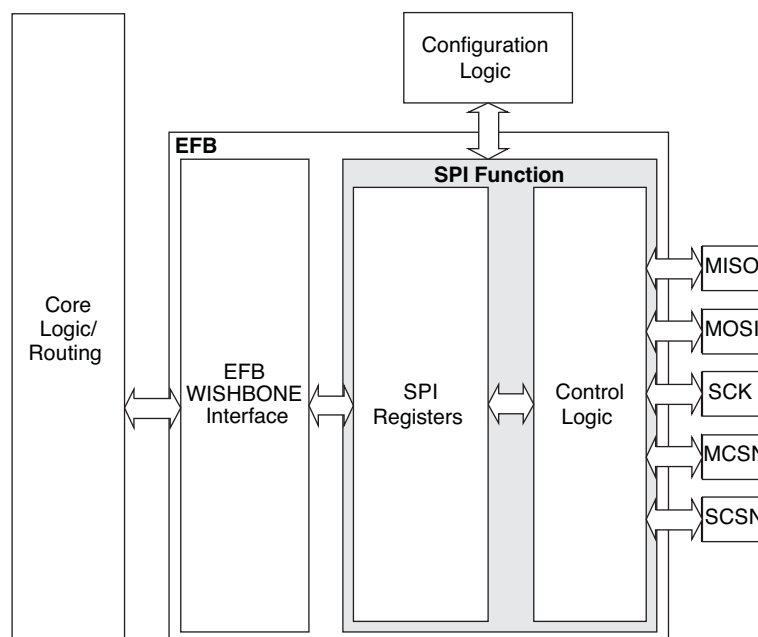


表 2-16 に SPI コアにインターフェイスする信号を示します。

表 2-16. SPI コアの信号記述

信号名	I/O	Master (M)/ Slave (S)	記 述
spi_csn[0]	O	M	SPI マスタ、チップセレクト出力
spi_csn[1..7]	O	M	追加の SPI チップセレクト出力。トータル最大 8 スレーブまで
spi_scsn	I	S	SPI スレーブ、チップセレクト入力
spi_irq	O	M/S	割り込み要求
spi_clk	I/O	M/S	SPI クロック。マスタモードで出力、スレーブモードで入力
spi_miso	I/O	M/S	SPI データ。マスタモードで入力、スレーブモードで出力
spi_mosi	I/O	M/S	SPI データ。マスタモードで出力、スレーブモードで入力
ufm_sn	I	S	コンフィグレーション・チップセレクト。Low アクティブ。ユーザフラッシュメモリ (UFM) 選択専用
cfg_stdby	O	M/S	スタンバイ信号。MachXO2 デバイスの電源モジュールにのみ接続される。本信号は "Wakeup Enable (ウェイクアップ・イネーブル)" 機能が EFB GUI の SPI タブでセットされているときのみ有効
cfg_wake	O	M/S	ウェイクアップ信号。MachXO2 デバイスの電源モジュールにのみ接続される。本信号は "Wakeup Enable (ウェイクアップ・イネーブル)" 機能が EFB GUI の SPI タブでセットされているときのみ有効

ハードマクロ化タイマ / カウンタ

MachXO2 デバイスには強力なタイマ / カウンタ IP コアが用意されています。このコアは汎用の双方向 16 ビットタイマ / カウンタモジュールで、独立した出力比較ユニットがあり、また PWM に対応しています。このタイマ / カウンタには以下の機能があります。

- ・ 次のモードの動作に対応
 - ウォッチドッグタイマ
 - コンペアマッチでタイマクリア
 - 高速 PWM
 - 位相及び周波数補正 PWM
- ・ プログラマブルなクロック入力ソース
- ・ プログラマブルな入力クロックのプリスケアラ
- ・ 配線へのスタティック割り込み出力が 1 本
- ・ オンチップ・スタンバイモード・コントローラへのウェイクアップ割り込みが 1 本
- ・ オーバーフロー、出力コンペアマッチ、及び入力キャプチャという 3 つの独立した割り込みソース
- ・ 自動リロード
- ・ 入力キャプチャユニットでタイムスタンプの設定
- ・ 出力で波形生成
- ・ PWM 期間が可変でグリッチのない PWM 波形生成
- ・ 制御及びステータスレジスタへの内部 WISHBONE バスアクセス
- ・ プリロード制御レジスタ付きスタンドアロンモードと直接リセット入力

図 2-23. タイマ / カウンタのブロック図

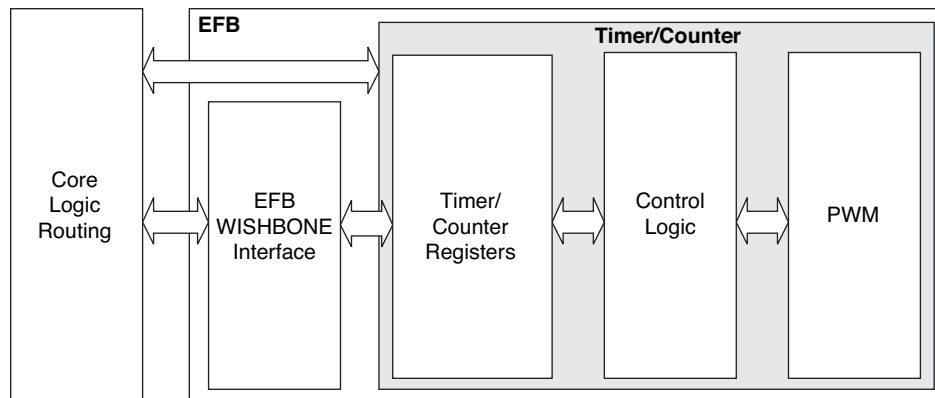


表 2-17. タイマ / カウンタの信号記述

ポート	I/O	記 述
tc_clk	I	タイマ / カウンタ用クロック入力信号
tc_rstn	I	常時本ピンをイネーブルするために、tc_rstn_ena レジスタがコンフィグ時にプリロードされる
tc_ic	I	入力キャプチャ・トリガイベント。WISHBONE インターフェイスありで非 PWM モードで有効。イネーブル時、本信号の立ち上がりエッジを検出後、タイムスタンプ用に、tx_cnt 値を tc_icr にキャプチャするために同期化される
tc_int	O	WISHBONE なし ~オーバーフローフラグとして使用可能 WISHBONE あり ~3 つの IRQ レジスタで制御される
tc_oc	O	タイマカウンタ出力信号

これら組み込み機能の詳細については ”TN1205, User Flash Memory and Hardened Control Functions in MachXO2 Devices (MachXO2 のユーザフラッシュメモリとハードマクロ化制御機能)” を参照してください。

ユーザフラッシュメモリ (UFM)

MachXO2-640 以上の規模のデバイスには、ユーザフラッシュメモリ・ブロックが用意され、コンフィグレーション・イメージの一部の格納、EBR の初期化、PROM データの格納、汎用ユーザフラッシュメモリとしてなど、種々の用途に使用できます。UFM ブロックは、組み込み機能ブロックの WISHBONE インターフェイスを介して、デバイスコアに接続されています。デバイスの JTAG、I²C、及び SPI インターフェイスによって、ユーザが UFM ブロックにアクセスすることもできます。UFM ブロックには次の機能があります。

- ・ 最大 256Kbit の不揮発性ストレージ
- ・ 10 万回のライトサイクル
- ・ リードアクセスがバイト単位で可能。ライトアクセスは 128 ビット (16 バイト) 単位で実行
- ・ 自動インクリメント・アドレッシング
- ・ WISHBONE インターフェイス

UFM の詳細については ”TN1205, Using User Flash Memory and Hardened Control Functions in MachXO2 Devices (MachXO2 のユーザフラッシュメモリとハードマクロ化制御機能の使用法)” を参照してください。

スタンバイモードと省電力オプション

高い柔軟性を提供するために MachXO2 デバイスには電源オプションとして ZE、HC、及び HE を用意しています。ZE デバイスは、きわめて低いスタティック及びダイナミック消費電力を持っています。このデバイスは 1.2V のコア電圧を使用することで、消費電力をさらに下げています。HC 及び HE デバイスは、高性能が得られるよう設計されています。HC デバイスには電圧レギュレータが内蔵され、外部供給電源 V_{CC} は 2.5V または 3.3V が可能です。一方、HE デバイスの V_{CC} は 1.2V です。

MachXO2 デバイスは (基準電圧を生成する) バンドギャップ回路やパワーオンリセット (POR) 回路、I/O バンクコントローラ、パワーガード、オンチップ・オシレータ、PLL などデバイス内の各サブシステムを制御することによって、ユーザがそれらの用途においてスタティック及びダイナミック電力要件に適合できるような設計がされています。省電力性をさらに高めるため、MachXO2 デバイスは極めて低消費電力のスタンバイモードに対応しています。これらのほとんどの機能はデバイスの 3 オプション全てで利用できますが、特に MachXO2 ZE デバイスでの電力管理を意図しています。

スタンバイモードでは、MachXO2 デバイスはパワーオン状態で、コンフィグレーションされています。内部ロジックと I/O、及びメモリはオンされ、動作可能状態のままで、ユーザロジックは外部入力を待機します。デバイスが本モードに入るのは、スタンバイコントローラのスタンバイ入力にトグルされるか、該当する I²C

または JTAG 命令が外部マスタから発行されたときです。バンドギャップ、POR 回路などデバイスの各サブシステムは、デバイスがこの状態になったときに電力を節約するように、自動的に”オフ”する、または低消費電力状態になるように設定できます。MachXO2 がスタンバイモード時にも電源が供給され、かつ全ての電源システムが推奨動作条件内に収まるように留意する必要があります。

表 2-18. MachXO2 の省電力機能の記述

デバイス・サブシステム	機能記述
バンドギャップ	バンドギャップ回路はスタンバイモードでオフにできる。この場合 POR や PLL、オンチップ・オシレータなどのアナログ回路、および参照型と差動 I/O バッファも同時にオフされる。バンドギャップは 1.2V デバイスのみでオフにできる。
パワーオンリセット (POR)	POR 回路は V_{CC} レベルを監視し、スタンバイモードでオフにできる。不安定な V_{CC} 低下が発生した場合、本回路はデバイスを再コンフィグレーションする。POR 回路がオフされても、低電力の検出回路はアクティブのままである。本オプションは供給電源が安定しているアプリケーションでのみ使用することを推奨。
オンチップ・オシレータ	オンチップ・オシレータは 2 つの省電力機能を持つ。デザイン中で不要な場合はオフにできる。また、スタンバイモードでもオフにできる。
PLL	オンチップ・オシレータ同様に PLL も 2 つの省電力機能を持つ。デザイン中で不要な場合はオフにできる。また、スタンバイモードでもオフにできる。PLL はその全てのクロック出力が Low になるのを待ってからパワーオフになる。
I/O バンク・コントローラ	参照型と差動 I/O バッファ (HSTL や SSTL、また LVDS 規格などの実装用) は LVCMOS や LVTTTL などのレシオ型シングルエンド I/O より電力を消費する。I/O バンク・コントローラは、選択したバンク単位でこれら I/O をユーザがダイナミックにオフできる。
プライマリクロックネットワーク用のダイナミック・クロックイネーブル	各プライマリネットワークはダイナミックにオフできる。
パワーガード	パワーガードは入力バッファに実装される機能で、その信号不要の際に入力バッファをオフできる。クロックとデータと共に使用できる。最大の効果が得られるのは、スタンバイモードで一般配線リソースを用いて分配されるクロック入力をオフにする使い方の場合。

スタンバイモードの詳細については ”TN1198, Power Estimation and Management for MachXO2 devices (MachXO2 の電力見積りと管理)” を参照してください。

パワーオンリセット

MachXO2 デバイスには、電源起動及び動作中に (内部コア電圧である) V_{CCINT} 及び (コンフィグレーションを制御する) V_{CCIO0} 電圧レベルを監視するための、パワーオンリセット回路があります。電源起動時、これら電圧が本データシート内の ”DC およびスイッチング特性 (DC and Switching Characteristics)” セクションにある ”パワーオンリセット電圧 (Power-On-Reset Voltage)” の表で規定された VPORUP レベルに達すると、POR 回路はオンチップ・コンフィグレーション・フラッシュメモリからのダウンロードをトリガします。内蔵電圧レギュレータを持たないデバイス (ZE 及び HE) では、 V_{CCINT} は外部供給される V_{CC} 電源電圧と同じです。電圧レギュレータを持つデバイス (HC) では、 V_{CCINT} は V_{CC} 電源電圧から作られます。この電圧が安定したと検出後から、コンフィグレーション及びユーザモードへの移行に要する時間は、本データシート内の同セクションにあるフラッシュダウンロード時間 ($t_{REFRESH}$) で規定されます。コンフィグレーション前と進行中、I/O はトライステートになります。コンフィグレーションが完了すると、I/O はユーザ機能用に解放されます。HC デバイスでは、内部安定化後の電源電圧レベルを監視する上記 POR 回路とは別に、独立した POR 回路が外部から供給される V_{CC} 電圧を監視します。

デバイスがユーザモード移行後も、POR 回路には V_{CCINT} レベルを監視するオプションもあります。 V_{CCINT} が $V_{PORDNBG}$ レベルよりも下がる (バンドギャップ回路はオン状態) か、 $V_{PORDNSRAM}$ レベルよりも下がった (バンドギャップ回路がオフで省電力状態) 場合、デバイスの機能は保証されません。その状況では POR がリセットを生成し、 V_{CCINT} 及び V_{CCIO} の電圧レベル監視を開始します。 $V_{PORDNBG}$ (バンドギャップ回路 POR ランプダウン・トリップポイント) 及び $V_{PORDNSRAM}$ (デバイスコア SRAM 部 POR ランプダウン・トリップ

ポイント) の値はどちらも、本データシート内の同セクションにある ” パワーオンリセット電圧 ” の表で規定されています。

ZE または HE デバイスがユーザモードになると、ユーザはバンドギャップ回路をオフして電力を節約できます。この場合 POR 回路もシャットダウンしますが、このデバイスは、最小限の低電力 POR 回路は動作状態のままであるように設計されています (前述の $V_{PORDNSRAM}$ リセットポイントに対応しています)。ただしこの回路は、バンドギャップがオンの場合ほどの精度はありません。低電力 POR 回路は SRAM セルをエミュレートし、大部分の SRAM セルが反転する前にトリップするようバイアスされています。 V_{CC} 電源が $V_{CC}(\min)$ よりも低下することが懸念される場合は、バンドギャップ回路や POR 回路をシャットダウンしないでください。

コンフィグレーションとテスト

このセクションでは、MachXO2 ファミリーのコンフィグレーション及びテスト機能について説明します。

容易な IEEE 1149.1 準拠のバウンダリスキャン・テスト

全ての MachXO2 デバイスにはバウンダリスキャン・セルがあり、IEEE 1149.1 に準拠したテストアクセス・ポート (TAP) からアクセスできます。これを使用すると、重要な全てのロジックノードにアクセス可能なシリアルスキャン・パスを通して、デバイスが実装された回路基板の機能テストを行えます。セル内部のレジスタはデバイス内でリンクされており、テストデータをテストノードにシフトインまたは直接ロードし、そしてテストデータをキャプチャしてシフトアウトすることでテストできます。TAP は TDI と TDO、TCK、及び TMS という専用 I/O で構成され、VCCIO バンク 0 と電源を共有し、また LVCMOS3.3、2.5、1.8、1.5、及び 1.2 の各規格で動作できます。

バウンダリスキャン・テストの詳細については AN8066、Boundary Scan Testability with Lattice sysIO Capability (Lattice sysIO 機能によるバウンダリスキャン・テスト) および TN1087、Minimizing System Interruption During Configuration Using TransFR Technology (TransFR テクノロジーを用いたコンフィグレーション中のシステム停止を最小化) を参照してください。

デバイスのコンフィグレーション

全ての MachXO2 デバイスには、デバイスのコンフィグレーションに使用可能な 2 つのポートがあります。テストアクセス・ポート (TAP) はビット幅コンフィグレーションに対応し、sysCONFIG ポートは SPI や I²C によるシリアル・コンフィグレーションに対応します。TAP は、IEEE Standard 1149.1 バウンダリスキャン仕様と、IEEE 規格 1532 インシステム・コンフィグレーション仕様の両方に対応します。以下のように MachXO2 デバイスをコンフィグレーションする方法はいろいろあります。

1. 内部フラッシュからのダウンロード
2. JTAG
3. 標準シリアル・ペリフェラル・インターフェイス (マスタ SPI モード) ~ ブート PROM メモリとのインターフェイス
4. シリアルスレーブ SPI ポート (SSPI モード) をドライブするシステムのマイクロプロセッサ
5. システムのマイクロプロセッサとの標準 I²C インターフェイス

電源起動後、コンフィグレーション SRAM は選択された sysCONFIG ポートを使用してコンフィグレーション可能になります。選択されたポートは、コンフィグレーション・サイクル中はアクティブなままです。IEEE 1149.1 ポートは、TAP から該当するコマンドを送信することで、電源起動後はいつでもアクティブにできます。オプションとして、本デバイスはユーザモード移行時に CRC チェックを実行し、デバイスが正しくコンフィグレーションされたことを確認できます。

sysCONFIG ポートには 10 本のデュアル機能ピンがあり、コンフィグレーション用に不要な場合には汎用 I/O として使用できます。デュアル機能ピンの汎用 I/O としての使用の詳細については ”TN1204, MachXO2 sysCONFIG Usage Guide (MachXO2 の sysCONFIG 使用法ガイド)” を参照してください。

ラティスの設計ソフトウェアは独自の圧縮技術を使用して、MachXO2 デバイスで使用するビットストリームを圧縮します。この技術を使用すると、低コストソリューションが可能になります。オンチップ・フラッシュメモリに収まるようにビットストリームを圧縮できない例外的な状況では、種々の技法を利用してビットストリームをオンチップ・フラッシュメモリに収めることができます。詳細については ”TN1204, MachXO2 sysCONFIG Usage Guide (MachXO2 の sysCONFIG 使用法ガイド)” を参照してください。

テストアクセス・ポート (TAP) には 4 本のデュアル機能ピン (TDI、TDO、TMS、TCK) があり、TDI、TDO、TMS、及び TCK は必要に応じて汎用 I/O として使用できます。詳細については ”TN1204, MachXO2 sysCONFIG Usage Guide (MachXO2 の sysCONFIG 使用法ガイド)” を参照してください。

TransFR (トランスペアレントなフィールド再コンフィグレーション)

TransFR (Transparent Field Reconfiguration) は、システム動作を中断することなく、1 つのコマンドでユーザがロジックをフィールドで更新できる、ラティスのユニークな技術です。詳細については ”TN1087, Minimizing System Interruption During Configuration Using TransFR Technology (TransFR 技術を使用したコンフィグレーション時のシステム中断の最小化)” を参照してください。

オンチップ・フラッシュメモリのバックグラウンド・プログラミングを実装する場合は PLL の動作に留意が必要です。PLL を二個集積しているデバイス (XO2-2000U、4000、7000) ではデバイス内右側にある RPLL と呼んでいる PLL は、バックグラウンド・プログラミング中にリセット状態にしなければなりません。より詳細については TN1204 (MachXO2 Programming and Configuration Usage Guide) を参照ください。

セキュリティとワンタイム・プログラマブル・モード (OTP)

セキュリティ (秘匿性) が重要なアプリケーションでは、外部ビットストリームをなくすと、SRAM ベースの FPGA よりも本質的にセキュリティの高いソリューションが構築できます。デバイスをロックすると、さらにセキュリティが高まります。MachXO2 デバイスにはセキュリティビットがあり、これがセットされると SRAM コンフィグレーションと不揮発性フラッシュメモリ空間のリードバックを防止します。デバイスは次の 2 モードのいずれかにできます。

1. アンロック ~ SRAM コンフィグレーションと不揮発性フラッシュメモリ空間のリードバックが可能
2. 永久にロック ~ デバイスが永久にロックされる

セキュリティビットが一度セットされると、クリアする唯一の方法はデバイスの消去だけになります。またデバイスのセキュリティをさらに補強できるように、ワンタイム・プログラマブル (OTP) モードが用意されています。デバイスが本モードに設定されると、フラッシュや SRAM OTP の消去または再プログラムができなくなります。詳細については ”TN1204, MachXO2 sysCONFIG Usage Guide (MachXO2 の sysCONFIG 使用法ガイド)” を参照してください。

デュアルブート

MachXO2 デバイスはオプションとして、プライマリ・ビットストリームとゴールデン・ビットストリームの 2 つのパターンいずれかで起動できます。プライマリ・ビットストリームが SRAM へのダウンロード時にエラーを含むことが検出された場合、デバイスは自動的にゴールデン・ビットストリームから再コンフィグレーションを試みます。オンチップ・フラッシュに格納できるのは、ゴールデン・ビットストリームのみです。ゴールデン・ビットストリームは外付け SPI フラッシュに格納しなければなりません。詳細については ”TN1204, MachXO2 sysCONFIG Usage Guide (MachXO2 の sysCONFIG 使用法ガイド)” を参照してください。

ソフトウェア検出 (SED)

SED はデバイスのコンフィグレーション後に行われる SRAM セルの CRC チェック機能です。このチェックによって SRAM セルが正常にコンフィグレーションされたことが確認されます。この機能はコンフィグレーション

ションビット・オプションでイネーブルされます。SED はファブリックからの入力によってユーザモードで起動することもできます。SED 回路のクロックは専用の分周器を使用して得られ、その入力はオンチップ・オシレータの分周前のクロックです。低消費電力アプリケーションなどでは、SED 回路をオフにできます。詳細については ”TN1206, MachXO2 Soft Error Detection Usage Guide (MachXO2 の SED 使用法ガイド)” を参照してください。

TraceID

それぞれの MachXO2 デバイスはトラッキング目的や IP セキュリティ・アプリケーション用として使用可能な、ユニークな (デバイス固有の) TraceID を持っています。TraceID の長さは 64 ビットで、そのうち 8 ビットはユーザがプログラム可能、残りの 56 ビットはラティスからの出荷時にプログラム済みです。TraceID は EFB WISHBONE インターフェイスを介してアクセスでき、SPI、I²C、または JTAG インターフェイスからアクセスすることもできます。

ロジック規模の移行 (パッケージ・マイグレーション)

MachXO2 ファミリーは、同一パッケージ内でロジック規模の移行 (変更) が可能となるよう (I/O ピン互換性を考慮して) 設計されています。さらに、このアーキテクチャでは高い成功率で、小規模デバイスから大規模デバイスへの設計移行を実行できます。多くの場合、大規模デバイスを対象としたリソース使用率の低い設計から、小規模デバイスへの移行も可能です。ただし個々のリソースの最終的な使用率が、それぞれの場合の成功率に影響を与えます。規模の小さいデバイスから大きいデバイスに移行する場合でも、或いはその逆の場合でも、意図する全デバイスの電源ピンおよび NC ピンを必ず確認するようにしてください。詳細ピン情報については、別途用意している ”migration files” を参考にしてください。

絶対最大定格 ^{1, 2, 3, 4}

	LCMXO2 ZE/HE (1.2V)	LCMXO2 HC (2.5V/3.3V)
電源電圧 V_{CC}	-0.5 ~ 1.32V.....	-0.5 ~ 3.75V
出力電源電圧 V_{CCIO}	-0.5 ~ 3.75V.....	-0.5 ~ 3.75V
I/O トライステート印可電圧 ⁵	-0.5 ~ 3.75V.....	-0.5 ~ 3.75V
専用入力の印加電圧.....	-0.5 ~ 3.75V.....	-0.5 ~ 3.75V
保存温度 (周囲温度).....	-55° C ~ 125° C.....	-55° C ~ 125° C
ジャンクション温度 (T_j).....	-40° C ~ 125° C.....	-40° C ~ 125° C

- 「絶対最大定格」で記載された条件以上のストレスは、デバイスに永久的な損傷を引き起こすかもしれません。本仕様書の推奨動作条件セクションで示す以外はいかなる条件下でも、デバイスの機能的な動作を示すものではありません。
- ラティスのドキュメント "Thermal Management (熱管理)" に準拠することが必要です。
- 全ての電圧は GND 基準です。
- 2V から ($V_{IHMAX} + 2$) V までのオーバシュートとアンダシュートは 20ns 未満の持続時間に限り許容します。
- 1°C デュアルファンクションの SCL および SDA ピンは、-0.25V ~ 3.75V、或いは 20ns 未満の持続時間でも -0.3V のみ許容します。

推奨動作条件 ¹

シンボル	パラメータ	Min.	Max.	単位
V_{CC}^1	1.2V デバイスのコア電源電圧	1.14	1.26	V
	2.5V/3.3V デバイスのコア電源電圧	2.375	3.465	V
$V_{CCIO}^{1, 2, 3}$	I/O ドライバ電源電圧	1.14	3.465	V
t_{JCOM}	ジャンクション温度、コマーシャル・グレード	0	85	°C
t_{JIND}	ジャンクション温度、インダストリアル・グレード	-40	100	°C

- 同じ電圧の電源は同一の電圧源から与えることが必要です。例えば V_{CCIO} と V_{CC} が共に 2.5V なら、それらは同じ電源に接続します。
- 以降の表に記載する I/O 規格ごとの推奨電圧を参照してください。
- 未使用 IO バンクの V_{CCIO} はボード上の V_{CC} 電源に接続してください。

供給電源のランプレート ¹

シンボル	パラメータ	Min.	Typ.	Max	単位
t_{RAMP}	全供給電源のランプレート	0.01	—	100	V/ms

- 単調増加とした場合

パワーオンリセット (POR) 電圧レベル 1, 2, 3, 4, 5

シンボル	パラメータ	Min.	Typ.	Max.	単位
V_{PORUP}	パワーオンリセット・トリップポイント、電源立ち上がり時 (V_{CCINT} と V_{CCIO0} を監視するバンドギャップ回路)	0.9	—	1.06	V
$V_{PORUPEXT}$	パワーオンリセット・トリップポイント、電源立ち上がり時 (V_{CC} を監視するバンドギャップ回路)	1.5	—	2.1	V
$V_{PORDNBG}$	パワーオンリセット・トリップポイント、電源立ち下がり時 (V_{CCINT} を監視するバンドギャップ回路)	0.75	—	0.93	V
$V_{PORDNBGEXT}$	パワーオンリセット・トリップポイント、電源立ち下がり時 (V_{CC} を監視するバンドギャップ回路)	0.98	—	1.33	V
$V_{PORDNSRAM}$	パワーオンリセット・トリップポイント、電源立ち下がり時 (V_{CCINT} を監視する SRAM ベース回路)	—	0.6	—	V
$V_{PORDNSRAMEXT}$	パワーオンリセット・トリップポイント、電源立ち下がり時 (V_{CC} を監視する SRAM ベース回路)	—	0.96	—	V

- これら POR トリップポイントはガイダンスとしてのみ提示しています (保証値ではありません)。デバイス動作は推奨動作条件下で規定された電源電圧でのみキャラクタライズされています。
- 電圧レギュレータを内蔵していないデバイスでは、 V_{CCINT} は V_{CC} 供給電圧と同じです。電圧レギュレータ内蔵デバイスでは、 V_{CCINT} は V_{CC} 供給電圧から安定化して生成されます。
- V_{PORUP} (min.) と $V_{PORDNBG}$ (max.) は異なるプロセスコーナーであることに留意して下さい。どのプロセスコーナーの場合でも、 $V_{PORDNBG}$ (max.) は V_{PORUP} (min.) に対して常に 12.0mV 低いです。
- $V_{PORUPEXT}$ は HC デバイスのみ該当します。これらのデバイスでは、別の POR 回路が外部 V_{CC} 供給電源をモニタします。
- V_{CCIO0} は立ち下がり POR トリップポイントが適用されません。正常動作のためには V_{CCIO0} は推奨動作電圧範囲内であることを確実にしてください。

プログラミング / 消去仕様

シンボル	パラメータ	Min.	Max. ¹	単位
$N_{PROGCYC}$	$t_{RETENTION}$ を満たすフラッシュ・プログラミングのサイクル数	—	10,000	サイクル
	フラッシュメモリ機能のサイクル数	—	100,000	
$t_{RETENTION}$	データリテンション、ジャンクション温度 100 °C	10	—	年
	データリテンション、ジャンクション温度 85 °C	20	—	

- フラッシュメモリ・リードサイクル数は製品のライフタイムで最大 7.5E13 以下です。

活線挿抜仕様 1, 2, 3

シンボル	パラメータ	条件	Max	単位
I_{DK}	入力または I/O のリーク電流	$0 < V_{IN} < V_{IH}$ (MAX)	+/- 1000	μA

- V_{CCP} や V_{CCP} 、および V_{CCIO} のシーケンスには依存しません。しかしながら、 V_{CC} と V_{CCP} 、および V_{CCIO} は単調増加 / 降下であることを想定しています。
- $0 < V_{CC} < V_{CC}$ (MAX), $0 < V_{CCIO} < V_{CCIO}$ (MAX) および $0 < V_{CCP} < V_{CCP}$ (MAX)
- I_{DK} は I_{PU} や I_{PD} または I_{BH} に加算的です。

ESD 性能

ESD 性能を含む信頼性データの詳細について、MachXO2 の認定レポート (Product Qualification Report) をご参照ください。

DC 電氣的特性

推奨動作条件にわたって

シンボル	パラメータ	条件	Min.	Typ.	Max.	単位
$I_{IL}, I_{IH}^{1,4}$	入力または I/O のリーク	Clamp OFF かつ $V_{CCIO} < V_{IN} < V_{IH} (MAX)$	—	—	+175	μA
		Clamp OFF かつ $V_{IN} = V_{CCIO}$	-10	—	10	μA
		Clamp OFF かつ $V_{CCIO} - 0.97V < V_{IN} < V_{CCIO}$	-175	—	—	μA
		Clamp OFF かつ $0V < V_{IN} < V_{CCIO} - 0.97V$	—	—	10	μA
		Clamp OFF かつ $V_{IN} = GND$	—	—	10	μA
		Clamp ON かつ $0V < V_{IN} < V_{CCIO}$	—	—	10	μA
I_{PU}	I/O のアクティブ・プルアップ電流	$0 < V_{IN} < 0.7 V_{CCIO}$	-30	—	-309	μA
I_{PD}	I/O のアクティブ・プルダウン電流	$V_{IL} (MAX) < V_{IN} < V_{CCIO}$	30	—	305	μA
I_{BHLS}	バスホールド Low 維持電流	$V_{IN} = V_{IL} (MAX)$	30	—	—	μA
I_{BHHS}	バスホールド High 維持電流	$V_{IN} = 0.7V_{CCIO}$	-30	—	—	μA
I_{BHLO}	バスホールド Low オーバードライブ電流	$0 \leq V_{IN} \leq V_{CCIO}$	—	—	305	μA
I_{BHHO}	バスホールド High オーバードライブ電流	$0 \leq V_{IN} \leq V_{CCIO}$	—	—	-309	μA
V_{BHT}^3	バスホールド・トリップポイント		$V_{IL} (MAX)$	—	$V_{IH} (MIN)$	V
C1	I/O 容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, V_{CC} = Typ., V_{IO} = 0 \text{ to } V_{IH} (MAX)$	3	5	9	pf
C2	専用入力の容量 ²	$V_{CCIO} = 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, V_{CC} = Typ., V_{IO} = 0 \text{ to } V_{IH} (MAX)$	3	5.5	7	pf
V_{HYST}	シュミット・ヒステリシストリガ入力 ⁵	$V_{CCIO} = 3.3V, \text{Hysteresis} = \text{Large}$	—	450	—	mV
		$V_{CCIO} = 2.5V, \text{Hysteresis} = \text{Large}$	—	250	—	mV
		$V_{CCIO} = 1.8V, \text{Hysteresis} = \text{Large}$	—	125	—	mV
		$V_{CCIO} = 1.5V, \text{Hysteresis} = \text{Large}$	—	100	—	mV
		$V_{CCIO} = 3.3V, \text{Hysteresis} = \text{Small}$	—	250	—	mV
		$V_{CCIO} = 2.5V, \text{Hysteresis} = \text{Small}$	—	150	—	mV
		$V_{CCIO} = 1.8V, \text{Hysteresis} = \text{Small}$	—	60	—	mV
		$V_{CCIO} = 1.5V, \text{Hysteresis} = \text{Small}$	—	40	—	mV

1. 入力または I/O のリーク電流は、入力または出力ドライバがトライステートとして構成される I/O で測定されました。出力ドライバがアクティブな状態では測定されていません。バスメンテナンス回路はディセーブされています。
2. T_A 25 °C、周波数 = 1.0MHz.
3. V_{IL} と V_{IH} については本ドキュメントの ”sysIO シングルエンド DC 電氣的特性” の表を参照してください。
4. V_{IH} が V_{CCIO} より高いとき、HiCgh から Low に遷移する際に 6mA のピーク電流を伴う持続時間が 30ns (Typ.) かそれ以下の過渡電流が流れます。規模が MachXO2-1200 かそれ以上のデバイスにおける真の (True) LVDS 出力ピンでは、 V_{IH} は V_{CCIO} 等しいかそれ以下でなければなりません。
5. バスキーパがオンの時。その他の詳細については、TN1202, ”MachXO2 sysIO User Guide (sysIO ユーザガイド)” を参照してください。

スタティック電流 ~ ZE デバイス 1, 2, 3, 6

シンボル	パラメータ	デバイス	Typ. ⁴	Units
I _{CC}	コア電源電流	LCMXO2-256ZE	18	μA
		LCMXO2-640ZE	28	μA
		LCMXO2-1200ZE	56	μA
		LCMXO2-2000ZE	80	μA
		LCMXO2-4000ZE	124	μA
		LCMXO2-7000ZE	189	μA
I _{CCIO}	I/O バンク電源電流 ⁵ V _{CCIO} = 2.5V	すべてのデバイス	1	μA

- 電源電流の詳細に関しては TN1198, Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積もりと電力管理) を参照してください。
- 次の特性をもつユーザーパターンを想定しています：全出力はトライステート、全入力は LVCMOS に設定され V_{CCIO} または GND に保持、オンチップオシレータはオフ、そしてオンチップ PLL もオフ。これらの項目をそれぞれオンした場合の影響については、次項の表を参照してください。
- 周波数 = 0 MHz
- T_J = 25 °C、電源電圧は公称値
- プルアップ / プルダウンは含みません
- MachXO2 起動時のピーク電流値を決定するには、パワーカリキュレータ (Power Calculator) ツールを使用してください。

個別回路部ごとのスタティック消費電力成分 ~ ZE デバイス

スタティック消費電力を近似するために以下の表を使用することができます。ユーザのデザインにおける、より正確な電力解析には、パワーカリキュレータ・ツールを使用してください。

シンボル	パラメータ	Typ.	単位
I _{DCBG}	バンドギャップ DC 電力寄与成分	101	μA
I _{DCPOR}	POR DC 電力寄与成分	38	μA
I _{DCIOBANKCONTROLLER}	I/O バンクコントローラあたりの DC 電力寄与成分	143	μA

スタティック電流 ～ HC/HE デバイス 1, 2, 3, 6

シンボル	パラメータ	デバイス	Typ. ⁴	単位
I_{CC}	コア電源電流	LCMXO2-256HC	1.15	mA
		LCMXO2-640HC	1.84	mA
		LCMXO2-640UHC	3.48	mA
		LCMXO2-1200HC	3.49	mA
		LCMXO2-1200UHC	4.80	mA
		LCMXO2-2000HC	4.80	mA
		LCMXO2-2000UHC	8.44	mA
		LCMXO2-4000HC	8.45	mA
		LCMXO2-7000HC	12.87	mA
		LCMXO2-2000HE	1.39	mA
		LCMXO2-4000HE	2.55	mA
LCMXO2-7000HE	4.06	mA		
I_{CCIO}	I/O バンク電源電流 ⁵ $V_{CCIO} = 2.5V$	全デバイス	0	mA

- 電源電流の詳細に関しては TN1198, Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積もりと電力管理) を参照してください。
- 次の特性をもつユーザパターンを想定しています：全出力はトライステート、全入力は LVCMOS に設定され V_{CCIO} または GND に保持、オンチップオシレータはオフ、そしてオンチップ PLL もオフ。これらの項目をそれぞれオンした場合の影響については、以下の表を参照してください。
- 周波数 = 0 MHz
- $T_J = 25^\circ C$ 、電源電圧は公称値
- プルアップ / プルダウンは含みません
- MachXO2 起動時のピーク電流値を決定するには、パワーカリキュレータ (Power Calculator) ツールを使用してください。

プログラミングおよび消去時の電源電流 ～ ZE デバイス 1, 2, 3, 4

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I_{CC}	コア電源電流	LCMXO2-256ZE	13	mA
		LCMXO2-640ZE	14	mA
		LCMXO2-1200ZE	15	mA
		LCMXO2-2000ZE	17	mA
		LCMXO2-4000ZE	18	mA
		LCMXO2-7000ZE	20	mA
I_{CCIO}	I/O バンク電源電流 ⁶	全デバイス	0	mA

- 電源電流の詳細に関しては TN1198, Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積もりと電力管理) を参照してください。
- 全入力が V_{CCIO} か GND に保持され、全出力がトライステートであると想定しています。
- 典型的なユーザパターン
- JTAG プログラミングは 25MHz
- $T_J = 25^\circ C$ 、電圧電源は公称値
- バンク単位、 $V_{CCIO} = 2.5V$ 、プルアップ / プルダウンを含みません。

プログラミングおよび消去時の電源電流 ~ HC/HE デバイス ^{1, 2, 3, 4}

シンボル	パラメータ	デバイス	Typ. ⁵	単位
I _{CC}	コア電源電流	LCMXO2-256HC	14.6	mA
		LCMXO2-640HC	16.1	mA
		LCMXO2-640UHC	18.8	mA
		LCMXO2-1200HC	18.8	mA
		LCMXO2-1200UHC	22.1	mA
		LCMXO2-2000HC	22.1	mA
		LCMXO2-2000UHC	26.8	mA
		LCMXO2-4000HC	26.8	mA
		LCMXO2-7000HC	33.2	mA
		LCMXO2-2000HE	18.3	mA
		LCMXO2-2000UHE	20.4	mA
		LCMXO2-4000HE	20.4	mA
		LCMXO2-7000HE	23.9	mA
I _{CCIO}	I/O バンク電源電流 ⁶	全デバイス	0	mA

- 電源電流の詳細に関しては TN1198, Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積もりと電力管理) を参照してください。
- 全入力が V_{CCIO} か GND に保持され、全出力がトライステートであると想定しています。
- 典型的なユーザパターン
- JTAG プログラミングは 25MHz
- T_J = 25 °C、電圧電源は公称値
- バンク単位、V_{CCIO} = 2.5V、プルアップ / プルダウンを含みません。

sysIO 推奨動作条件

規格	V _{CCIO} (V)			V _{REF} (V)		
	Min.	Typ.	Max.	Min.	Typ.	Max.
LVC MOS 3.3	3.135	3.3	3.465	—	—	—
LVC MOS 2.5	2.375	2.5	2.625	—	—	—
LVC MOS 1.8	1.71	1.8	1.89	—	—	—
LVC MOS 1.5	1.425	1.5	1.575	—	—	—
LVC MOS 1.2	1.14	1.2	1.26	—	—	—
LV TTL	3.135	3.3	3.465	—	—	—
PCI ³	3.135	3.3	3.465	—	—	—
SSTL25	2.375	2.5	2.625	1.15	1.25	1.35
SSTL18	1.71	1.8	1.89	0.833	0.9	0.969
HSTL18	1.71	1.8	1.89	0.816	0.9	1.08
LVDS25 ^{1, 2}	2.375	2.5	2.625	—	—	—
LVDS33 ^{1, 2}	3.135	3.3	3.465	—	—	—
LVPECL ¹	3.135	3.3	3.465	—	—	—
BLVDS ¹	2.375	2.5	2.625	—	—	—
RSDS ¹	2.375	2.5	2.625	—	—	—
SSTL18D	1.71	1.8	1.89	—	—	—
SSTL25D	2.375	2.5	2.625	—	—	—
HSTL18D	1.71	1.8	1.89	—	—	—

1. 入力にはオンチップ抵抗、出力は外付け抵抗を付加して実装されます。
2. 規模が MachXO2-1200 とそれ以上のデバイスには専用の LVDS バッファがあります。
3. 規模が MachXO2-1200 とそれ以上のデバイスでの、下辺バンクの入力。

sysIO シングルエンド・バッファ DC 電気的特性^{1,2}

I/O 規格	V_{IL}		V_{IH}		V_{OL} Max. (V)	V_{OH} Min. (V)	I_{OL} Max. ⁴ (mA)	I_{OH} Max. ⁴ (mA)
	Min. (V) ³	Max. (V)	Min. (V)	Max. (V)				
LVCMOS 3.3 LVTTTL	-0.3	0.8	2.0	3.6	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
							24	-24
					0.2	$V_{CCIO} - 0.2$	0.1	-0.1
LVCMOS 2.5	-0.3	0.7	1.7	3.6	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
							16	-16
LVCMOS 1.8	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
							12	-12
LVCMOS 1.5	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	4	-4
							8	-8
LVCMOS 1.2	-0.3	$0.35V_{CCIO}$	$0.65V_{CCIO}$	3.6	0.4	$V_{CCIO} - 0.4$	4	-2
							8	-6
PCI	-0.3	$0.3V_{CCIO}$	$0.5V_{CCIO}$	3.6	$0.1V_{CCIO}$	$0.9V_{CCIO}$	1.5	-0.5
SSTL25 Class I	-0.3	$V_{REF} - 0.18$	$V_{REF} + 0.18$	3.6	0.54	$V_{CCIO} - 0.62$	8	8
SSTL25 Class II	-0.3	$V_{REF} - 0.18$	$V_{REF} + 0.18$	3.6	NA	NA	NA	NA
SSTL18 Class I	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	3.6	0.40	$V_{CCIO} - 0.40$	8	8
SSTL18 Class II	-0.3	$V_{REF} - 0.125$	$V_{REF} + 0.125$	3.6	NA	NA	NA	NA
HSTL18 Class I	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	0.40	$V_{CCIO} - 0.40$	8	8
HSTL18 Class II	-0.3	$V_{REF} - 0.1$	$V_{REF} + 0.1$	3.6	NA	NA	NA	NA

- MachXO2 デバイスでは、 V_{CCIO} が JEDEC 仕様で規定された値と異なる I/O バンクに LVCMOS 入力を配置することができません。これはレシオ入力バッファ動作です。殆どの場合、動作としては適用される JEDEC 仕様に準じるか、またはそれを上回ります。MachXO2 デバイスが関連する JEDEC 仕様を満たさないケースについて、以下の表に記載します。
- MachXO2 デバイスは LVCMOS 参照入力 I/O を許容し、これは対応する JEDEC 仕様に準じます。ミックスモード動作の詳細については次のドキュメントを参照してください：TN1202, MachXO2 sysIO Usage Guide (sysIO 使用ガイド)
- I²C デュアルファンクションピン SCL と SDA は 10ns 未満の期間にわたり V_{IL} min が -0.25V ~ -0.3V に制限されます。
- (ロジック信号接続表で示される) GND ピン間の全 I/O (n 本とする)、または I/O バンクの最も端にある GND とそのバンクの端にある全 I/O (n 本) によって引き込まれる平均直流電流は、 $n \times 8$ mA を超えてはなりません。IO グループは、Diamond ソフトウェアが生成するデータシート・ピンテーブルによって確認することができます。

入力規格	V_{CCIO} (V)	V_{IL} Max. (V)
LVCMOS 33	1.5	0.685
LVCMOS 25	1.5	0.687
LVCMOS 18	1.5	0.655

sysIO 差動バッファ電気的特性

LVDS 差動出力バッファは、MachXO2 PLD ファミリーで規模が MachXO2-1200 およびそれ以上のデバイスの上辺にあります。

LVDS

推奨動作条件にわたって

パラメータ記号	記述	テスト条件	Min.	Typ.	Max.	単位
V_{INP}, V_{INM}	入力電圧	$V_{CCIO} = 3.3$	0	—	2.605	V
		$V_{CCIO} = 2.5$	0	—	2.05	V
V_{THD}	差動入力閾値		±100	—		mV
V_{CM}	入力コモンモード電圧	$V_{CCIO} = 3.3V$	0.05	—	2.6	V
		$V_{CCIO} = 2.5V$	0.05	—	2.0	V
I_{IN}	入力電流	パワーオン	—	—	±10	μA
V_{OH}	V_{OP} または V_{OM} の出力 High 電圧	$R_T = 100 \text{ Ohm}$	—	1.375	—	V
V_{OL}	V_{OP} または V_{OM} の出力 Low 電圧	$R_T = 100 \text{ Ohm}$	0.90	1.025	—	V
V_{OD}	差動出力電圧	$(V_{OP} - V_{OM}), R_T = 100 \text{ Ohm}$	250	350	450	mV
ΔV_{OD}	High と Low 間の V_{OD} 変化		—	—	50	mV
V_{OS}	出力電圧オフセット	$(V_{OP} + V_{OM})/2, R_T = 100 \text{ Ohm}$	1.125	1.20	1.395	V
ΔV_{OS}	High と Low 間の V_{OS} 変化		—	—	50	mV
I_{OSD}	出力短絡電流	$V_{OD} = 0V$ 、ドライバ出力をショート	—	—	24	mA

LVDS エミュレーション

MachXO2 デバイスは、デバイスによってはオンチップで LVDS に対応しますが、これに加えてエミュレーションで LVDS 出力に対応することができます (LVDS25E)。出力は、コンプリメンタリ LVC MOS 出力を使用してドライバ出力間に抵抗と共に用いることで、全デバイスでエミュレートされます。図 3-1 で示す構成は、LVDS 規格を実装するために取り得る一つのソリューションです。図 3-1 の抵抗値は業界標準値の 1% 精度です。

図 3-1. 外付け抵抗を使用する LVDS (LVDS25E)

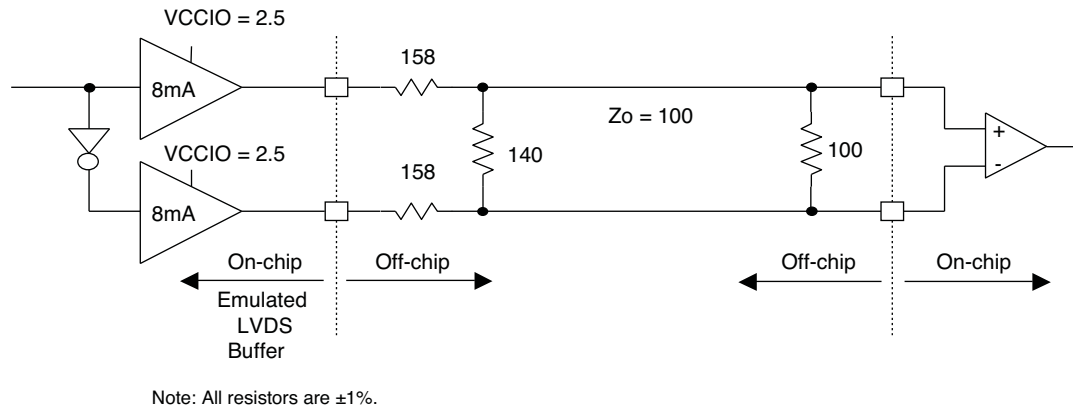


表 3-1. LVDS25E DC 条件

推奨動作条件にわたって

パラメータ	記述	Typ.	単位
Z_{OUT}	出力インピーダンス	20	Ω
R_S	ドライバ直列抵抗	158	Ω
R_P	ドライバ並列抵抗	140	Ω
R_T	レシーバ終端	100	Ω
V_{OH}	出力 High 電圧	1.43	V
V_{OL}	出力 Low 電圧	1.07	V
V_{OD}	出力差動電圧	0.35	V
V_{CM}	出力コモンモード電圧	1.25	V
Z_{BACK}	バックインピーダンス	100.5	Ω
I_{DC}	DC 出力電流	6.03	mA

BLVDS

MachXO2 ファミリーはエミュレーションによって BLVDS 規格に対応します。出力のエミュレートは、コンプリメンタリな 2 本の LVC MOS 出力を、ドライバ出力間の外付け抵抗と共に用いることで行います。入力側は、デバイスによっては LVDS 差動入力バッファによって対応します。BLVDS は、マルチドロップで、かつ双方向マルチポイント差動シグナリングが必要な場合の使用を意図されています。図 3-2 で示される構成は、双方向マルチポイント差動シグナリングで取り得る一つのソリューションです。

図 3-2. BLVDS マルチポイント出力の例

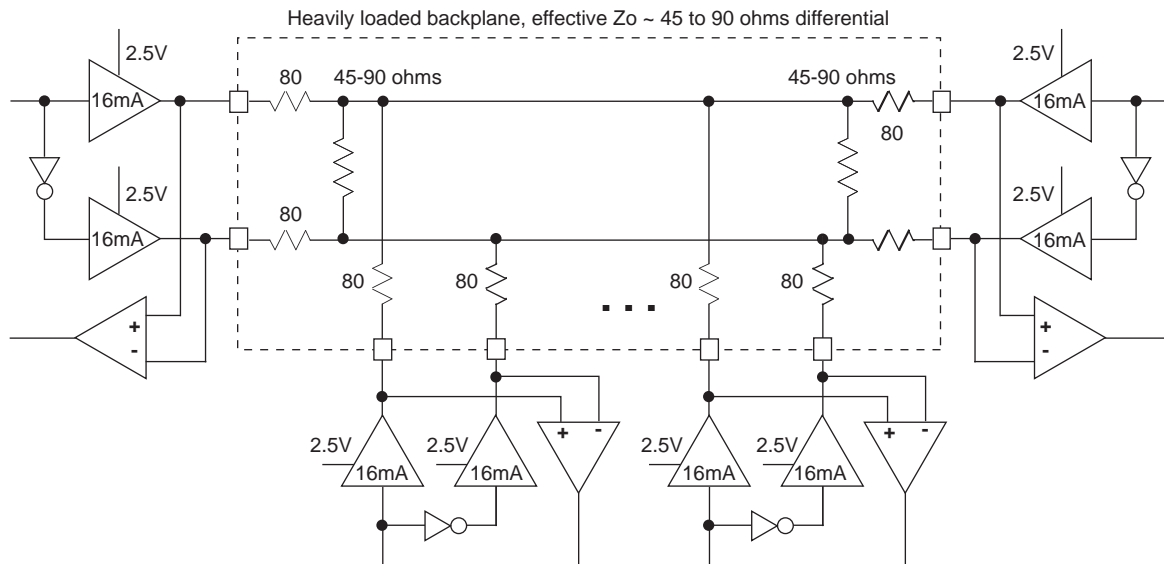


表 3-2. BLVDS DC 条件¹

推奨動作条件にわたって

シンボル	記述	公称値		単位
		Zo = 45	Zo = 90	
Z _{OUT}	出力インピーダンス	10	10	Ω
R _S	ドライバ直列抵抗	80	80	Ω
R _{TLEFT}	左エンド終端	45	90	Ω
R _{TRIGHT}	右エンド終端	45	90	Ω
V _{OH}	出力 High 電圧	1.376	1.480	V
V _{OL}	出力 Low 電圧	1.124	1.020	V
V _{OD}	出力差動電圧	0.253	0.459	V
V _{CM}	出力コモンモード電圧	1.250	1.250	V
I _{DC}	DC 出力電流	11.236	10.204	mA

1. 入力バッファに関しては、LVDS の表を参照してください。

LVPECL

MachXO2 ファミリーはエミュレーションで差動 LVPECL 規格に対応します。出力のエミュレートは、コンプリメンタリな2本のLVCMOS出力を、ドライバ出力間の外付け抵抗と共に用いることで行います。LVPECL 入力規格は、デバイスによってはLVDS 差動入力バッファによって対応します。差動 LVPECL に示される構成はポイントツーポイント信号のために取り得る一つのソリューションです。

図 3-3. 差動 LVPECL

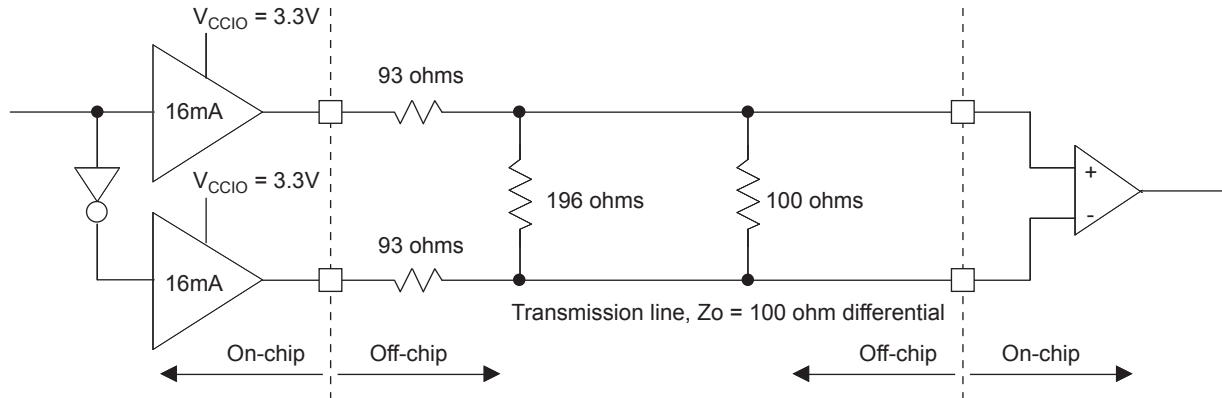


表 3-3. LVPECL DC 条件¹

推奨動作条件にわたって

シンボル	記述	Nom.	単位
Z_{OUT}	出力インピーダンス	10	Ω
R_S	ドライバ直列抵抗	93	Ω
R_P	ドライバ並列抵抗	196	Ω
R_T	レシーバ終端	100	Ω
V_{OH}	出力 High 電圧	2.05	V
V_{OL}	出力 Low 電圧	1.25	V
V_{OD}	出力差動電圧	0.80	V
V_{CM}	出力コモンモード電圧	1.65	V
Z_{BACK}	バックインピーダンス	100.5	Ohms
I_{DC}	DC 出力電流	12.11	mA

1. 入力バッファに関しては、LVDS の表を参照してください。

LVPECL、BLVDS、および他の差動インターフェイスの詳細に関しては、データシートの最後に示す技術ドキュメントを参照してください。

RSDS

MachXO2 ファミリーは差動 RSDS 規格に対応します。出力のエミュレートは、コンプリメンタリな 2 本の LVC MOS 出力を、ドライバ出力間の外付け抵抗と共に用いることで行います。RSDS 入力規格は、デバイスによっては LVDS 差動入力バッファによって対応します。図 3-4 で示す構成は、RSDS 規格を実装するために取り得る一つのソリューションです。RSDS 動作には指定抵抗値を用いて LVDS25E モードを使用してください。図 3-4 の抵抗値は業界標準値の 1% 精度です。

図 3-4. RSDS (Reduced Swing Differential Standard)

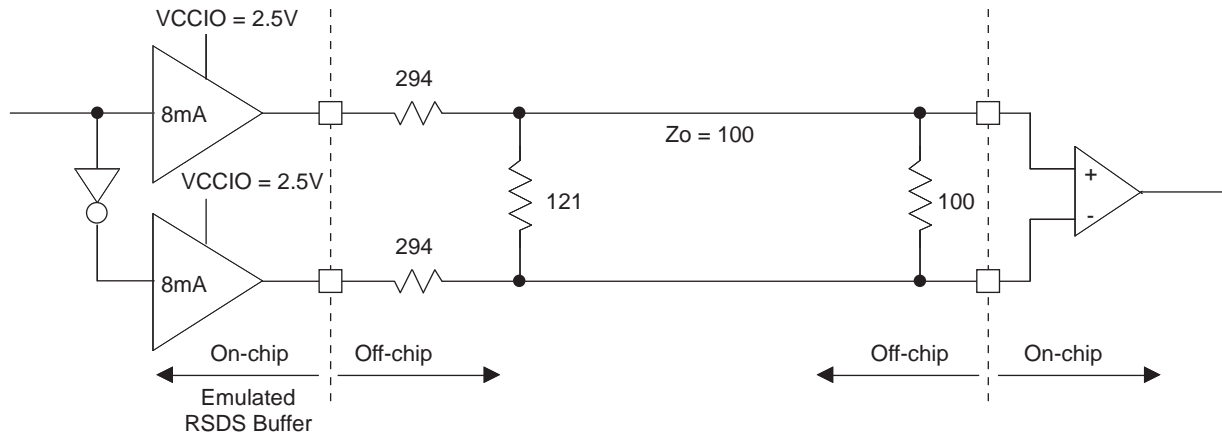


表 3-4. RSDS DC 条件

パラメータ	記述	Typical	単位
Z_{OUT}	出力インピーダンス	20	Ω
R_S	ドライバ直列抵抗	294	Ω
R_P	ドライバ並列抵抗	121	Ω
R_T	レシーバ終端	100	Ω
V_{OH}	出力 High 電圧	1.35	V
V_{OL}	出力 Low 電圧	1.15	V
V_{OD}	出力差動電圧	0.20	V
V_{CM}	出力コモンモード電圧	1.25	V
Z_{BACK}	バックインピーダンス	101.5	Ω
I_{DC}	DC 出力電流	3.66	mA

代表的なビルディング・ブロック機能の性能 ~ HC/HE デバイス¹

ピンツーピン (Pin-to-Pin) 性能 (LVCMOS25、12mA ドライブ)

機能	-6 タイミング	単位
基本機能		
16 ビットデコーダ	8.9	ns
4:1 MUX	7.5	ns
16:1 MUX	8.3	ns

レジスタツーレジスタ (Register-to-Register) 性能

機能	-6 タイミング	単位
基本機能		
16:1 MUX	412	MHz
16 ビット加算器	297	MHz
16 ビットカウンタ	324	MHz
64 ビットカウンタ	161	MHz
EBR 機能		
1024x9 真のデュアルポート RAM (ライトスルー或いはノーマル、EBR 出力レジスタ)	183	MHz
分散メモリ機能		
16x4 擬似デュアルポート RAM (PFU 一つ)	500	MHz

1. 上記タイミング値は、設計ツール Diamond を使用することで生成されました。厳密な性能はデバイスやツールバージョンによって異なるかもしれません。ツールが使用するのはキャラクタライズされた内部パラメータで、全てのデバイスでテストされたものではありません。

レジスタツーレジスタ (Register-to-Register) 性能

機能	-6 タイミング	単位
基本機能		
16:1 MUX	412	MHz
16 ビット加算器	297	MHz
16 ビットカウンタ	324	MHz
64 ビットカウンタ	161	MHz
EBR 機能		
1024x9 真のデュアルポート RAM (ライトスルー或いはノーマル、EBR 出力レジスタ)	183	MHz
分散メモリ機能		
16x4 擬似デュアルポート RAM (PFU 一つ)	500	MHz

1. 上記タイミング値は、設計ツール Diamond を使用することで生成されました。厳密な性能はデバイスやツールバージョンによって異なるかもしれません。ツールが使用するのはキャラクタライズされた内部パラメータで、全てのデバイスでテストされたものではありません。

最大 sysIO バッファ性能

I/O 規格	最高速度	単位
LVDS25	400	MHz
LVDS25E	150	MHz
RSDS25	150	MHz
RSDS25E	150	MHz
BLVDS25	150	MHz
BLVDS25E	150	MHz
MLVDS25	150	MHz
MLVDS25E	150	MHz
LVPECL33	150	MHz
LVPECL33E	150	MHz
SSTL25_I	150	MHz
SSTL25_II	150	MHz
SSTL25D_I	150	MHz
SSTL25D_II	150	MHz
SSTL18_I	150	MHz
SSTL18_II	150	MHz
SSTL18D_I	150	MHz
SSTL18D_II	150	MHz
HSTL18_I	150	MHz
HSTL18_II	150	MHz
HSTL18D_I	150	MHz
HSTL18D_II	150	MHz
PCI33	134	MHz
LVTTTL33	150	MHz
LVTTTL33D	150	MHz
LVC MOS33	150	MHz
LVC MOS33D	150	MHz
LVC MOS25	150	MHz
LVC MOS25D	150	MHz
LVC MOS25R33	150	MHz
LVC MOS18	150	MHz
LVC MOS18D	150	MHz
LVC MOS18R33	150	MHz
LVC MOS18R25	150	MHz
LVC MOS15	150	MHz
LVC MOS15D	150	MHz
LVC MOS15R33	150	MHz
LVC MOS15R25	150	MHz
LVC MOS12	91	MHz
LVC MOS12D	91	MHz

代表的なビルディング・ブロック機能の性能 ~ ZE デバイス¹

ピンツーピン (Pin-to-Pin) 性能 (LVCMOS25、12mA ドライブ)

機能	-3 タイミング	単位
基本機能		
16 ビットデコーダ	13.9	ns
4:1 MUX	10.9	ns
16:1 MUX	12.0	ns

レジスタツーレジスタ (Register-to-Register) 性能

機能	-3 タイミング	単位
基本機能		
16:1 MUX	191	MHz
16 ビット加算器	134	MHz
16 ビットカウンタ	148	MHz
64 ビットカウンタ	77	MHz
EBR 機能		
1024x9 真のデュアルポート RAM (ライトスルー或いはノーマル、EBR 出力レジスタ)	90	MHz
分散メモリ機能		
16x4 擬似デュアルポート RAM (PFU 一つ)	214	MHz

1. 上記タイミング値は、設計ツール Diamond を使用することで生成されました。厳密な性能はデバイスやツールバージョンによって異なるかもしれません。ツールが使用するのはキャラクターライズされた内部パラメータで、全てのデバイスでテストされたものではありません。

ロジックタイミングのディレーティング

本データシートの次セクション以降およびラティス設計ツール内で与えられるロジックタイミングは、動作範囲におけるワーストケースの数値です。実際の遅延は大幅に速いかもしれません。ラティス設計ツールは、特定の温度と電圧におけるロジックタイミング値を算出することができます。

MachXO2 外部スイッチング特性 ～ HC/HE デバイス 1, 2, 3, 4, 5, 6, 7

推奨動作条件にわたって

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
クロック									
プライマリクロック									
$f_{MAX_PRI}^8$	プライマリクロックツリーの周波数	全 MachXO2 デバイス	—	388	—	323	—	269	MHz
t_{W_PRI}	プライマリクロックのクロックパルス幅	全 MachXO2 デバイス	0.5	—	0.6	—	0.7	—	ns
t_{SKEW_PRI}	デバイス内プライマリクロック・スキュー	MachXO2-256HC-HE	—	912	—	939	—	975	ps
		MachXO2-640HC-HE	—	844	—	871	—	908	ps
		MachXO2-1200HC-HE	—	868	—	902	—	951	ps
		MachXO2-2000HC-HE	—	867	—	897	—	941	ps
		MachXO2-4000HC-HE	—	865	—	892	—	931	ps
		MachXO2-7000HC-HE	—	902	—	942	—	989	ps
エッジクロック									
$f_{MAX_EDGE}^8$	エッジクロックの周波数	規模が MachXO2-1200 とそれ以上のデバイス	—	400	—	333	—	278	MHz
ピン-LUT-ピン伝播遅延									
t_{PD}	LUT4 一つを介する伝播遅延のベストケース	全 MachXO2 デバイス	—	6.72	—	6.96	—	7.24	ns
汎用 I/O ピン・パラメータ (PLL なし、プライマリクロックを使用)									
t_{CO}	クロックから出力遅延 ～ PIO 出力レジスタ	MachXO2-256HC-HE	—	7.13	—	7.30	—	7.57	ns
		MachXO2-640HC-HE	—	7.15	—	7.30	—	7.57	ns
		MachXO2-1200HC-HE	—	7.44	—	7.64	—	7.94	ns
		MachXO2-2000HC-HE	—	7.46	—	7.66	—	7.96	ns
		MachXO2-4000HC-HE	—	7.51	—	7.71	—	8.01	ns
		MachXO2-7000HC-HE	—	7.54	—	7.75	—	8.06	ns
t_{SU}	クロック対データセットアップ ～ PIO 入力レジスタ	MachXO2-256HC-HE	-0.06	—	-0.06	—	-0.06	—	ns
		MachXO2-640HC-HE	-0.06	—	-0.06	—	-0.06	—	ns
		MachXO2-1200HC-HE	-0.17	—	-0.17	—	-0.17	—	ns
		MachXO2-2000HC-HE	-0.20	—	-0.20	—	-0.20	—	ns
		MachXO2-4000HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-7000HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
t_H	クロック対データホールド ～ PIO 入力レジスタ	MachXO2-256HC-HE	1.75	—	1.95	—	2.16	—	ns
		MachXO2-640HC-HE	1.75	—	1.95	—	2.16	—	ns
		MachXO2-1200HC-HE	1.88	—	2.12	—	2.36	—	ns
		MachXO2-2000HC-HE	1.89	—	2.13	—	2.37	—	ns
		MachXO2-4000HC-HE	1.94	—	2.18	—	2.43	—	ns
		MachXO2-7000HC-HE	1.98	—	2.23	—	2.49	—	ns
t_{SU_DEL}	クロック対データセットアップ ～ データ入力遅延ありの PIO 入力レジスタ	MachXO2-256HC-HE	1.42	—	1.59	—	1.96	—	ns
		MachXO2-640HC-HE	1.41	—	1.58	—	1.96	—	ns
		MachXO2-1200HC-HE	1.63	—	1.79	—	2.17	—	ns
		MachXO2-2000HC-HE	1.61	—	1.76	—	2.13	—	ns
		MachXO2-4000HC-HE	1.66	—	1.81	—	2.19	—	ns
		MachXO2-7000HC-HE	1.53	—	1.67	—	2.03	—	ns

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
t _{HDEL}	クロック対データホールド ~ 入力データ遅延ありの PIO 入力レジスタ	MachXO2-256HC-HE	-0.24	—	-0.24	—	-0.24	—	ns
		MachXO2-640HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-1200HC-HE	-0.24	—	-0.24	—	-0.24	—	ns
		MachXO2-2000HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-4000HC-HE	-0.25	—	-0.25	—	-0.25	—	ns
		MachXO2-7000HC-HE	-0.21	—	-0.21	—	-0.21	—	ns
f _{MAXIO}	I/O と PFU レジスタのクロック周波数	全 MachXO2 デバイス	—	388	—	323	—	269	MHz
汎用 I/O ピン・パラメータ (PLL なし、エッジクロックを使用)									
t _{COE}	クロックから出力遅延 ~ PIO 出力レジスタ	MachXO2-1200HC-HE	—	7.53	—	7.76	—	8.10	ns
		MachXO2-2000HC-HE	—	7.53	—	7.76	—	8.10	ns
		MachXO2-4000HC-HE	—	7.45	—	7.68	—	8.00	ns
		MachXO2-7000HC-HE	—	7.53	—	7.76	—	8.10	ns
t _{SUE}	クロック対データセットアップ ~ PIO 入力レジスタ	MachXO2-1200HC-HE	-0.19	—	-0.19	—	-0.19	—	ns
		MachXO2-2000HC-HE	-0.19	—	-0.19	—	-0.19	—	ns
		MachXO2-4000HC-HE	-0.16	—	-0.16	—	-0.16	—	ns
		MachXO2-7000HC-HE	-0.19	—	-0.19	—	-0.19	—	ns
t _{HE}	クロック対データホールド ~ PIO 入力レジスタ	MachXO2-1200HC-HE	1.97	—	2.24	—	2.52	—	ns
		MachXO2-2000HC-HE	1.97	—	2.24	—	2.52	—	ns
		MachXO2-4000HC-HE	1.89	—	2.16	—	2.43	—	ns
		MachXO2-7000HC-HE	1.97	—	2.24	—	2.52	—	ns
t _{SU_DELE}	クロック対データセットアップ ~ データ入力遅延ありの PIO 入力レジスタ	MachXO2-1200HC-HE	1.56	—	1.69	—	2.05	—	ns
		MachXO2-2000HC-HE	1.56	—	1.69	—	2.05	—	ns
		MachXO2-4000HC-HE	1.74	—	1.88	—	2.25	—	ns
		MachXO2-7000HC-HE	1.66	—	1.81	—	2.17	—	ns
t _{HDELE}	クロック対データホールド ~ 入力データ遅延ありの PIO 入力レジスタ	MachXO2-1200HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-2000HC-HE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-4000HC-HE	-0.34	—	-0.34	—	-0.34	—	ns
		MachXO2-7000HC-HE	-0.29	—	-0.29	—	-0.29	—	ns
汎用 I/O ピン・パラメータ (PLL あり、プライマリクロックを使用)									
t _{COPLL}	クロックから出力遅延 ~ PIO 出力レジスタ	MachXO2-1200HC-HE	—	5.97	—	6.00	—	6.13	ns
		MachXO2-2000HC-HE	—	5.98	—	6.01	—	6.14	ns
		MachXO2-4000HC-HE	—	5.99	—	6.02	—	6.16	ns
		MachXO2-7000HC-HE	—	6.02	—	6.06	—	6.20	ns
t _{SUPLL}	クロック対データセットアップ ~ PIO 入力レジスタ	MachXO2-1200HC-HE	0.36	—	0.36	—	0.65	—	ns
		MachXO2-2000HC-HE	0.36	—	0.36	—	0.63	—	ns
		MachXO2-4000HC-HE	0.35	—	0.35	—	0.62	—	ns
		MachXO2-7000HC-HE	0.34	—	0.34	—	0.59	—	ns
t _{HPLL}	クロック対データホールド ~ PIO 入力レジスタ	MachXO2-1200HC-HE	0.41	—	0.48	—	0.55	—	ns
		MachXO2-2000HC-HE	0.42	—	0.49	—	0.56	—	ns
		MachXO2-4000HC-HE	0.43	—	0.50	—	0.58	—	ns
		MachXO2-7000HC-HE	0.46	—	0.54	—	0.62	—	ns

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
t _{SU,DELPLL}	クロック対データセットアップ～データ入力遅延ありのPIO入力レジスタ	MachXO2-1200HC-HE	2.88	—	3.19	—	3.72	—	ns
		MachXO2-2000HC-HE	2.87	—	3.18	—	3.70	—	ns
		MachXO2-4000HC-HE	2.96	—	3.28	—	3.81	—	ns
		MachXO2-7000HC-HE	3.05	—	3.35	—	3.87	—	ns
t _{H,DELPLL}	クロック対データホールド～入力データ遅延ありのPIO入力レジスタ	MachXO2-1200HC-HE	-0.83	—	-0.83	—	-0.83	—	ns
		MachXO2-2000HC-HE	-0.83	—	-0.83	—	-0.83	—	ns
		MachXO2-4000HC-HE	-0.87	—	-0.87	—	-0.87	—	ns
		MachXO2-7000HC-HE	-0.91	—	-0.91	—	-0.91	—	ns
汎用 DDRX1 入力、クロック位相はピンでデータとアライン (GDDR1_RX.SCLK.Aligned) クロック入りに PCLK ピンを使用⁹									
t _{DVA}	CLK 後の入力データ有効	全 MachXO2 デバイスの全辺	—	0.317	—	0.344	—	0.368	UI
t _{DVE}	CLK 後の入力データ・ホールド		0.742	—	0.702	—	0.688	—	UI
f _{DATA}	DDR1 入力データ速度		—	300	—	250	—	208	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	150	—	125	—	104	MHz
汎用 DDRX1 入力、クロック位相はピンでデータのセンター (GDDR1_RX.SCLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{SU}	CLK 前の入力データ・セットアップ	全 MachXO2 デバイスの全辺	0.566	—	0.560	—	0.538	—	ns
t _{HO}	CLK 後の入力データ・ホールド		0.778	—	0.879	—	1.090	—	ns
f _{DATA}	DDR1 入力データ速度		—	300	—	250	—	208	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	150	—	125	—	104	MHz
汎用 DDRX2 入力、クロック位相はピンでデータとアライン (GDDR2_RX.ECLK.Aligned) クロック入りに PCLK ピンを使用⁹									
t _{DVA}	CLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.316	—	0.342	—	0.364	UI
t _{DVE}	CLK 後の入力データ・ホールド		0.710	—	0.675	—	0.679	—	UI
f _{DATA}	DDR2 シリアル入力データ速度		—	664	—	554	—	462	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	332	—	277	—	231	MHz
f _{SCLK}	SCLK 周波数		—	166	—	139	—	116	MHz
汎用 DDRX2 入力、クロック位相はピンでデータのセンター (GDDR2_RX.ECLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{SU}	CLK 前の入力データ・セットアップ	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	0.233	—	0.219	—	0.198	—	ns
t _{HO}	CLK 後の入力データ・ホールド		0.287	—	0.287	—	0.344	—	ns
f _{DATA}	DDR2 シリアル入力データ速度		—	664	—	554	—	462	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	332	—	277	—	231	MHz
f _{SCLK}	SCLK 周波数		—	166	—	139	—	116	MHz

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用 DDR4 入力、クロック位相はピンでデータがアライン (GDDR4_RX.ECLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DVA}	ECLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.290	—	0.320	—	0.345	UI
t _{DVE}	ECLK 後の入力データ・ホールド		0.739	—	0.699	—	0.703	—	UI
f _{DATA}	DDR4 シリアル入力データ速度		—	756	—	630	—	524	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	378	—	315	—	262	MHz
f _{SCLK}	SCLK 周波数		—	95	—	79	—	66	MHz
汎用 DDR4 入力、クロック位相はピンでデータのセンター (GDDR4_RX.ECLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{SU}	ECLK 前の入力データ・セットアップ	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	0.233	—	0.219	—	0.198	—	ns
t _{HO}	ECLK 後の入力データ・ホールド		0.287	—	0.287	—	0.344	—	ns
f _{DATA}	DDR4 シリアル入力データ速度		—	756	—	630	—	524	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	378	—	315	—	262	MHz
f _{SCLK}	SCLK 周波数		—	95	—	79	—	66	MHz
7:1 LVDS 入力 (GDDR71_RX.ECLK.7:1)⁹									
t _{DVA}	ECLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.290	—	0.320	—	0.345	UI
t _{DVE}	ECLK 後の入力データ・ホールド		0.739	—	0.699	—	0.703	—	UI
f _{DATA}	DDR71、シリアル入力データ速度		—	756	—	630	—	524	Mbps
f _{DDR71}	DDR71 ECLK 周波数		—	378	—	315	—	262	MHz
f _{CLKIN}	7:1 入力クロック周波数 (SCLK) (最小値は PLL によって制限)		—	108	—	90	—	75	MHz
汎用 DDR 出力、クロック位相はピンでデータとアライン (GDDR1_TX.SCLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	全 MachXO2 デバイスの全辺	—	0.520	—	0.550	—	0.580	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.520	—	0.550	—	0.580	ns
f _{DATA}	DDR1 出力データ速度		—	300	—	250	—	208	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	150	—	125	—	104	MHz
汎用 DDR 出力、クロック位相はピンでデータのセンター (GDDR1_TX.SCLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	全 MachXO2 デバイスの全辺	1.210	—	1.510	—	1.870	—	ns
t _{DVA}	CLK 出力後の出力データ有効		1.210	—	1.510	—	1.870	—	ns
f _{DATA}	DDR1 出力データ速度		—	300	—	250	—	208	Mbps
f _{DDR1}	DDR1 SCLK 周波数 (最小値は PLL によって制限)		—	150	—	125	—	104	MHz
汎用 DDR2 出力、クロック位相はピンでデータがアライン (GDDR2_TX.ECLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.200	—	0.215	—	0.230	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.200	—	0.215	—	0.230	ns
f _{DATA}	DDR2、シリアル出力データ速度		—	664	—	554	—	462	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	332	—	277	—	231	MHz
f _{SCLK}	SCLK 周波数		—	166	—	139	—	116	MHz

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用 DDRX2 出力、クロック位相はピンでデータのセンター (GDDR2_TX.ECLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640/U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	0.535	—	0.670	—	0.830	—	ns
t _{DVA}	CLK 出力後の出力データ有効		0.535	—	0.670	—	0.830	—	ns
f _{DATA}	DDR2、シリアル出力データ速度		—	664	—	554	—	462	Mbps
f _{DDR2}	DDR2 ECLK 周波数 (最小値は PLL によって制限)		—	332	—	277	—	231	MHz
f _{SCLK}	SCLK 周波数		—	166	—	138	—	115	MHz
汎用 DDRX4 出力、クロック位相はピンでデータがアライン (GDDR4_TX.ECLK.Aligned) クロック入りに PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	—	0.200	—	0.215	—	0.230	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.200	—	0.215	—	0.230	ns
f _{DATA}	DDR4、シリアル出力データ速度		—	756	—	630	—	524	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	378	—	315	—	262	MHz
f _{SCLK}	SCLK 周波数		—	95	—	79	—	66	MHz
汎用 DDRX4 出力、クロック位相はピンでデータのセンター (GDDR4_TX.ECLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	0.455	—	0.570	—	0.710	—	ns
t _{DVA}	CLK 出力後の出力データ有効		0.455	—	0.570	—	0.710	—	ns
f _{DATA}	DDR4、シリアル出力データ速度		—	756	—	630	—	524	Mbps
f _{DDR4}	DDR4 ECLK 周波数 (最小値は PLL によって制限)		—	378	—	315	—	262	MHz
f _{SCLK}	SCLK 周波数		—	95	—	79	—	66	MHz
7:1 LVDS 出力 (GDDR71_TX.ECLK.7:1)⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	—	0.160	—	0.180	—	0.200	ns
t _{DVA}	CLK 出力後の出力データ有効		—	0.160	—	0.180	—	0.200	ns
f _{DATA}	DDR71 シリアル出力データ速度		—	756	—	630	—	524	Mbps
f _{DDR71}	DDR71 ECLK 周波数		—	378	—	315	—	262	MHz
f _{CLKOUT}	7:1 出力クロック周波数 (SCLK) (最小値は PLL によって制限)		—	108	—	90	—	75	MHz

パラメータ	記述	デバイス	-6		-5		-4		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
LPDDR⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.369	—	0.395	—	0.421	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.529	—	0.530	—	0.527	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	280	—	250	—	208	Mbps
f _{SCLK}	SCLK 周波数		—	140	—	125	—	104	MHz
f _{LPDDR}	LPDDR データ転送レート		0	280	0	250	0	208	Mbps
DDR⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.350	—	0.387	—	0.414	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.545	—	0.538	—	0.532	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	300	—	250	—	208	Mbps
f _{SCLK}	SCLK 周波数		—	150	—	125	—	104	MHz
f _{MEM_DDR}	MEM DDR データ転送レート		N/A	300	N/A	250	N/A	208	Mbps
DDR2⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.360	—	0.378	—	0.406	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.555	—	0.549	—	0.542	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	300	—	250	—	208	Mbps
f _{SCLK}	SCLK 周波数		—	150	—	125	—	104	MHz
f _{MEM_DDR2}	MEM DDR2 データ転送レート		N/A	300	N/A	250	N/A	208	Mbps

1. 厳密な性能はデバイス個体および実装するデザインに依存して変わり得る。コマmercial・グレード品の 85℃、1.14V でのタイミング値を示す。インダストリアル・グレード品などの数値については Diamond ソフトウェアで確認のこと。
2. 汎用 I/O (入力と出力、およびクロックポート) タイミング値は LVCMOS2.5、8mA、0pf 負荷に基づく。
3. 入力と出力、およびクロックポートの汎用 (Generic) DDR タイミング値は LVDS I/O 規格に基づく。
4. DDR タイミング値は SSTL25 に基づき、DDR2 タイミング値は SSTL18 に基づく。また、LPDDR タイミング値は LVCMOS18 に基づく。
5. 7:1 LVDS (GDDR71) は LVDS I/O 規格を使用する。
6. 汎用 (Generic) DDRX1 モードでは $t_{SU} = t_{HO} = (t_{DVE} - t_{DVA} - 0.03ns)/2$
7. t_{SU_DEL} と t_{H_DEL} 値は SCLK_ZERHOLD デフォルト・ステップサイズを用いる。各ステップは 105ps (-6), 113ps (-5), 120ps (-4)
8. 本値は汎用で、デューティサイクル許容値は +/-10%
9. システム用途にはデューティサイクルは +/- 5%
10. 上記タイミング値は Diamond デザインツールでの値。厳密な性能は選択するデバイスにより変わり得る。

MachXO2 外部スイッチング特性 ~ ZE デバイス 1, 2, 3, 4, 5, 6, 7

推奨動作条件にわたって

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
クロック									
プライマリクロック									
$f_{\text{MAX_PRI}}^8$	プライマリクロックツリーの周波数	全 MachXO2 デバイス	—	150	—	125	—	104	MHz
$t_{\text{W_PRI}}$	プライマリクロックのクロックパルス幅	全 MachXO2 デバイス	1.00	—	1.20	—	1.40	—	ns
$t_{\text{SKEW_PRI}}$	デバイス内プライマリクロック・スキュー	MachXO2-256ZE	—	1250	—	1272	—	1296	ps
		MachXO2-640ZE	—	1161	—	1183	—	1206	ps
		MachXO2-1200ZE	—	1213	—	1267	—	1322	ps
		MachXO2-2000ZE	—	1204	—	1250	—	1296	ps
		MachXO2-4000ZE	—	1195	—	1233	—	1269	ps
		MachXO2-7000ZE	—	1243	—	1268	—	1296	ps
エッジクロック									
$f_{\text{MAX_EDGE}}^8$	エッジクロックの周波数	規模が MachXO2-1200 とそれ以上のデバイス	—	210	—	175	—	146	MHz
ピン-LUT-ピン伝播遅延									
t_{PD}	LUT4 一つを介する伝播遅延のベストケース	全 MachXO2 デバイス	—	9.35	—	9.78	—	10.21	ns
汎用 I/O ピン・パラメータ (PLL なし、プライマリクロックを使用)									
t_{CO}	クロックから出力遅延 ~ PIO 出力レジスタ	MachXO2-256ZE	—	10.46	—	10.86	—	11.25	ns
		MachXO2-640ZE	—	10.52	—	10.92	—	11.32	ns
		MachXO2-1200ZE	—	11.24	—	11.68	—	12.12	ns
		MachXO2-2000ZE	—	11.27	—	11.71	—	12.16	ns
		MachXO2-4000ZE	—	11.28	—	11.78	—	12.28	ns
		MachXO2-7000ZE	—	11.22	—	11.76	—	12.30	ns
t_{SU}	クロック対データセットアップ ~ PIO 入力レジスタ	MachXO2-256ZE	-0.21	—	-0.21	—	-0.21	—	ns
		MachXO2-640ZE	-0.22	—	-0.22	—	-0.22	—	ns
		MachXO2-1200ZE	-0.25	—	-0.25	—	-0.25	—	ns
		MachXO2-2000ZE	-0.27	—	-0.27	—	-0.27	—	ns
		MachXO2-4000ZE	-0.31	—	-0.31	—	-0.31	—	ns
		MachXO2-7000ZE	-0.33	—	-0.33	—	-0.33	—	ns
t_{H}	クロック対データホールド ~ PIO 入力レジスタ	MachXO2-256ZE	3.96	—	4.25	—	4.65	—	ns
		MachXO2-640ZE	4.01	—	4.31	—	4.71	—	ns
		MachXO2-1200ZE	3.95	—	4.29	—	4.73	—	ns
		MachXO2-2000ZE	3.94	—	4.29	—	4.74	—	ns
		MachXO2-4000ZE	3.96	—	4.36	—	4.87	—	ns
		MachXO2-7000ZE	3.93	—	4.37	—	4.91	—	ns
$t_{\text{SU_DEL}}$	クロック対データセットアップ ~ データ入力遅延ありの PIO 入力レジスタ	MachXO2-256ZE	2.62	—	2.91	—	3.14	—	ns
		MachXO2-640ZE	2.56	—	2.85	—	3.08	—	ns
		MachXO2-1200ZE	2.30	—	2.57	—	2.79	—	ns
		MachXO2-2000ZE	2.25	—	2.50	—	2.70	—	ns
		MachXO2-4000ZE	2.39	—	2.60	—	2.76	—	ns
		MachXO2-7000ZE	2.17	—	2.33	—	2.43	—	ns

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
t _{H,DEL}	クロック対データホールド ~ 入力データ遅延ありのPIO 入力レジスタ	MachXO2-256ZE	-0.44	—	-0.44	—	-0.44	—	ns
		MachXO2-640ZE	-0.43	—	-0.43	—	-0.43	—	ns
		MachXO2-1200ZE	-0.28	—	-0.28	—	-0.28	—	ns
		MachXO2-2000ZE	-0.31	—	-0.31	—	-0.31	—	ns
		MachXO2-4000ZE	-0.34	—	-0.34	—	-0.34	—	ns
		MachXO2-7000ZE	-0.21	—	-0.21	—	-0.21	—	ns
f _{MAX,IO}	I/O と PFU レジスタのクロック周波数	全 MachXO2 デバイス	—	150	—	125	—	104	MHz
汎用 I/O ピン・パラメータ (PLL なし、エッジクロックを使用)									
t _{COE}	クロックから出力遅延 ~ PIO 出力レジスタ	MachXO2-1200ZE	—	11.10	—	11.51	—	11.91	ns
		MachXO2-2000ZE	—	11.10	—	11.51	—	11.91	ns
		MachXO2-4000ZE	—	10.89	—	11.28	—	11.67	ns
		MachXO2-7000ZE	—	11.10	—	11.51	—	11.91	ns
t _{SUE}	クロック対データセットアップ ~ PIO 入力レジスタ	MachXO2-1200ZE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-2000ZE	-0.23	—	-0.23	—	-0.23	—	ns
		MachXO2-4000ZE	-0.15	—	-0.15	—	-0.15	—	ns
		MachXO2-7000ZE	-0.23	—	-0.23	—	-0.23	—	ns
t _{HE}	クロック対データホールド ~ PIO 入力レジスタ	MachXO2-1200ZE	3.81	—	4.11	—	4.52	—	ns
		MachXO2-2000ZE	3.81	—	4.11	—	4.52	—	ns
		MachXO2-4000ZE	3.60	—	3.89	—	4.28	—	ns
		MachXO2-7000ZE	3.81	—	4.11	—	4.52	—	ns
t _{SU,DELE}	クロック対データセットアップ ~ データ入力遅延ありのPIO 入力レジスタ	MachXO2-1200ZE	2.78	—	3.11	—	3.40	—	ns
		MachXO2-2000ZE	2.78	—	3.11	—	3.40	—	ns
		MachXO2-4000ZE	3.11	—	3.48	—	3.79	—	ns
		MachXO2-7000ZE	2.94	—	3.30	—	3.60	—	ns
t _{H,DELE}	クロック対データホールド ~ 入力データ遅延ありのPIO 入力レジスタ	MachXO2-1200ZE	-0.29	—	-0.29	—	-0.29	—	ns
		MachXO2-2000ZE	-0.29	—	-0.29	—	-0.29	—	ns
		MachXO2-4000ZE	-0.46	—	-0.46	—	-0.46	—	ns
		MachXO2-7000ZE	-0.37	—	-0.37	—	-0.37	—	ns
汎用 I/O ピン・パラメータ (PLL あり、プライマリクロックを使用)									
t _{COPLL}	クロックから出力遅延 ~ PIO 出力レジスタ	MachXO2-1200ZE	—	7.95	—	8.07	—	8.19	ns
		MachXO2-2000ZE	—	7.97	—	8.10	—	8.22	ns
		MachXO2-4000ZE	—	7.98	—	8.10	—	8.23	ns
		MachXO2-7000ZE	—	8.02	—	8.14	—	8.26	ns
t _{SUPLL}	クロック対データセットアップ ~ PIO 入力レジスタ	MachXO2-1200ZE	0.85	—	0.85	—	0.89	—	ns
		MachXO2-2000ZE	0.84	—	0.84	—	0.86	—	ns
		MachXO2-4000ZE	0.84	—	0.84	—	0.85	—	ns
		MachXO2-7000ZE	0.83	—	0.83	—	0.81	—	ns
t _{HPLL}	クロック対データホールド ~ PIO 入力レジスタ	MachXO2-1200ZE	0.66	—	0.68	—	0.80	—	ns
		MachXO2-2000ZE	0.68	—	0.70	—	0.83	—	ns
		MachXO2-4000ZE	0.68	—	0.71	—	0.84	—	ns
		MachXO2-7000ZE	0.73	—	0.74	—	0.87	—	ns

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
t _{SU,DELPLL}	クロック対データセットアップ ～ データ入力遅延ありのPIO 入力レジスタ	MachXO2-1200ZE	5.14	—	5.69	—	6.20	—	ns
		MachXO2-2000ZE	5.11	—	5.67	—	6.17	—	ns
		MachXO2-4000ZE	5.27	—	5.84	—	6.35	—	ns
		MachXO2-7000ZE	5.15	—	5.71	—	6.23	—	ns
t _{H,DELPLL}	クロック対データホールド～ 入力データ遅延ありのPIO 入力レジスタ	MachXO2-1200ZE	-1.36	—	-1.36	—	-1.36	—	ns
		MachXO2-2000ZE	-1.35	—	-1.35	—	-1.35	—	ns
		MachXO2-4000ZE	-1.43	—	-1.43	—	-1.43	—	ns
		MachXO2-7000ZE	-1.41	—	-1.41	—	-1.41	—	ns
汎用 DDRX1 入力、クロック位相はピンでデータとアライン (GDDR1_RX.SCLK.Aligned) クロック入りに PCLK ピンを使用⁹									
t _{DVA}	CLK 後の入力データ有効	全 MachXO2 デバイスの全辺	—	0.382	—	0.401	—	0.417	UI
t _{DVE}	CLK 後の入力データ・ホールド		0.670	—	0.684	—	0.693	—	UI
f _{DATA}	DDR1 入力データ速度		—	140	—	116	—	98	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	70	—	58	—	49	MHz
汎用 DDRX1 入力、クロック位相はピンでデータのセンター(GDDR1_RX.SCLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{SU}	CLK 前の入力データ・セットアップ	全 MachXO2 デバイスの全辺	1.319	—	1.412	—	1.462	—	ns
t _{HO}	CLK 後の入力データ・ホールド		0.717	—	1.010	—	1.340	—	ns
f _{DATA}	DDR1 入力データ速度		—	140	—	116	—	98	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	70	—	58	—	49	MHz
汎用 DDRX2 入力、クロック位相はピンでデータとアライン (GDDR2_RX.ECLK.Aligned) クロック入りに PCLK ピンを使用⁹									
t _{DVA}	CLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.361	—	0.346	—	0.334	UI
t _{DVE}	CLK 後の入力データ・ホールド		0.602	—	0.625	—	0.648	—	UI
f _{DATA}	DDR2 シリアル入力データ速度		—	280	—	234	—	194	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	140	—	117	—	97	MHz
f _{SCLK}	SCLK 周波数		—	70	—	58	—	49	MHz
汎用 DDRX2 入力、クロック位相はピンでデータのセンター (GDDR2_RX.ECLK.Centered) クロック入りに PCLK ピンを使用⁹									
t _{SU}	CLK 前の入力データ・セットアップ	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	0.472	—	0.672	—	0.865	—	ns
t _{HO}	CLK 後の入力データ・ホールド		0.363	—	0.501	—	0.743	—	ns
f _{DATA}	DDR2 シリアル入力データ速度		—	280	—	234	—	194	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	140	—	117	—	97	MHz
f _{SCLK}	SCLK 周波数		—	70	—	58	—	49	MHz

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用 DDRX4 入力、クロック位相はピンでデータがアライン (GDDR4_RX.ECLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DVA}	ECLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.307	—	0.316	—	0.326	UI
t _{DVE}	ECLK 後の入力データ・ホールド		0.662	—	0.650	—	0.649	—	UI
f _{DATA}	DDR4 シリアル入力データ速度		—	420	—	352	—	292	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	210	—	176	—	146	MHz
f _{SCLK}	SCLK 周波数		—	53	—	44	—	37	MHz
汎用 DDRX4 入力、クロック位相はピンでデータのセンター (GDDR4_RX.ECLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{SU}	ECLK 前の入力データ・セットアップ	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	0.434	—	0.535	—	0.630	—	ns
t _{HO}	ECLK 後の入力データ・ホールド		0.385	—	0.395	—	0.463	—	ns
f _{DATA}	DDR4 シリアル入力データ速度		—	420	—	352	—	292	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	210	—	176	—	146	MHz
f _{SCLK}	SCLK 周波数		—	53	—	44	—	37	MHz
7:1 LVDS 入力 (GDDR71_RX.ECLK.7.1)⁹									
t _{DVA}	ECLK 後の入力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、下辺のみ	—	0.307	—	0.316	—	0.326	UI
t _{DVE}	ECLK 後の入力データ・ホールド		0.662	—	0.650	—	0.649	—	UI
f _{DATA}	DDR71、シリアル入力データ速度		—	420	—	352	—	292	Mbps
f _{DDR71}	DDR71 ECLK 周波数		—	210	—	176	—	146	MHz
f _{CLKIN}	7:1 入力クロック周波数 (SCLK) (最小値は PLL によって制限)		—	60	—	50	—	42	MHz
汎用 DDR 出力、クロック位相はピンでデータとアライン (GDDR1_TX.SCLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	全 MachXO2 デバイスの全辺	—	0.850	—	0.910	—	0.970	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.850	—	0.910	—	0.970	ns
f _{DATA}	DDR1 出力データ速度		—	140	—	116	—	98	Mbps
f _{DDR1}	DDR1 SCLK 周波数		—	70	—	58	—	49	MHz
汎用 DDR 出力、クロック位相はピンでデータのセンター (GDDR1_TX.SCLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	全 MachXO2 デバイスの全辺	2.720	—	3.380	—	4.140	—	ns
t _{DVA}	CLK 出力後の出力データ有効		2.720	—	3.380	—	4.140	—	ns
f _{DATA}	DDR1 出力データ速度		—	140	—	116	—	98	Mbps
f _{DDR1}	DDR1 SCLK 周波数 (最小値は PLL によって制限)		—	70	—	58	—	49	MHz
汎用 DDRX2 出力、クロック位相はピンでデータがアライン (GDDR2_TX.ECLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	—	0.270	—	0.300	—	0.330	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.270	—	0.300	—	0.330	ns
f _{DATA}	DDR2、シリアル出力データ速度		—	280	—	234	—	194	Mbps
f _{DDR2}	DDR2 ECLK 周波数		—	140	—	117	—	97	MHz
f _{SCLK}	SCLK 周波数		—	70	—	59	—	49	MHz

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
汎用 DDRX2 出力、クロック位相はピンでデータのセンター (GDDR2_TX.ECLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640/U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	1.445	—	1.760	—	2.140	—	ns
t _{DVA}	CLK 出力後の出力データ有効		1.445	—	1.760	—	2.140	—	ns
f _{DATA}	DDR2、シリアル出力データ速度		—	280	—	234	—	194	Mbps
f _{DDR2}	DDR2 ECLK 周波数 (最小値は PLL によって制限)		—	140	—	117	—	97	MHz
f _{SCLK}	SCLK 周波数		—	70	—	58	—	49	MHz
汎用 DDRX4 出力、クロック位相はピンでデータがアライン (GDDR4_TX.ECLK.Aligned) クロック入力に PCLK ピンを使用⁹									
t _{DIA}	CLK 出力後の出力データ無効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	—	0.270	—	0.300	—	0.330	ns
t _{DIB}	CLK 出力前の出力データ無効		—	0.270	—	0.300	—	0.330	ns
f _{DATA}	DDR4、シリアル出力データ速度		—	420	—	352	—	292	Mbps
f _{DDR4}	DDR4 ECLK 周波数		—	210	—	176	—	146	MHz
f _{SCLK}	SCLK 周波数		—	53	—	44	—	37	MHz
汎用 DDRX4 出力、クロック位相はピンでデータのセンター (GDDR4_TX.ECLK.Centered) クロック入力に PCLK ピンを使用⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	0.873	—	1.067	—	1.319	—	ns
t _{DVA}	CLK 出力後の出力データ有効		0.873	—	1.067	—	1.319	—	ns
f _{DATA}	DDR4、シリアル出力データ速度		—	420	—	352	—	292	Mbps
f _{DDR4}	DDR4 ECLK 周波数 (最小値は PLL によって制限)		—	210	—	176	—	146	MHz
f _{SCLK}	SCLK 周波数		—	53	—	44	—	37	MHz
7:1 LVDS 出力 (GDDR71_TX.ECLK.7:1)⁹									
t _{DVB}	CLK 出力前の出力データ有効	規模が MachXO2-640U、MachXO2-1200/U とそれ以上のデバイス、上辺のみ	—	0.240	—	0.270	—	0.300	ns
t _{DVA}	CLK 出力後の出力データ有効		—	0.240	—	0.270	—	0.300	ns
f _{DATA}	DDR71 シリアル出力データ速度		—	420	—	352	—	292	Mbps
f _{DDR71}	DDR71 ECLK 周波数		—	210	—	176	—	146	MHz
f _{CLKOUT}	7:1 出力クロック周波数 (SCLK) (最小値は PLL によって制限)		—	60	—	50	—	42	MHz

パラメータ	記述	デバイス	-3		-2		-1		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
LPDDR⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.349	—	0.381	—	0.396	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.665	—	0.630	—	0.613	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	120	—	110	—	96	Mbps
f _{SCLK}	SCLK 周波数		—	60	—	55	—	48	MHz
f _{LPDDR}	LPDDR データ転送レート		0	120	0	110	0	96	Mbps
DDR⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.347	—	0.374	—	0.393	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.665	—	0.637	—	0.616	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	140	—	116	—	98	Mbps
f _{SCLK}	SCLK 周波数		—	70	—	58	—	49	MHz
f _{MEM_DDR}	MEM DDR データ転送レート		N/A	140	N/A	116	N/A	98	Mbps
DDR2⁹									
t _{DVADQ}	DQS 入力後のデータ入力有効	規模が MachXO2-1200/U とそれ以上のデバイス、右辺のみ	—	0.372	—	0.394	—	0.410	UI
t _{DVEDQ}	DQS 入力後の入力データ・ホールド		0.690	—	0.658	—	0.618	—	UI
t _{DQVBS}	DQS 出力前のデータ出力無効		0.25	—	0.25	—	0.25	—	UI
t _{DQVAS}	DQS 出力後の出力データ無効		0.25	—	0.25	—	0.25	—	UI
f _{DATA}	MEM DDR シリアルデータ速度		—	140	—	116	—	98	Mbps
f _{SCLK}	SCLK 周波数		—	70	—	58	—	49	MHz
f _{MEM_DDR2}	MEM DDR2 データ転送レート		N/A	140	N/A	116	N/A	98	Mbps

1. 厳密な性能はデバイス個体および実装するデザインに依存して変わり得る。コマースナル・グレード品の 85℃、1.14V でのタイミング値を示す。インダストリアル・グレード品などの数値については Diamond ソフトウェアで確認のこと。
2. 汎用 I/O (入力と出力、およびクロックポート) タイミング値は LVC MOS2.5、8mA、0pf 負荷に基づく。
3. 入力と出力、およびクロックポートの汎用 (Generic) DDR タイミング値は LVDS I/O 規格に基づく。
4. DDR タイミング値は SSTL25 に基づき、DDR2 タイミング値は SSTL18 に基づく。また、LPDDR タイミング値は LVC MOS18 に基づく。
5. 7:1 LVDS (GDDR71) は LVDS I/O 規格を使用する。
6. 汎用 (Generic) DDRX1 モードでは $t_{SU} = t_{HO} = (t_{DVE} - t_{DVA} - 0.03ns)/2$
7. t_{SU_DEL} と t_{H_DEL} 値は SCLK_ZERHOLD デフォルト・ステップサイズを用いる。各ステップは 105ps (-6), 113ps (-5), 120ps (-4)
8. 本値は汎用用途で、デューティサイクル許容値は +/-10%
9. システム用途にはデューティサイクルは +/- 5%
10. 上記タイミング値は Diamond デザインツールでの値。厳密な性能は選択するデバイスにより変わり得る。

図 3-5. レシーバ RX.CLK.Aligned および MEM DDR 入力波形

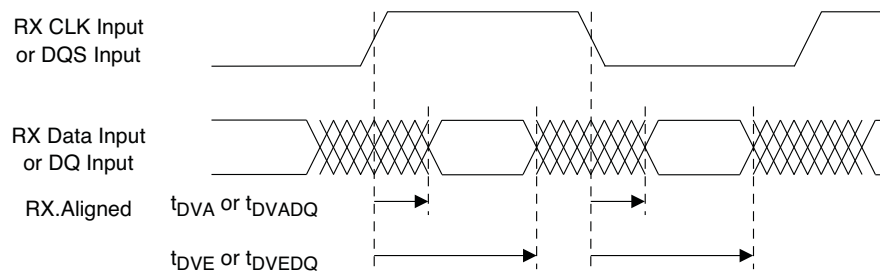


図 3-6. レシーバ RX.CLK.Centered 波形

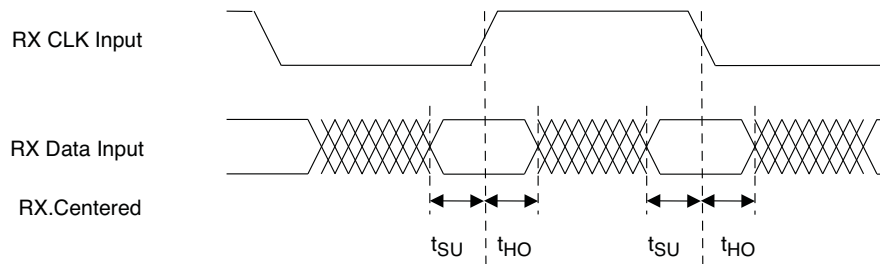


図 3-7. トランスミッタ TX.CLK.Aligned 波形

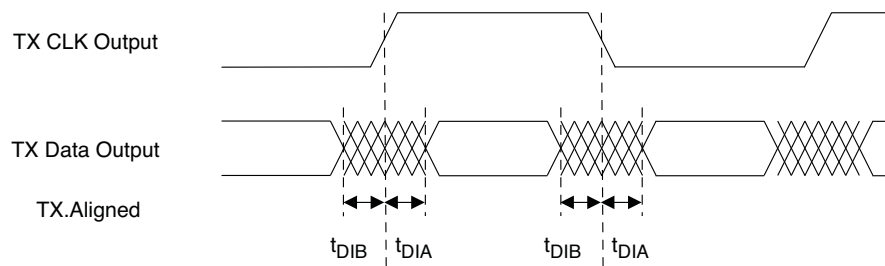


図 3-8. トランスミッタ TX.CLK.Centered および MEM DDR 出力波形

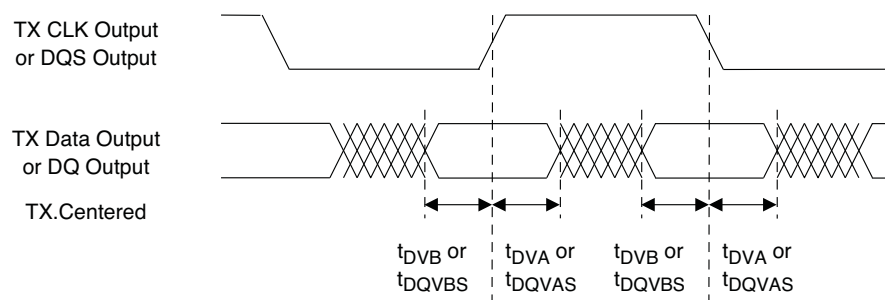


図 3-9. GDDR71 ビデオ、タイミング波形

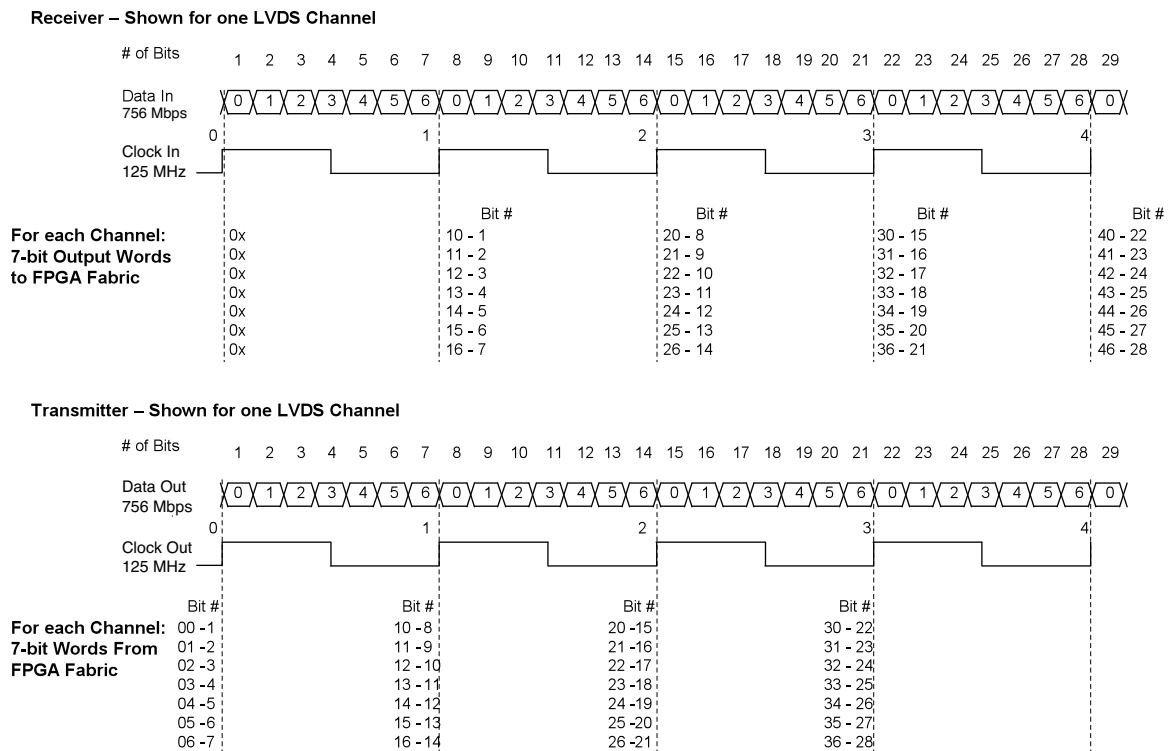


図 3-10. Receiver GDDR71_RX 波形

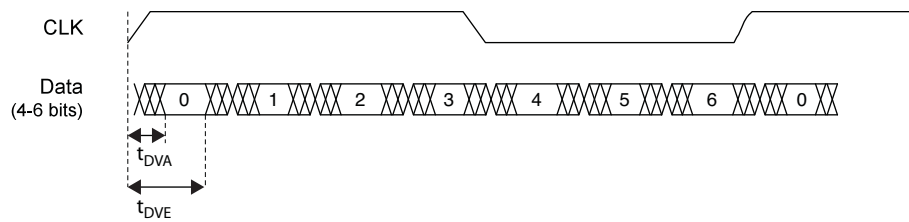
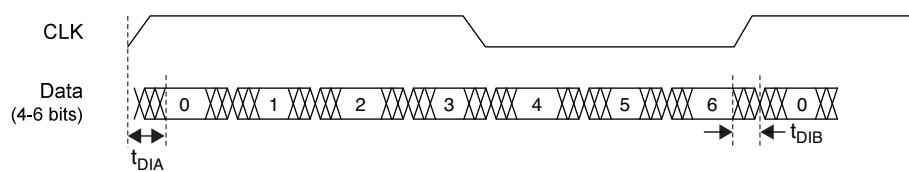


図 3-11. トランスミッタ GDDR71_TX 波形



sysCLOCK PLL タイミング

推奨動作条件にわたって

パラメータ	記述	条件	Min.	Max.	単位
f_{IN}	入力クロック周波数 (CLKI, CLKFB)		7	400	MHz
f_{OUT}	出力クロック周波数 (CLKOP, CLKOS, CLKOS2)		1.5625	400	MHz
f_{OUT2}	出力クロック周波数 (CLKOS3)		0.0122	400	MHz
f_{VCO}	PLL VCO 周波数		200	800	MHz
f_{PFD}	位相検出器の入力周波数		7	400	MHz
AC 特性					
t_{DT}	出力クロック、デューティサイクル	デューティトリム非選択時 ³	45	55	%
$t_{DT_TRIM}^7$	エッジ、デューティトリム精度		-75	75	%
t_{PH}^4	出力位相精度		-6	6	%
$t_{OPJIT}^{1,8}$	出力クロック周期ジッタ	$f_{OUT} > 100\text{MHz}$	—	150	ps p-p
		$f_{OUT} < 100\text{MHz}$	—	0.007	UIPP
	出力クロック・サイクルジッタ	$f_{OUT} > 100\text{MHz}$	—	180	ps p-p
		$f_{OUT} < 100\text{MHz}$	—	0.009	UIPP
	出力クロック位相ジッタ	$f_{PFD} > 100\text{MHz}$	—	160	ps p-p
		$f_{PFD} < 100\text{MHz}$	—	0.011	UIPP
	出力クロック位相ジッタ (フラクショナル N)	$f_{OUT} > 100\text{MHz}$	—	230	ps p-p
		$f_{OUT} < 100\text{MHz}$	—	0.12	UIPP
出力クロック・サイクルジッタ (フラクショナル N)	$f_{OUT} > 100\text{MHz}$	—	230	ps p-p	
	$f_{OUT} < 100\text{MHz}$	—	0.12	UIPP	
t_{SPO}	(入力対出力) 静的位相オフセット	分周比 = 整数	-120	120	ps
t_W	出力クロック、パルス幅	90% または 10% で ³	0.9	—	ns
$t_{LOCK}^{2,5}$	PLL ロックイン時間		—	15	ms
t_{UNLOCK}	PLL アンロック時間		—	50	ns
t_{IPJIT}^6	入力クロック周期ジッタ	$f_{PFD} \geq 20\text{ MHz}$	—	1,000	ps p-p
		$f_{PFD} < 20\text{ MHz}$	—	0.02	UIPP
t_{HI}	入力クロック High 時間	90% ~ 90%	0.5	—	ns
t_{LO}	入力クロック Low 時間	10% ~ 10%	0.5	—	ns
t_{STABLE}^5	STANDBY の High から PLL が安定になるまで		—	15	ms
t_{RST}	RST/RESETM パルス幅		1	—	ns
t_{RSTREC}	RST リカバリ時間		1	—	ns
t_{RST_DIV}	RESETC/D パルス幅		10	—	ns
t_{RSTREC_DIV}	RESETC/D リカバリ時間		1	—	ns
$t_{ROTATE-SETUP}$	PHASESTEP セットアップ時間		10	—	ns
t_{ROTATE_WD}	PHASESTEP パルス幅		4	—	VCO サイクル

- ジッタ値は、きれいな基準クロックで動作する PLL のプライマリ出力を 1 万个サンプルして得ている
- PLL リセットとダイナミック遅延調整では、出力クロックは t_{LOCK} 後に有効になる
- LVDS 出力バッファを使用
- 最大 VCO 周波数で単一位相ステップサイズに対する CLKOP 出力に比較した CLKOS。より詳細は TN1199 を参照
- 最大 f_{PFD} にて、 f_{PFD} が増大するにつれて時間は記載値に対して 60% 程度まで減少する
- 入力クロックの許容最大ジッタ。上限値を超えるとアンロックになるかもしれない。入力ジッタは出力にそのまま伝達され、本表で規定する出力ジッタ以上になる可能性がある
- Edge Trim Duty Accuracy は設定した値に対する割合。設定値はデフォルトの none 以外に、70ps, 140ps, 280ps がある
- 内部オシレータ動作状態でのジッタ測定値。ジッタ値は、PLD ファブリックの負荷や SSO ノイズの影響で増大し得る

MachXO2 オシレータ出力周波数

パラメータ	記述	Min.	Typ.	Max	単位
f _{MAX}	オシレータ出力周波数 (コマーシャルグレード品、0 ~ 85 °C)	125.685	133	140.315	MHz
	オシレータ出力周波数 (インダストリアルグレード品、-40 ~ 100 °C)	124.355	133	141.645	MHz
t _{DT}	出力クロック・デューティサイクル	43	50	57	%
t _{OPJIT} ¹	出力クロック周期ジッタ	0.01	0.012	0.02	UIPP
t _{STABLEOSC}	STDBY の Low 後オシレータが安定になるまで	0.01	0.05	0.1	μs

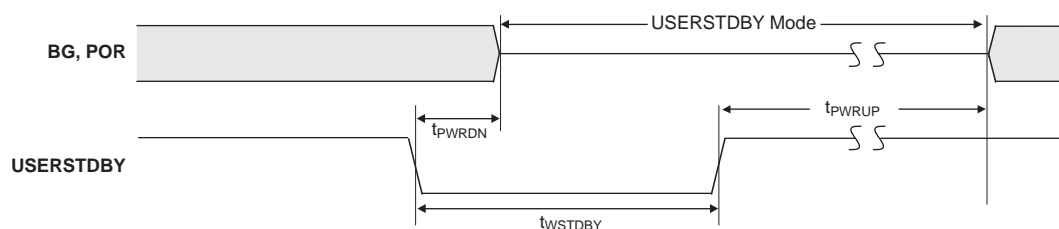
1. 出力クロックジッタ値は 133MHz での規定。これより低い周波数では UIPP 値は小さくなる。Typ. 値は 133MHz で 95ps、2.08MHz では 1.54ns

MachXO2 スタンバイモードのタイミング～ZE デバイス

パラメータ	記述	デバイス	Min.	Typ.	Max	単位
t _{PWRDN}	USERSTANDBY の High から停止まで	All	—	—	13	ns
t _{PWRUP}	USERSTANDBY の Low からパワーアップまで	LCMXO2-256	—	—	—	μs
		LCMXO2-640	—	—	—	μs
		LCMXO2-1200	20	—	50	μs
		LCMXO2-2000	—	—	—	μs
		LCMXO2-4000	—	—	—	μs
		LCMXO2-7000	—	—	—	μs
t _{WSTDBY}	USERSTANDBY パルス幅	All	19	—	—	ns
t _{BNDGAPSTBL}	USERSTANDBY の High 後バンドギャップが安定になるまで	All	—	—	15	ns

MachXO2 スタンバイモードのタイミング～HC/HE デバイス

パラメータ	記述	デバイス	Min.	Typ.	Max	単位
t _{PWRDN}	USERSTANDBY の High から停止まで	All	—	—	9	ns
t _{PWRUP}	USERSTANDBY の Low からパワーアップまで	LCMXO2-256	—	—	—	μs
		LCMXO2-640	—	—	—	μs
		LCMXO2-640U	—	—	—	μs
		LCMXO2-1200	20	—	50	μs
		LCMXO2-1200U	—	—	—	μs
		LCMXO2-2000	—	—	—	μs
		LCMXO2-2000U	—	—	—	μs
		LCMXO2-4000	—	—	—	μs
LCMXO2-7000	—	—	—	μs		
t _{WSTDBY}	USERSTANDBY パルス幅	All	18	—	—	ns



フラッシュ・ダウンロード時間^{1,2}

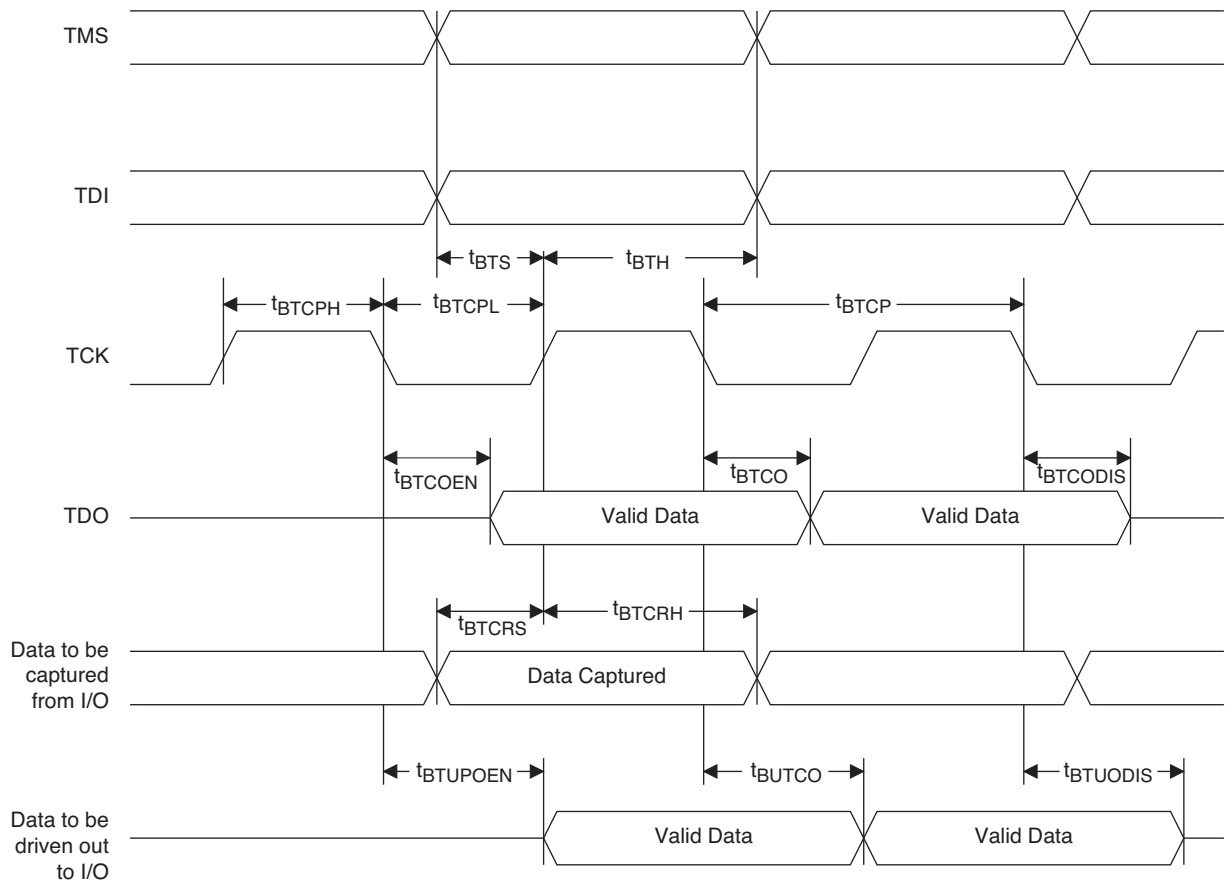
パラメータ	記述	デバイス	Min.	Typ.
t _{REFRESH}	POR 解除からデバイス I/O がアクティブになるまで	LCMXO2-256	0.6	ms
		LCMXO2-640	1.0	ms
		LCMXO2-640U	1.9	ms
		LCMXO2-1200	1.9	ms
		LCMXO2-1200U	1.4	ms
		LCMXO2-2000	1.4	ms
		LCMXO2-2000U	2.4	ms
		LCMXO2-4000	2.4	ms
		LCMXO2-7000	3.8	ms

1. sysMEM EBR が使用されている場合、それらはすべてゼロパターンに初期化されるものとします。
2. フラッシュダウンロード時間の測定は、POR トリップポイントの最大電圧値から開始されるものとします。

JTAG ポートタイミング仕様

パラメータ	記述	Min.	Max.	単位
f _{MAX}	TCK [BSCAN] クロック周波数	—	25	MHz
t _{BTCPH}	TCK [BSCAN] クロック High パルス幅	20	—	ns
t _{BTCPL}	TCK [BSCAN] クロック Low パルス幅	20	—	ns
t _{BTS}	TCK [BSCAN] セットアップタイム	10	—	ns
t _{BTH}	TCK [BSCAN] ホールドタイム	8	—	ns
t _{BTCO}	TAP コントローラ用クロックの立ち下がりエッジから出力有効まで	—	10	ns
t _{BTCODIS}	TAP コントローラ用クロックの立ち下がりエッジからディセーブル有効まで	—	10	ns
t _{BTCOEN}	TAP コントローラ用クロックの立ち下がりエッジからイネーブル有効まで	—	10	ns
t _{BTCRS}	BSCAN テストキャプチャ・レジスタのセットアップタイム	8	—	ns
t _{BTCRH}	BSCAN テストキャプチャ・レジスタのホールドタイム	20	—	ns
t _{BUTCO}	BSCAN テストアップデート・レジスタ、クロックの立ち下がりエッジから出力有効まで	—	25	ns
t _{BTUODIS}	BSCAN テストアップデート・レジスタ、クロックの立ち下がりエッジからディセーブル有効まで	—	25	ns
t _{BTUPOEN}	BSCAN テストアップデート・レジスタ、クロックの立ち下がりエッジからイネーブル有効まで	—	25	ns

図 3-12. JTAG ポート タイミング 波形



sysCONFIG ポートのタイミング仕様

パラメータ	記述	Min.	Max.	単位
全コンフィグレーションモード				
t _{PRGM}	PROGRAMN 入力の有効 Low パルス幅	55	—	ns
t _{PRGMJ}	PROGRAMN 入力の無効 Low パルス幅	—	25	ns
t _{INITL}	INITN が Low の時間	—	55	us
t _{DPPINIT}	PROGRAMN 入力 Low から INITN が Low になるまで	—	70	ns
t _{DPPDONE}	PROGRAMN 入力 Low から DONE が Low になるまで	—	80	ns
t _{IODISS}	PROGRAMN 入力 Low から I/O がディセーブルになるまで	—	120	ns
スレーブ SPI モード				
f _{MAX}	CCLK クロック周波数	—	66	MHz
t _{CCLKH}	CCLK クロック High パルス幅	7.5	—	ns
t _{CCLKL}	CCLK クロック Low パルス幅	7.5	—	ns
t _{STSU}	CCLK セットアップ時間	2	—	ns
t _{STH}	CCLK ホールド時間	0	—	ns
t _{STCO}	CCLK 立ち下りエッジから有効出力	—	10	ns
t _{STOZ}	CCLK 立ち下りエッジからディセーブル有効	—	10	ns
t _{STOV}	CCLK 立ち下りエッジからイネーブル有効	—	10	ns
t _{SCS}	チップセレクト High 時間	25	—	ns
t _{SCSS}	チップセレクト、セットアップ時間	3	—	ns
t _{SCSH}	チップセレクト、ホールド時間	3	—	ns
マスタ SPI モード				
f _{MAX}	MCLK クロック周波数	—	133	MHz
t _{MCLKH}	MCLK クロック High パルス幅	3.75	—	ns
t _{MCLKL}	MCLK クロック Low パルス幅	3.75	—	ns
t _{STSU}	MCLK セットアップ時間	5	—	ns
t _{STH}	MCLK ホールド時間	1	—	ns
t _{CSSPI}	INITN が High からチップセレクト Low	100	200	ns
t _{MCLK}	INITN が High から最初の MCLK エッジ	0.75	1	us

I²C ポートのタイミング仕様^{1,2}

パラメータ	記述	Min.	Max.	単位
f _{MAX}	SCL クロック最大周波数	—	400	KHz

- MachXO2 は次のモードをサポート
 - Standard-mode (Sm)、ビットレートは 100Kbit/sec まで (ユーザモードとコンフィグレーション・モード)
 - Fast-mode (Fm)、ビットレートは 400Kbit/sec まで (ユーザモードとコンフィグレーション・モード)
- タイミング要件については I²C 規格書を参照。

SPI ポートのタイミング仕様¹

パラメータ	記述	Min.	Max.	単位
f _{MAX}	SCK クロック最大周波数	—	45	MHz

- ユーザモードのみに適用。コンフィグレーション・モードのタイミング仕様については、sysCONFIG ポートタイミング仕様の項を参照

スイッチングテスト条件

図 3-13 は AC テストに使用された出力テスト負荷を示します。抵抗とコンデンサ、および電圧の値や、他のテスト条件は表 3-5 に示します。

図 3-13. LVTTL および LVC MOS 規格の出力テスト負荷

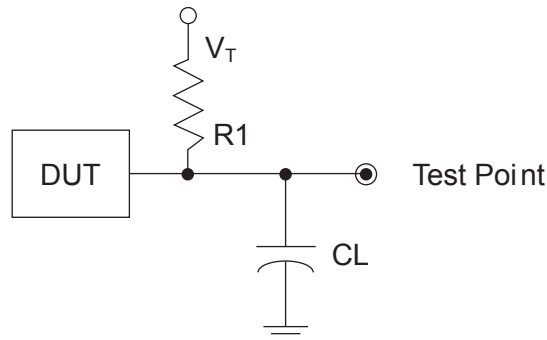


表 3-5. テスト装置に必要な部品、非終端インターフェイス

テスト条件	R1	CL	参照タイミング	VT
LVTTL と LVC MOS 設定 (L → H, H → L)	∞	0pF	LVTTL, LVC MOS 3.3 = 1.5V	—
			LVC MOS 2.5 = $V_{CCIO}/2$	—
			LVC MOS 1.8 = $V_{CCIO}/2$	—
			LVC MOS 1.5 = $V_{CCIO}/2$	—
			LVC MOS 1.2 = $V_{CCIO}/2$	—
LVTTL と VCMOS 3.3 (Z → H)	188	0pF	1.5	V_{OL}
LVTTL と VCMOS 3.3 (Z → L)			1.5	V_{OH}
その他の LVC MOS (Z → H)			$V_{CCIO}/2$	V_{OL}
その他の LVC MOS (Z → L)			$V_{CCIO}/2$	V_{OH}
LVTTL + LVC MOS (H → Z)			$V_{OH} - 0.15$	V_{OL}
LVTTL + LVC MOS (L → Z)			$V_{OL} - 0.15$	V_{OH}

注：その他の全インターフェイス用の出力テスト条件は、各規格によって定まります。

MachX02 ファミリ・データシート ピンアウト情報



2014年2月

データシート DS1035

信号記述

信号名	I/O	記述
一般用途		
P[Edge] [Row/Column Number]_[A/B/C/D]	I/O	<p>[Edge] はパッドが見つけれられているデバイスの辺（上下左右）を示します。有効な辺の指示は L (Left : 左辺), B (Bottom : 下辺), R (Right : 右辺), T (Top : 上辺) です。</p> <p>[Row/Column Number] はデバイス内で PIO グループのある PFU 列や行を示します。Edge が T (Top) か B (Bottom) のとき、Row (列) 番号の指定みのが必要です。また Edge が L (Left) か R (Right) のときは、Column (行) 番号の指定みのが必要です。</p> <p>[A/B/C/D] はパッドが接続されているグループ内の PIO を示します。</p> <p>これらユーザ・プログラマブルピンのいくつかは、特別な機能のピンと共有されます。そうした特別な機能ピンとして使用されない場合、これらのピンはユーザロジック用の I/O として設定できます。</p> <p>ユーザ・プログラマブル I/O のコンフィグレーション時に、ユーザには I/O をトライステートにするか、また内部プルアップ抵抗をイネーブルするかのオプションがあります。またこのオプションは、未使用のピン（或いはパッケージピンにボンディングされていない）にも適用されます。ユーザ・プログラマブル I/O に対するコンフィグレーション中のデフォルトは、内部プルダウン抵抗がイネーブルされているトライステート状態です。デバイスが消去される時、I/O は内部プルダウン抵抗がイネーブルされた状態トライステートになります。</p>
NC	—	非接続
GND	—	グラウンド。専用ピン。全ての GND ピンを同じプレーンに接続することを推奨
VCC	—	コアロジック用の電源供給ピン。専用ピン。全ての VCC ピンを同じ電源に接続することを推奨
VCCIO _x	—	I/O バンク x 用の電源供給ピン。専用ピン。同一バンクの全ての VCCIO ピンを同じ電源に接続することを推奨
PLL とクロック機能 (PLL やクロックピンに使用しない場合はユーザ・プログラマブル I/O ピンとして使用)		
[LOC]_GPLL[T, C]_IN	—	基準クロック (PLL) 入力パッド。[LOC] は位置を示します。有効な指示は、L (左側 PLL) と R (右側 PLL) です。T = true (非反転)、C = complement (反転)
[LOC]_GPLL[T, C]_FB	—	オプションのフィードバック (PLL) 入力パッド。[LOC] は位置を示します。有効な指示は、L (左側 PLL) と R (右側 PLL) です。T = true (非反転)、C = complement (反転)
PCLK [n]_[2:0]	—	プライマリクロック・パッド。各辺あたり 1 ~ 3 あります。
テストおよびプログラミング (テストアクセスポートと sysCONFIG™ に使用されるマルチ機能ピン)		
TMS	I	テストモード選択 (Test Mode Select) 入力ピン。1149.1 ステートマシンを制御するために使用されます。
TCK	I	テストクロック (Test Clock) 入力ピン。1149.1 ステートマシンのクロックに使用されます。
TDI	I	テストデータ入力 (Test Data Input) ピン。1149.1 ステートマシンを用いてデバイスにデータをロードするために使用されます。
TDO	O	出力ピン ~ テストデータ出力 (Test Data Output) ピン。149.1 ステートマシンを用いてデータをシフトアウトするために使用されます。

© 2014 Lattice Semiconductor Corp. All Lattice trademarks, registered trademarks, patents, and disclaimers are as listed at www.latticesemi.com/legal. All other brand or product names are trademarks or registered trademarks of their respective holders. The specifications and information herein are subject to change without notice.

信号名	I/O	記 述
一般用途		
JTAGENB	I	<p>TDI、TDO、TMS、TCKの動きを制御します。JTAGピン(TDI、TDO、TMS、TCK)を汎用I/Oとして使用するものとしてデバイスをコンフィグレーションする場合、以下の動作になります。</p> <p>JTAGENBがLowの場合、TDI、TDO、TMS、およびTCKは汎用I/Oとして機能することができます。</p> <p>JTAGENBがHighの場合、TDI、TDO、TMS、およびTCKはJTAGピンとして機能します。</p> <p>その他の詳細については、TN1204, MachXO2 Programming and Configuration Usage Guide (MachXO2プログラミング、およびコンフィグレーション・ユーザガイド)を参照してください。</p>
コンフィグレーション(コンフィグレーション中に使用されるマルチ機能ピン)		
PROGRAMN	I	Lowにアサートされると、コンフィグレーション・シーケンスを起動します。このピンには常時アクティブなプルアップがあります(注: DONEピンがLowの時はトリガを与えないでください)。
INITN	I/O	オープンドレイン・ピン。CPLDをコンフィグレーションする準備ができていることを示します。コンフィグレーション中、プルアップがイネーブルされます。
DONE	I/O	オープンドレイン・ピン。コンフィグレーション・シーケンスが完了し、起動シーケンスが進行中であることを示します。
MCLK/CCLK	I/O	スレーブSPI(SSPI)でコンフィグレーションするためのクロック入力、またはSPIおよびSPImモードでコンフィグレーションするためのクロック出力です。
SN	I	スレーブSPIのLowアクティブなチップ・セレクト入力。
CSSPIN	I/O	マスタSPIのLowアクティブなチップセレクト出力。
SI/SPISI	I/O	スレーブSPIシリアルデータ入力およびマスタSPIシリアルデータ出力。
SO/SPISO	I/O	スレーブSPIシリアルデータ入力およびマスタSPIシリアルデータ出力。
SCL	I/O	スレーブI ² Cクロック入力およびマスタI ² Cクロック出力。
SDA	I/O	スレーブI ² Cデータ入力およびマスタI ² Cデータ出力。

ピン情報のまとめ

	MachXO2-256				MachXO2-640		MachXO2-640U
	32 QFN ¹	64 ucBGA	100 TQFP	132 csBGA	100 TQFP	132 csBGA	144 TQFP
バンクあたりの汎用 I/O 本数							
バンク 0	8	9	13	13	18	19	27
バンク 1	2	12	14	14	20	20	26
バンク 2	9	11	14	14	20	20	28
バンク 3	2	12	14	14	20	20	26
バンク 4	0	0	0	0	0	0	0
バンク 5	0	0	0	0	0	0	0
総汎用シングルエンド I/O	21	44	55	55	78	79	107
バンクあたりの差動 I/O 本数							
バンク 0	1	5	7	7	9	10	14
バンク 1	1	6	7	7	10	10	13
バンク 2	4	5	7	7	10	10	14
バンク 3	1	6	7	7	10	10	13
バンク 4	0	0	0	0	0	0	0
バンク 5	0	0	0	0	0	0	0
トータル差動 I/O 数	10	22	28	28	39	40	54
デュアル機能 I/O 数							
	22	27	29	29	29	29	33
高速差動 I/O							
バンク 0	0	0	0	0	0	0	7
ギアボックス数							
7:1 または 8:1 出力ギアボックス数 (バンク 0)	0	0	0	0	0	0	7
7:1 または 8:1 入力ギアボックス数 (バンク 2)	0	0	0	0	0	0	7
DQS グループ数							
バンク 1	0	0	0	0	0	0	2
VCCIO ピン数							
バンク 0	2	2	2	2	2	2	3
バンク 1	1	2	2	2	2	2	3
バンク 2	2	2	2	2	2	2	3
バンク 3	1	2	2	2	2	2	3
バンク 4	0	0	0	0	0	0	0
バンク 5	0	0	0	0	0	0	0
VCC	2	2	2	2	2	2	4
GND	2	8	8	8	8	10	12
NC	0	1	26	58	3	32	8
コンフィグ専用予約	1	1	1	1	1	1	1
ボンディング総ピン数	32	64	100	132	100	132	144

1. 放熱条件を良くするために、ラティスは中央の放熱パッドを PCB のグランドプレーンと半田付けすることを推奨しています

	MachXO2-1200				MachXO2-1200U
	100 TQFP	132 csBGA	144 TQFP	25 WLCSP	256 ftBGA
バンクあたりの汎用 I/O 本数					
バンク 0	18	25	27	11	50
バンク 1	21	26	26	0	52
バンク 2	20	28	28	7	52
バンク 3	20	25	26	0	16
バンク 4	0	0	0	0	16
バンク 5	0	0	0	0	20
総汎用シングルエンド I/O	79	104	107	18	206
バンクあたりの差動 I/O 本数					
バンク 0	9	13	14	5	25
バンク 1	10	13	13	0	26
バンク 2	10	14	14	2	26
バンク 3	10	12	13	0	8
バンク 4	0	0	0	0	8
バンク 5	0	0	0	0	10
トータル差動 I/O 数	39	52	54	7	103
デュアル機能 I/O 数	31	33	33	18	33
高速差動 I/O					
バンク 0	4	7	7	0	14
ギアボックス数					
7:1 または 8:1 出力ギアボックス数 (バンク 0)	4	7	7	0	14
7:1 または 8:1 入力ギアボックス数 (バンク 2)	5	7	7	0	14
DQS グループ数					
バンク 1	1	2	2	0	2
VCCIO ピン数					
バンク 0	2	3	3	1	4
バンク 1	2	3	3	0	4
バンク 2	2	3	3	1	4
バンク 3	3	3	3	0	1
バンク 4	0	0	0	0	2
バンク 5	0	0	0	0	1
VCC	2	4	4	2	8
GND	8	10	12	2	24
NC	1	1	8	0	1
ボンディング総ピン数	98	130	135	24	254

	MachXO2-2000						MachXO2-2000U
	49 WLCSP	100 TQFP	132 csBGA	144 TQFP	256 caBGA	256 ftBGA	484 ftBGA
バンクあたりの汎用 I/O 本数							
バンク 0	19	18	25	27	50	50	70
バンク 1	0	21	26	28	52	52	68
バンク 2	13	20	28	28	52	52	72
バンク 3	0	6	7	8	16	16	24
バンク 4	0	6	8	10	16	16	16
バンク 5	6	8	10	10	20	20	28
総汎用シングルエンド I/O	38	79	104	111	206	206	278
バンクあたりの差動 I/O 本数							
バンク 0	7	9	13	14	25	25	35
バンク 1	0	10	13	14	26	26	34
バンク 2	6	10	14	14	26	26	36
バンク 3	0	3	3	4	8	8	12
バンク 4	0	3	4	5	8	8	8
バンク 5	3	4	5	5	10	10	14
トータル差動 I/O 数	16	39	52	56	103	103	139
デュアル機能 I/O 数							
	24	31	33	33	33	33	37
高速差動 I/O							
バンク 0	5	4	8	9	14	14	18
ギアボックス数							
7:1 または 8:1 出力ギアボックス数 (バンク 0)	5	4	8	9	14	14	18
7:1 または 8:1 入力ギアボックス数 (バンク 2)	6	10	14	14	14	14	18
DQS グループ数							
バンク 1	0	1	2	2	2	2	2
VCCIO ピン数							
バンク 0	2	2	3	3	4	4	10
バンク 1	0	2	3	3	4	4	10
バンク 2	1	2	3	3	4	4	10
バンク 3	0	1	1	1	1	1	3
バンク 4	0	1	1	1	2	2	4
バンク 5	1	1	1	1	1	1	3
VCC	2	2	4	4	8	8	12
GND	4	8	10	12	24	24	48
NC	0	1	1	4	1	1	105
コンフィグ専用予約	1	1	1	1	1	1	1
ボンディング総ピン数	39	100	132	144	256	256	484

	MachXO2-4000						
	132 csBGA	144 TQFP	184 csBGA	256 caBGA	256 ftBGA	332 caBGA	484 fpBGA
バンクあたりの汎用 I/O 本数							
バンク 0	25	27	37	50	50	68	70
バンク 1	26	29	37	52	52	68	68
バンク 2	28	29	39	52	52	70	72
バンク 3	7	9	10	16	16	24	24
バンク 4	8	10	12	16	16	16	16
バンク 5	10	10	15	20	20	28	28
総汎用シングルエンド I/O	104	114	150	206	207	274	278
バンクあたりの差動 I/O 本数							
バンク 0	13	14	18	25	25	34	35
バンク 1	13	14	18	26	26	34	34
バンク 2	14	14	19	26	26	35	36
バンク 3	3	4	4	8	8	12	12
バンク 4	4	5	6	8	8	8	8
バンク 5	5	5	7	10	10	14	14
トータル差動 I/O 数	52	56	72	103	103	137	139
デュアル機能 I/O 数	37	37	37	37	37	37	37
高速差動 I/O							
バンク 0	8	9	8	18	18	18	18
ギアボックス数							
7:1 または 8:1 出力ギアボックス数 (バンク 0)	8	9	9	18	18	18	18
7:1 または 8:1 入力ギアボックス数 (バンク 2)	14	14	12	18	18	18	18
DQS グループ数							
バンク 1	2	2	2	2	2	2	2
VCCIO ピン数							
バンク 0	3	3	3	4	4	4	10
バンク 1	3	3	3	4	4	4	10
バンク 2	3	3	3	4	4	4	10
バンク 3	1	1	1	1	1	2	3
バンク 4	1	1	1	2	2	1	4
バンク 5	1	1	1	1	1	2	3
VCC	4	4	4	8	8	8	12
GND	10	12	16	24	24	27	48
NC	1	1	1	1	1	5	105
コンフィグ専用予約	1	1	1	1	1	1	1
ボンディング総ピン数	132	144	184	256	256	332	484

	MachXO2-7000				
	144 TQFP	256 caBGA	256 ftBGA	332 caBGA	484 fpBGA
バンクあたりの汎用 I/O 本数					
バンク 0	27	50	50	68	82
バンク 1	29	52	52	70	84
バンク 2	29	52	52	70	84
バンク 3	9	16	16	24	28
バンク 4	10	16	16	16	24
バンク 5	10	20	20	30	32
総汎用シングルエンド I/O	114	206	206	278	334
バンクあたりの差動 I/O 本数					
バンク 0	14	25	25	34	41
バンク 1	14	26	26	35	42
バンク 2	14	26	26	35	42
バンク 3	4	8	8	12	14
バンク 4	5	8	8	8	12
バンク 5	5	10	10	15	16
トータル差動 I/O 数	56	103	103	139	167
デュアル機能 I/O 数	37	37	37	37	37
高速差動 I/O					
バンク 0	9	20	20	21	21
ギアボックス数					
7:1 または 8:1 出力ギアボックス数 (バンク 0)	9	20	20	21	21
7:1 または 8:1 入力ギアボックス数 (バンク 2)	14	20	20	21	21
DQS グループ数					
バンク 1	2	2	2	2	2
VCCIO ピン数					
バンク 0	3	4	4	4	10
バンク 1	3	4	4	4	10
バンク 2	3	4	4	4	10
バンク 3	1	1	1	2	3
バンク 4	1	2	2	1	4
バンク 5	1	1	1	2	3
VCC	4	8	8	8	12
GND	12	24	24	27	48
NC	1	1	1	1	49
コンフィグ専用予約	1	1	1	1	1
ボンディング総ピン数	144	256	256	332	484

より詳細について

種々パッケージのロジック信号接続に関する詳細については、MachXO2 デバイスのピンアウトファイル (Pinout File) を参照してください。

熱管理

どのような FPGA 設計においても、確実な設計手法の一つとしての熱管理を推奨します。システムの熱特性を評価するために、ラティスは全デバイスのデータシートで最大許容ジャンクション温度を規定しています。デバイスとパッケージがジャンクション温度リミットを超えないことを確実にするために、ユーザはそのデザイン特定の熱解析を実施する必要があります。デバイス/パッケージ固有の熱抵抗値については、熱管理ドキュメントを参照してください。

より詳細について

熱管理に関する詳細について、以下を参照してください。

- ・ Thermal Management (熱管理) ドキュメント (TN 番号なし)
- ・ TN1198, Power Estimation and Management for MachXO2 Devices (MachXO2 デバイスの電力見積りと管理)
- ・ パワーカリキュレータ (Power Calculator) ツールはラティスの設計ツール含まれています。或いはスタンダードアロン版が次の URL からダウンロードできます: www.latticesemi.com/software

リリース	バージョン	セクション	該当ページ (新)	更新内容記述
2010年11月	01.0	-	-	初版
2011年1月	01.1	全て	1-2 など	超多ピン対応パッケージ品を追加
		DC およびスイッチング特性	3-1	推奨動作条件の V_{CCP} を削除、脚注 3 を追記
			3-1	供給電源ランプレート項を追加
			3-2	パワーオンリセット電圧レベル、脚注 3 の修正
			3-2	プログラミング / 消去仕様を変更・更新
			3-3	DC 電気的特性、の I_{IL} 、 I_{IH} 、 V_{HYST} の Typ. 値を更新
		3-22	GDDR2_TX.ECLK.Aligned と GDDR4_TX.ECLK.Aligned、PCLK 使用、クロック入力 T_{DIA} 、 T_{DIB} の値を更新	
		ピンアウト情報	4-1	V_{CCP} を削除
4-3~4-7	7:1/8:1 ギアボックス入出力数を追記、NC ピン数を更新			
(2011年3月)	01.1b (JPのみ)	イントロダクション	1-2	表 1-1 のマイグレーション矢印ずれ修正
2011年4月	01.2	-	-	ステータスをアドバンストから Preliminary に更新
		イントロダクション	1-2	表 1-1 ファミリ選択ガイドを更新 (分散 RAM サイズ、WCSP のサイズと I/O 数)
		アーキテクチャ	2-11	図 2-8 sysMEM プリミティブ、TDPR 図を修正
			2-24/25	表 2-12/2-13 サポート IO 規格を更新 (SSTL, HSTL)
		アーキテクチャ (英語版 Rev.History にない主な記述変更点)	2-5	"クロック ..." 節第二パラグラフ記述、一部追加
			2-7	"sysCLOCK..." 節第二パラグラフ記述、一部追加
			2-12	"3 リードビフォーライト" 項記述、一部削除
			2-12	"FIFO の構成" 節第二パラグラフ記述、信号名を修正
			2-15	最上部パラグラフ記述、一部削除
			2-23	"電源起動時の、、振る舞い" 節第一パラグラフ記述変更
			2-32	"UFM" 節、列挙機能記述、一点削除
			2-34	"デバイスのコンフィグ、、、" 節第一パラグラフ記述変更
		DC およびスイッチング特性	3-2 ~ 3-8	各値を更新~ POR、各電流値、プログラミング / 消去仕様値、ESD 性能値、DC 電気的特性など
			3-9	sysIO 推奨動作条件に VREF を追記、SSTL / HSTL を追加
			3-14 ~ 29, 33 ~ 35, 37	AC タイミング値をキャラクタライズ結果に基づき更新
ピンアウト情報	4-2	SPI / I2C 関連ポートの記述一部変更		

リリース	バージョン	セクション	該当ページ (新)	更新内容記述		
2011年5月	1.3	アーキテクチャ	2-35	“SED”表記を“SRAM CRC Error Detection”に変更		
		アーキテクチャ (英語版 Rev.History にない主な記述変更点)	2-8	図 2-7 を差し替え		
			2-29	表 2-15 を更新		
			2-30	表 2-16 を更新		
			2-32	表 2-17 を更新		
			2-34	”デバイスのコンフィグレーション”節記述更新		
		DC およびスイッチング特性	3-2	”プログラミングと消去仕様”に脚注を追加		
ピンアウト情報	4-2	信号名の一覧表で信号名 SO/SISPISO を SO/SPISO に変更				
	4-3~4-7	ピン情報のまとめ表を更新				
2011年8月	1.4 1.5 (日本語版は同時更新該当パラグラフ末に”DC およびスイッチング特性参照”を追記)	アーキテクチャ	1-2	表 1-2 脚注番号と記述更新		
			2-7,8,9	該当パラグラフ末に”DC およびスイッチング特性参照”を追記		
		DC およびスイッチング特性	3-1	絶対最大定格の脚注 4, 5 追記		
			3-3	III, IIIH 条件と規定値を追加		
			3-8	sysIO シングルエンド仕様の脚注を修正・更新		
			3-14, 15	代表的ビルディングブロック仕様値更新		
			3-16 ~ 27	外部スイッチング仕様値全面的に更新、クロックに関する規定新規追加		
			3-21, 27	脚注更新		
			3-28, 29	図 3-5 ~ 3-11、追加または更新		
			3-31	フラッシュダウンロード時間更新		
		3-2	ESD 性能の項目、更新			
		ピンアウト情報	4-3 ~ 7	デュアルファンクション I/O 数更新・修正、ギアボックス数記載形式変更・更新、DQS グループ数更新		
		2012年2月	1.6 1.7	全体	--	・ preliminary からファイナルに移行 ・ ラティスロゴの更新
				イントロダクション	1-2	ファミリー一覧表で 49WLCSP を削除
DC およびスイッチング特性	3-1			絶対最大定格、専用入力ピンの電圧値と保存温度範囲		
	3-1			供給電源立ち上がりレート、最大規定を更新		
	3-2			活線挿抜最大値を更新		
	3-4			ZE スタティック電流値の更新		
	3-5			4000/7000HE スタティック電流値の更新		
	3-5			ZE プログラミング・消去時供給電流値更新		
	3-16~27			外部スイッチング特性タイミング更新		
	3-21, 27			同、脚注 1 更新、10 追加		
	3-31			(表 3 つ内) 信号名を STDBY、USERSTDBY に修正		
	3-32			フラッシュ・ダウンロード時間の更新		
ピンアウト情報	4-1			GND / VCC / VCCIO の記述更新		
	4-3			256 および 640 の 100TQFP と 132csBGA で VCCIO ピン数を 3 から 2 に修正 (差分の 1 本は NC に相当。次版で注記予定)		
	4-5	2000 - 49WLCSP 列を削除				
	4-6	4000 332caBGA のデュアルファンクション I/O 数を更新				

リリース	バージョン	セクション	該当ページ (新)	更新内容記述
2012年3月	1.8	イントロダクション	1-1	パッケージオプション項、QFN 追加
			1-2	ファミリセレクション表に 32QFN 追加
		DC およびスイッチング特性	3-31	下部タイミング図更新
		ピンアウト情報	4-4	32QFN 追加、脚注削除と追加
			4-5 ~ 8	脚注削除
2013年1月	2.0			(日本語版は Rev.1.9 の更新も含む)
		イントロダクション	1-2	表 1-1 XO2-4000, csBGA 184 追加、脚注 7 追加
				表 1-1 全パッケージの I/O 数を '-1' (JTAGENB 分)
		アーキテクチャ	2-25	表 2-13 LVDS に 3.3V を追加
			2-36	SED 節、"SRAM CRC エラー検出" から用語・定義変更
				パッケージマイグレーション節、TN1200 言及削除
		DC およびスイッチング特性	3-1	"電源ランプレート" 表、単位を変更
			3-3	"DC 電気的特性" 表、IIL/IIH の条件記述を一部変更
			3-15	"最大 sysIO バッファ性能" 表追加
			3-22	LPDDR / DDR / DDR2 部、tDQVBS / tDQVAS 値を更新
			3-28	LPDDR / DDR / DDR2 部、tDVADQ / tDVEDQ 値を更新、tDQVBS / tDQVAS 値タイポ (桁) を修正
			3-31	"sysPLL" 表 ・ fIN / fOUT / fOUT2 / fPFD の Min 値を更新 ・ tSK --> tSPO に定義 (用語) 変更 ・ 脚注 6 記述更新
				3-32
		ピンアウト情報	4-3 ~ 4-7	汎用シングルエンド部の I/O バンク 0 本数、総汎用シングルエンド I/O 本数、およびボンディング総ピン数を全てそれぞれ '-1'
4-6	XO2-4000, csBGA 184 追加			
2013年6月	2.1	アーキテクチャ	2-2	アーキテクチャ概要、後から四番目のパラグラフ追記
			2-37	ロジック規模の移行、記述追加
		DC およびスイッチング特性	3-2	POR 電圧レベルの表、V _{PORDNGBEXT} と V _{PORDNSRAMEXT} 追加と、V _{PORDNGB} の Min 値更新
		ピンアウト情報	4-2	信号名 SI/SPISI に修正
			4-4,4-6,4-7,4-8	"コンフィグ専用予約" 追加、全ピン数修正
2013年9月	2.2	アーキテクチャ	2-5	RAM モード節、第一パラグラフの後半二行削除
			2-25	表 2-12 内、3.3V / 2.5V 対応関係を更新
			2-29	ハードマクロコア節、クロックストレッチ機能削除
		DC およびスイッチング特性	3-2	・ 脚注 5 追記 ・ パワーオンリセット電圧、V _{PORUP} パラメータで V _{CCIO} を V _{CCIO0} に更新
2014年2月	02.3, 02.4	イントロ	1-2	49 WLCSP 追加
		アーキテクチャ	2-9	PLL 記述、上から 4 行目を若干表現変更
				2-34
		DC およびスイッチング特性	3-4	ZE スタティック電流、I _{CCIO} の値と単位を更新

リリース	バージョン	セクション	該当ページ (新)	更新内容記述
			3-8	sysIO シングルエンド・バッファ、ページ最下部表内、LVCMOS25 / 18 の $V_{IL\ Max}$ 値を更新
			3-9	LVDS、表内の V_{OS} テスト条件式、“-”を“+”に修正
		ピンアウト情報	4-6	XO2-2000 に 49 WLCSP 追加
2014 年 6 月	02.5	アーキテクチャ	2-36	バックグラウンド・プログラミング時の留意事項についてパラグラフを追加