



# PIC10(L)F320/322 データシート

6/8 ピン高性能  
フラッシュ マイクロコントローラ

注意：この日本語版文書は参考資料としてご利用ください。最新情報は必ずオリジナルの英語版をご参照願います。

---

マイクロチップ社製デバイスのコード保護機能に関して以下の点にご注意ください。

- ・ マイクロチップ社製品は、該当するマイクロチップ社データシートに記載の仕様を満たしています。
- ・ マイクロチップ社では、通常の条件ならびに仕様に従って使用した場合、マイクロチップ社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- ・ しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法はマイクロチップ社データシートにある動作仕様書以外の方法でマイクロチップ社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- ・ マイクロチップ社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- ・ マイクロチップ社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、マイクロチップ社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。マイクロチップ社では、常に製品のコード保護機能の改善に取り組んでいます。マイクロチップ社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

---

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。マイクロチップ社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途にマイクロチップ社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、マイクロチップ社は擁護され、免責され、損害を受けない事に同意するものとします。暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

#### 商標

マイクロチップ社の名称とロゴ、Microchip ロゴ、dsPIC、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、PIC<sup>32</sup> ロゴ、rfPIC、UNI/O は、米国およびその他の国におけるマイクロチップ・テクノロジー社の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MXDEV、MXLAB、SEEVAL、Embedded Control Solutions Company は、米国におけるマイクロチップ・テクノロジー社の登録商標です。

Analog-for-the-Digital Age、Application Maestro、chipKIT、chipKIT ロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPLAB Certified ロゴ、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICkit、PICKtail、REAL ICE、rFLAB、Select Mode、Total Endurance、TSHARC、UniWinDriver、WiperLock、ZENA は、米国およびその他の国におけるマイクロチップ・テクノロジー社の商標です。

SQTP は、米国におけるマイクロチップ・テクノロジー社のサービスマークです。

その他、本書に記載されている商標は各社に帰属します。

© 2012, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-61341-608-2

**QUALITY MANAGEMENT SYSTEM**  
**CERTIFIED BY DNV**  
**＝ ISO/TS 16949 ＝**

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハ製造工場そしてカリフォルニア州とインドのデザインセンターがISO/TS-16949:2009 認証を取得しています。マイクロチップ社の品質システムプロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コードホッピングデバイス、シリアルEEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関するマイクロチップ社の品質システムはISO 9001:2000 認証を取得しています。

## 6/8 ピン フラッシュベース 8 ビット マイクロコントローラ

### 高性能 RISC CPU:

- わずか 35 個の命令:
  - 分岐命令を除き、全てシングルサイクル命令
- 動作速度:
  - DC ~ 16 MHz クロック入力
  - DC ~ 250 ns の命令サイクル
- 最大 512 ワードのフラッシュ プログラムメモリ
- 64 バイトのデータメモリ
- 8 レベルのハードウェアスタック
- 割り込み機能
- プログラムメモリに対するプロセッサ自己読み書きアクセス
- ピン配置は他の 6 ピン PIC10FXXX マイクロコントローラと互換

### その他の特殊なマイクロコントローラ機能:

- 低消費電力 16 MHz 内部オシレータ:
  - 周波数レンジは 16 MHz ~ 31 kHz でソフトウェアによる選択が可能
  - 工場出荷時に  $\pm 1\%$  (typ.) に校正済み
- 幅広い動作電圧レンジ:
  - 1.8 ~ 3.6 V (PIC10LF320/322)
  - 2.3 ~ 5.5 V (PIC10F320/322)
- パワーオン リセット (POR)
- パワーアップ タイマ (PWRT)
- ブラウンアウト リセット (BOR)
- 超低消費電力スリープ レギュレータ
- 拡張ウォッチドッグ タイマ (WDT)
- プログラム可能なコード保護
- 省電力スリープモード
- 選択可能なオシレータ オプション (EC モードまたは内部オシレータ)
- 2 本のピンを介してのインサーキット シリアル プログラミング™ (ICSP™)
- インサーキット デバッグをサポート
- 固定参照電圧 (FVR)、出力レベルは 1.024 V、2.048 V、4.096 V (「F」タイプのみ)
- 内蔵温度インジケータ
- 40 年間のフラッシュデータ保持

### 低消費電力機能 (PIC10LF320/322):

- スタンバイ電流:
  - 20 nA @ 1.8 V (typ.)
- 動作時電流:
  - 25  $\mu$ A @ 1 MHz、1.8 V、(typ.)
- ウォッチドッグ タイマ電流:
  - 500 nA @ 1.8 V (typ.)

### 周辺機能:

- 4 本の I/O ピン:
  - 1 本の入力専用ピン
  - LED ドライバ用の大電流シンク / ソース
  - 個別に選択可能な弱プルアップ
  - 状態変化割り込み
- Timer0: 8 ビット タイマ / カウンタ、8 ビット プログラマブル プリスケール付き
- Timer2: 8 ビット タイマ / カウンタ、8 ビット 周期レジスタ、プリスケール、ポストスケール付き
- 2 つの PWM モジュール:
  - 10 ビット PWM、最大周波数 16 kHz
  - 単一の 2 相出力に合成
- A/D コンバータ:
  - 8 ビット分解能、3 チャンネル
- 構成可能なロジックセル (CLC):
  - 8 つの選択可能な入力ソース信号
  - モジュールあたり 2 つの入力
  - ソフトウェア選択可能なロジック機能:
    - AND/OR/XOR/D フロップ /D ラッチ /SR/JK
  - 外部または内部の入出力
  - スリープ時の動作
- 数値制御オシレータ (NCO):
  - 20 ビット アキュムレータ
  - 16 ビット インクリメント
  - 線形周波数制御
  - 高速クロック入力
  - 出力モード選択可能
    - 固定デューティ サイクル (FDC)
    - パルス周波数 (PF) モード
- 相補波形ジェネレータ (CWG):
  - 選択可能な立ち上がり / 立ち下がりエッジ デッドバンド制御
  - 極性制御
  - 2 つの自動シャットダウン ソース
  - 複数の入力ソース: PWM、CLC、NCO

# PIC10(L)F320/322

表 1: PIC10(L)F320/322 機能一覧

| デバイス名      | プログラムメモリ<br>フラッシュ<br>(ワード) | SRAM<br>(バイト) | I/O <sup>(1)</sup> | 8 ビット A/D<br>(チャンネル) | CLC | 10 ビット<br>PWM | タイマ<br>8 ビット | NCO | CWG |
|------------|----------------------------|---------------|--------------------|----------------------|-----|---------------|--------------|-----|-----|
| PIC10F320  | 256                        | 64            | 4                  | 3                    | 1   | 2             | 2            | 1   | 1   |
| PIC10LF320 | 256                        | 64            | 4                  | 3                    | 1   | 2             | 2            | 1   | 1   |
| PIC10F322  | 512                        | 64            | 4                  | 3                    | 1   | 2             | 2            | 1   | 1   |
| PIC10LF322 | 512                        | 64            | 4                  | 3                    | 1   | 2             | 2            | 1   | 1   |

Note 1: 1 本は入力専用です。

図 1: PIC10(L)F320/322 の 6 ピン配置図

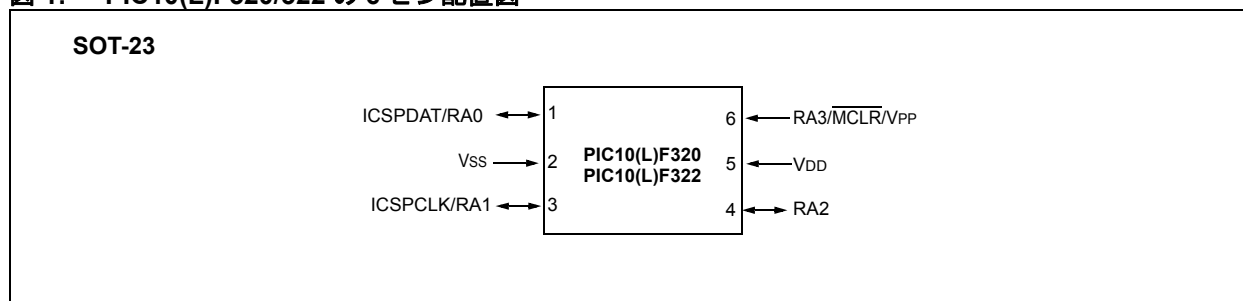


図 2: PIC10(L)F320/322 の 8 ピン配置図

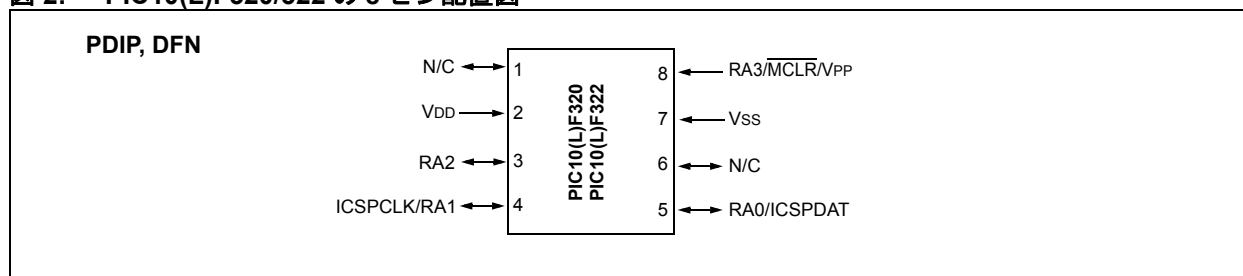


表 2: 6/8 ピン割り当て表 (PIC10(L)F320/322)

| I/O | 6 ピン | 8 ピン | アナログ | タイマ   | PWM  | 割り込み     | プル<br>アップ | CWG     | NCO     | CLC     | 基本    | ICSP    |
|-----|------|------|------|-------|------|----------|-----------|---------|---------|---------|-------|---------|
| RA0 | 1    | 5    | AN0  | —     | PWM1 | IOC0     | 対応        | CWG1A   | —       | CLC1IN1 | —     | ICSPDAT |
| RA1 | 3    | 4    | AN1  | —     | PWM2 | IOC1     | 対応        | CWG1B   | NCO1CLK | CLC1    | CLKIN | ICSPCLK |
| RA2 | 4    | 3    | AN2  | T0CKI | —    | INT/IOC2 | 対応        | CWG1FLT | NCO1    | CLC1IN2 | CLKR  | —       |
| RA3 | 6    | 8    | —    | —     | —    | IOC3     | 対応        | —       | —       | —       | MCLR  | VPP     |
| N/C | —    | 1    | —    | —     | —    | —        | —         | —       | —       | —       | —     | —       |
| N/C | —    | 6    | —    | —     | —    | —        | —         | —       | —       | —       | —     | —       |
| VDD | 5    | 2    | —    | —     | —    | —        | —         | —       | —       | —       | VDD   | —       |
| Vss | 2    | 7    | —    | —     | —    | —        | —         | —       | —       | —       | Vss   | —       |

## 目次

|                 |                                        |     |
|-----------------|----------------------------------------|-----|
| 1.0             | デバイスの概要                                | 7   |
| 2.0             | メモリ構成                                  | 11  |
| 3.0             | デバイス コンフィグレーション                        | 21  |
| 4.0             | オシレータ モジュール                            | 27  |
| 5.0             | リセット                                   | 33  |
| 6.0             | 割り込み                                   | 41  |
| 7.0             | パワーダウン モード (スリープ)                      | 51  |
| 8.0             | ウォッチドッグ タイマ                            | 53  |
| 9.0             | フラッシュ プログラムメモリ制御                       | 57  |
| 10.0            | I/O ポート                                | 75  |
| 11.0            | 状態変化割り込み                               | 81  |
| 12.0            | 固定参照電圧 (FVR)                           | 85  |
| 13.0            | 内部電圧レギュレータ (IVR)                       | 87  |
| 14.0            | 温度インジケータ モジュール                         | 89  |
| 15.0            | A/D コンバータ (ADC) モジュール                  | 91  |
| 16.0            | Timer0 モジュール                           | 101 |
| 17.0            | Timer2 モジュール                           | 105 |
| 18.0            | パルス幅変調 (PWM) モジュール                     | 107 |
| 19.0            | 構成可能なロジックセル (CLC)                      | 113 |
| 20.0            | 数値制御オシレータ (NCO) モジュール                  | 129 |
| 21.0            | 相補波形ジェネレータ (CWG) モジュール                 | 139 |
| 22.0            | In-Circuit Serial Programming™ (ICSP™) | 155 |
| 23.0            | 命令セットの概要                               | 159 |
| 24.0            | 電氣的仕様                                  | 169 |
| 25.0            | DC および AC 特性の図 / 表                     | 187 |
| 26.0            | 開発サポート                                 | 189 |
| 27.0            | パッケージ情報                                | 193 |
| 補遺 A:           | データシート改版履歴                             | 201 |
| 索引              |                                        | 203 |
| マイクロチップ社のウェブサイト |                                        | 207 |
| お客様向け変更通知サービス   |                                        | 207 |
| カスタマサポート        |                                        | 207 |
| お客様アンケート        |                                        | 208 |
| 製品識別システム        |                                        | 209 |

## 大切なお客様へ

マイクロチップ社は、弊社製品を存分にご活用頂くために、文書の作成に最善の努力を尽くしています。このため、弊社はおお客様のニーズにより的確にお応えできるように、継続的に文書の改善に努めて参ります。弊社は新刊、更新版をリリースする際に内容の見直しと充実を図って参ります。

本書に関してご質問またはご意見がございましたら、マーケティング コミュニケーション部宛てにメールまたは FAX でご連絡ください。メールの宛先は [docerrors@microchip.com](mailto:docerrors@microchip.com)、FAX 番号は (480) 792-4150 です。FAX の場合、本書の巻末にある「お客様アンケート」フォームをご利用ください。皆様からのご意見をお待ちしております。

## 最新のデータシート

本データシートの最新版を入手するには、下記のウェブサイトで登録手続きを行ってください。

<http://www.microchip.com> からダウンロードできます。

データシートのリビジョンは、各ページの欄外下隅に記載されている文書番号で確認できます。文書番号の末尾文字がバージョン番号を表します (例: DS30000A\_JP であれば文書 DS30000\_JP のバージョン A)。

## エラッタ

現行デバイスの動作とデータシート上の動作との間に微細な差違が生じた場合、その相違点と推奨対応策を記載したエラッタシートを発行する場合があります。弊社は、デバイスや文書に関する問題を認識した時点でエラッタを発行します。エラッタには、該当するシリコンと文書のリビジョンを明記しています。

ご使用のデバイス向けにエラッタシートが存在するかどうかは、以下の方法で確認できます。

- マイクロチップ社のウェブサイト: <http://www.microchip.com>
- 最寄のマイクロチップ社営業所 (本書の最終ページ参照)

お問い合わせの際は、ご使用のデバイス、シリコンとデータシートのリビジョン (文書番号含む) をお知らせください。

## お客様向け変更通知システム

弊社ウェブサイト ([www.microchip.com](http://www.microchip.com)) でご登録頂くと、弊社の全製品に関する最新情報をお受け取り頂けます。

## 1.0 デバイスの概要

本データシートでは、PIC10(L)F320/322 について説明します。これらのデバイスは 6/8 ピン パッケージで提供しております。図 1-1 に、PIC10(L)F320/322 のブロック図を示します。表 1-2 に、ピン割り当てを示します。

各デバイスで利用可能な周辺機能については、表 1-1 を参照してください。

表 1-1: デバイスの周辺機能一覧

| 周辺機能              |        | PIC10(L)F320 | PIC10(L)F322 |
|-------------------|--------|--------------|--------------|
| A/D コンバータ (ADC)   |        | ●            | ●            |
| 構成可能なロジックセル (CLC) |        | ●            | ●            |
| 相補波形ジェネレータ (CWG)  |        | ●            | ●            |
| 固定参照電圧 (FVR)      |        | ●            | ●            |
| 数値制御オシレータ (NCO)   |        | ●            | ●            |
| 温度インジケータ          |        | ●            | ●            |
| PWM モジュール         |        |              |              |
|                   | PWM1   | ●            | ●            |
|                   | PWM2   | ●            | ●            |
| タイマ               |        |              |              |
|                   | Timer0 | ●            | ●            |
|                   | Timer2 | ●            | ●            |

# PIC10(L)F320/322

図 1-1: PIC10(L)F320/322 のブロック図

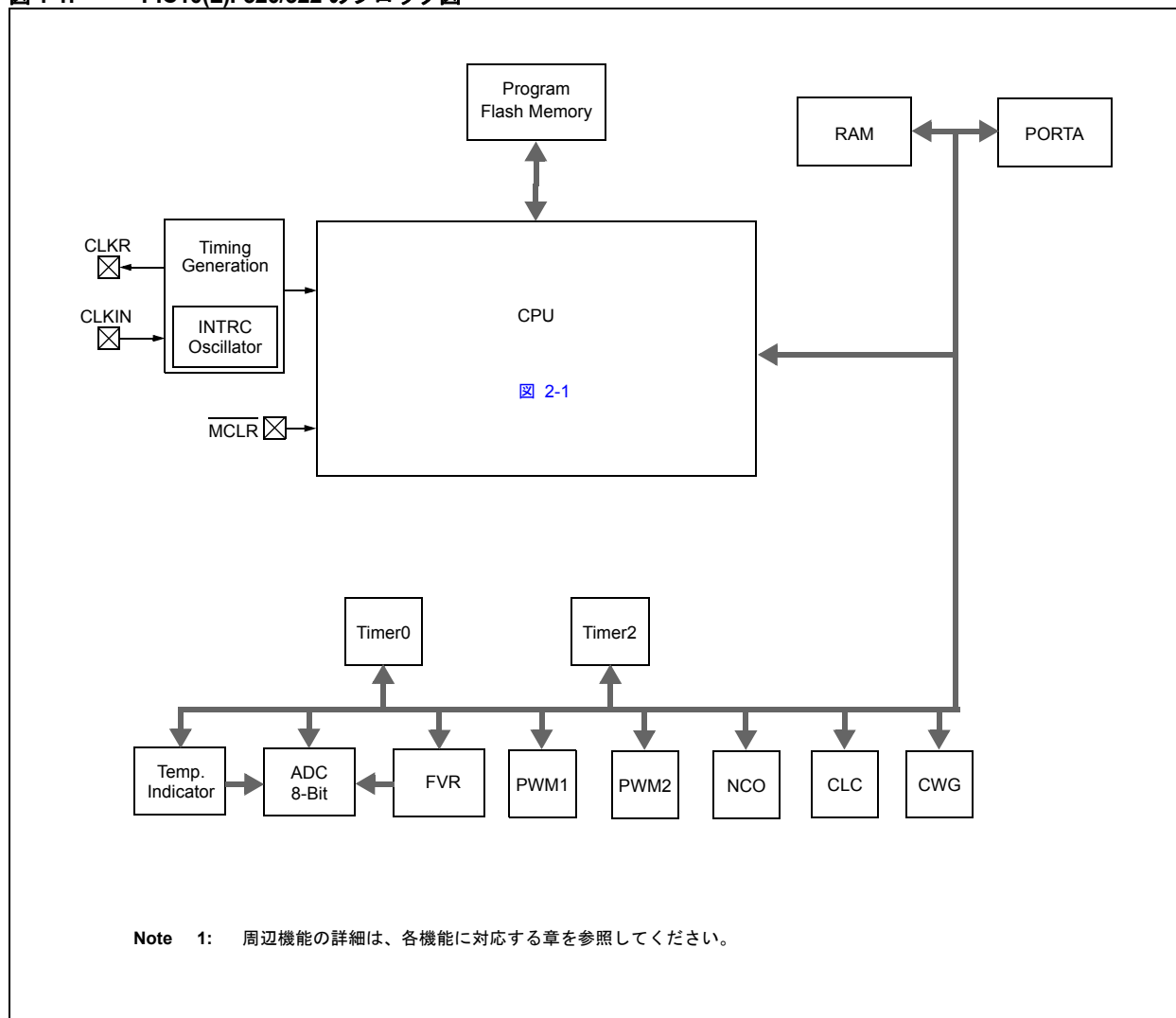


表 1-2: PIC10(L)F320/322 のピン割り当て

| ピン名                                               | 機能      | 入力<br>タイプ | 出力<br>タイプ | 説明                      |
|---------------------------------------------------|---------|-----------|-----------|-------------------------|
| RA0/PWM1/CLC1IN1/CWG1A/<br>AN0/ICSPDAT            | RA0     | TTL       | CMOS      | IOC および WPU 付き汎用 I/O    |
|                                                   | PWM1    | —         | CMOS      | PWM 出力                  |
|                                                   | CLC1IN1 | ST        | —         | CLC 入力                  |
|                                                   | CWG1A   | —         | CMOS      | CWG 主出力                 |
|                                                   | AN0     | AN        | —         | A/D チャンネル入力             |
|                                                   | ICSPDAT | ST        | CMOS      | ICSP™ データ I/O           |
| RA1/PWM2/CLC1/CWG1B/AN1/<br>CLKIN/ICSPCLK/NCO1CLK | RA1     | TTL       | CMOS      | IOC および WPU 付き汎用 I/O    |
|                                                   | PWM2    | —         | CMOS      | PWM 出力                  |
|                                                   | CLC1    | —         | CMOS      | CLC 出力                  |
|                                                   | CWG1B   | —         | CMOS      | CWG 相補出力                |
|                                                   | AN1     | AN        | —         | A/D チャンネル入力             |
|                                                   | CLKIN   | ST        | —         | 外部クロック入力 (EC モード)       |
|                                                   | ICSPCLK | ST        | —         | シリアル プログラミング クロック       |
|                                                   | NCO1CLK | ST        | —         | 数値制御オシレータ外部クロック入力       |
| RA2/INT/T0CKI/NCO1/CLC1IN2/<br>CLKR/AN2/CWG1FLT   | RA2     | TTL       | CMOS      | IOC および WPU 付き汎用 I/O    |
|                                                   | INT     | ST        | —         | 外部割り込み                  |
|                                                   | T0CKI   | ST        | —         | Timer0 クロック入力           |
|                                                   | NCO1    | —         | CMOS      | 数値制御オシレータ出力             |
|                                                   | CLC1IN2 | ST        | —         | CLC 入力                  |
|                                                   | CLKR    | —         | CMOS      | クロックリファレンス出力            |
|                                                   | AN2     | AN        | —         | A/D チャンネル入力             |
|                                                   | CWG1FLT | ST        | —         | 相補波形ジェネレータ Fault1 ソース入力 |
| RA3/MCLR/VPP                                      | RA3     | TTL       | —         | 汎用入力                    |
|                                                   | MCLR    | ST        | —         | 内部プルアップ付きマスタクリア         |
|                                                   | VPP     | HV        | —         | プログラミング電圧               |
| VDD                                               | VDD     | 電源        | —         | 正電源                     |
| VSS                                               | VSS     | 電源        | —         | グラウンド (GND) 参照電圧        |

**凡例:**    AN    = アナログ入出力                      CMOS = CMOS 互換入出力  
              TTL    = TTL レベルの CMOS 入力           ST    = シュミットトリガ レベル付き CMOS 入力  
              HV    = 高電圧

# PIC10(L)F320/322

---

NOTES:

## 2.0 メモリ構成

これらのデバイスは以下のタイプのメモリを搭載しています。

- プログラムメモリ
  - コンフィグレーション ワード
  - デバイス ID
  - ユーザ ID
  - フラッシュ プログラムメモリ
- データメモリ
  - コアレジスタ
  - 特殊機能レジスタ
  - 汎用 RAM
  - 共通 RAM

プログラムメモリとデータメモリのアクセスと制御に関係する機能として、以下のものがあります。

- PCL と PCLATH
- スタック
- 間接アドレス指定

## 2.1 プログラムメモリの構成

ミッドレンジコアには 13 ビットのプログラム カウンタがあり、8K x 14 のプログラムメモリ空間に対するアドレス指定が可能です。このデバイスファミリが実装するのは、8K のプログラムメモリ空間のうち最大 512 ワードのみです。表 2-1 に、PIC10(L)F320/322 ファミリが実装しているメモリサイズを示します。この境界を超える位置にアクセスすると、実装されたメモリ空間内でラップアラウンド (折り返し) が発生します。リセットベクタは 0000h、割り込みベクタは 0004h です (図 2-1 と 2-2 参照)。

表 2-1: デバイスサイズとアドレス

| デバイス名        | プログラムメモリ空間 (ワード) | プログラムメモリの最終アドレス |
|--------------|------------------|-----------------|
| PIC10(L)F320 | 256              | 00FFh           |
| PIC10(L)F322 | 512              | 01FFh           |

# PIC10(L)F320/322

図 2-1: PIC10(L)F320 の  
プログラムメモリ マップとスタック

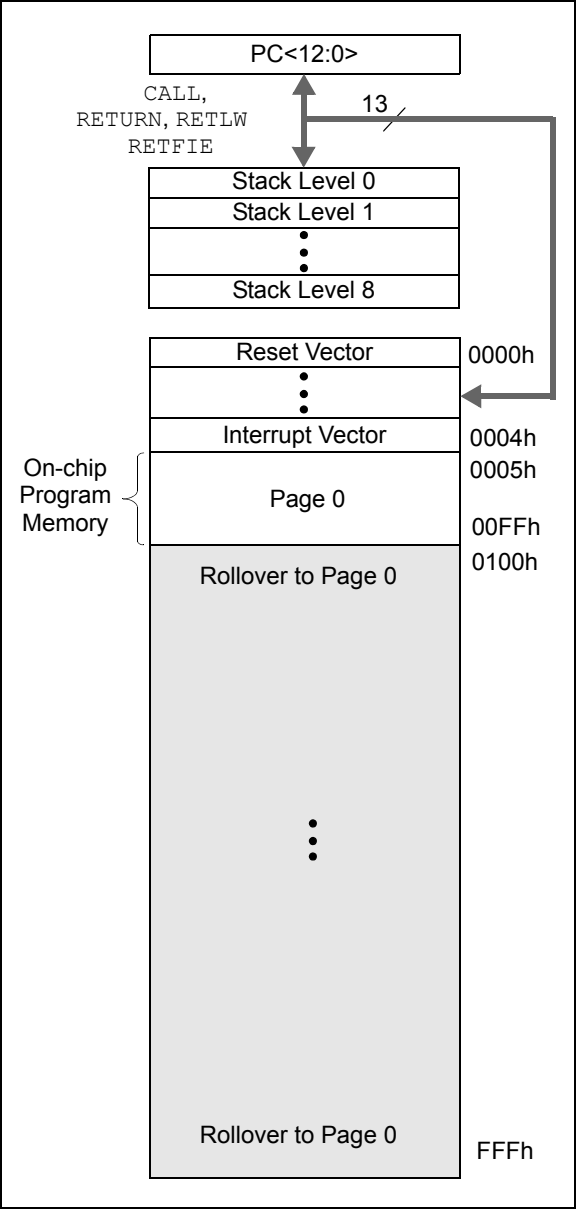
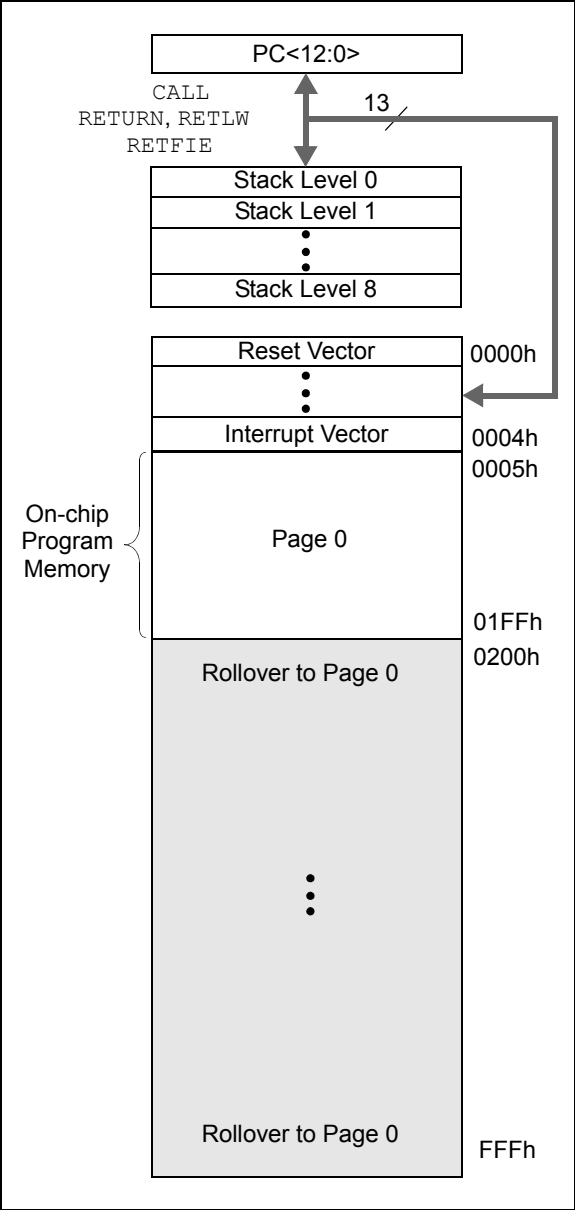


図 2-2: PIC10(L)F322 の  
プログラムメモリ マップとスタック



## 2.2 データメモリの構成

データメモリは 1 つのバンクから構成され、汎用レジスタ (GPR) と特殊機能レジスタ (SFR) を含みます。STATUS レジスタの RP<1:0> ビットがバンク選択ビットです。

RP1 RP0

0 0 → バンク 0 を選択

このバンクは 7Fh まで続きます (128 バイト)。バンクの下位部分は特殊機能レジスタとして予約済みです。特殊機能レジスタの上位にはスタティック RAM として実装された汎用レジスタがあります。

### 2.2.1 汎用レジスタファイル

PIC10(L)F320/322 のレジスタファイルは 64 x 8 構成です。各レジスタにはファイル選択レジスタ (FSR) を介して、直接または間接的にアクセスします ( [セクション 2.4「間接アドレス指定、INDF と FSR レジスタ」](#) 参照 )。

### 2.2.2 特殊機能レジスタ

特殊機能レジスタは、CPU と周辺機能が所定のデバイス動作を制御するために使うレジスタです ( [表 2-3](#) 参照 )。これらのレジスタはスタティック RAM で実装されています。

特殊レジスタはコアと周辺機能の2つに分類できます。このセクションでは、「コア」に関連する特殊機能レジスタについて説明します。周辺機能の動作に関連するレジスタについては、その周辺機能のセクションの中で説明します。

# PIC10(L)F320/322

---

## 2.2.2.1 STATUS レジスタ

STATUS レジスタ ( [レジスタ 2-1](#) 参照 ) の内容は、以下の通りです。

- ALU の演算状態
- リセット状態
- データメモリ (SRAM) のバンク選択ビット

STATUS レジスタは、他の全てのレジスタと同様に、任意の命令の実行結果の格納先とする事ができます。STATUS レジスタが Z、DC、C のいずれかのビットに影響を及ぼす命令の実行結果の格納先である場合、これら 3 つのビットへの書き込みは無効化されます。これらのビットはデバイスのロジックに従ってセットまたはクリアされます。また、 $\overline{TO}$  および  $\overline{PD}$  ビットには書き込みできません。従って、STATUS レジスタを格納先とする命令を実行した場合、意図した結果とならない場合があります。

例えば、CLRF STATUS は上位 3 ビットをクリアし、Z ビットをセットします。これにより、STATUS レジスタの値は「000u u1uu」(u= 不変) を維持します。

従って、STATUS レジスタを変更する際は、BCF、BSF、SWAPF、MOVWF 命令のみを使用する事を推奨します。これらの命令はステータスビットのいずれにも影響を与えないためです。ステータスビットに影響を与えないその他の命令については、[セクション 23.0「命令セットの概要」](#)を参照してください。

**Note 1:** PIC10(L)F320 は、STATUS レジスタの IRP および RP1 ビットを使いません。これらのビットはクリア状態を維持してください。今後の製品に対する上位互換性に影響を与える恐れがあるため、これらのビットは使用しない事を推奨します。

**2:** 減算では、C ビットが  $\overline{Borrow}$ 、DC ビットが  $\overline{Digit Borrow}$  アウトビットとして動作します。

## レジスタ 2-1: STATUS: STATUS レジスタ

| R/W-0/0 | R/W-0/0 | R/W-0/0 | R-1/q           | R-1/q           | R/W-x/u | R/W-x/u | R/W-x/u |
|---------|---------|---------|-----------------|-----------------|---------|---------|---------|
| IRP     | RP1     | RP0     | $\overline{TO}$ | $\overline{PD}$ | Z       | DC      | C       |
| bit 7   |         |         |                 |                 |         |         | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

|         |                                                                                                                                                          |
|---------|----------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 7   | <b>IRP:</b> 予約済み <sup>(2)</sup>                                                                                                                          |
| bit 6-5 | <b>RP&lt;1:0&gt;:</b> 予約済み <sup>(2)</sup>                                                                                                                |
| bit 4   | <b><math>\overline{TO}</math>:</b> タイムアウト ビット<br>1 = 電源投入後、CLRWDT 命令後、または SLEEP 命令後である<br>0 = WDT タイムアウトが発生した                                            |
| bit 3   | <b><math>\overline{PD}</math>:</b> パワーダウン ビット<br>1 = 電源投入後、または CLRWDT 命令後による<br>0 = SLEEP 命令の実行による                                                       |
| bit 2   | <b>Z:</b> ゼロビット<br>1 = 算術演算または論理演算の結果がゼロである<br>0 = 算術演算または論理演算の結果はゼロでない                                                                                  |
| bit 1   | <b>DC:</b> Digit Carry/Borrow ビット (ADDWF、ADDLW、SUBLW、SUBWF 命令) <sup>(1)</sup><br>1 = 結果の最下位から 4 ビット目でキャリーアウトが発生した<br>0 = 結果の最下位から 4 ビット目でキャリーアウトは発生していない |
| bit 0   | <b>C:</b> Carry/Borrow ビット (ADDWF、ADDLW、SUBLW、SUBWF 命令) <sup>(1)</sup><br>1 = 結果の最上位ビットでキャリーアウトが発生した<br>0 = 結果の最上位ビットでキャリーアウトは発生していない                    |

**Note 1:** Borrow の場合、極性は逆です。減算は、第 2 オペランドの 2 の補数を加算する事によって実行します。ローテート命令 (RRF、RLF) の場合、このビットにはソースレジスタの上位または下位ビットが格納されます。

**2:** 「0」を維持してください。

# PIC10(L)F320/322

## 2.2.3 デバイス メモリマップ

表 2-2 に、PIC10(L)F320/322 のメモリマップを示します。

表 2-2: PIC10(L)F320/322 のメモリマップ (バンク 0)

|            |     |           |     |                                       |                                       |
|------------|-----|-----------|-----|---------------------------------------|---------------------------------------|
| INDF(*)    | 00h | PMADRL    | 20h | General Purpose Registers<br>32 Bytes | General Purpose Registers<br>32 Bytes |
| TMR0       | 01h | PMADRH    | 21h |                                       |                                       |
| PCL        | 02h | PMDATL    | 22h |                                       |                                       |
| STATUS     | 03h | PMDATH    | 23h |                                       |                                       |
| FSR        | 04h | PMCON1    | 24h |                                       |                                       |
| PORTA      | 05h | PMCON2    | 25h |                                       |                                       |
| TRISA      | 06h | CLKRCON   | 26h |                                       |                                       |
| LATA       | 07h | NCO1ACCL  | 27h |                                       |                                       |
| ANSELA     | 08h | NCO1ACCH  | 28h |                                       |                                       |
| WPUA       | 09h | NCO1ACCU  | 29h |                                       |                                       |
| PCLATH     | 0Ah | NCO1INCL  | 2Ah |                                       |                                       |
| INTCON     | 0Bh | NCO1INCH  | 2Bh |                                       |                                       |
| PIR1       | 0Ch | Reserved  | 2Ch |                                       |                                       |
| PIE1       | 0Dh | NCO1CON   | 2Dh |                                       |                                       |
| OPTION_REG | 0Eh | NCO1CLK   | 2Eh |                                       |                                       |
| PCON       | 0Fh | Reserved  | 2Fh |                                       |                                       |
| OSCCON     | 10h | WDTCON    | 30h |                                       |                                       |
| TMR2       | 11h | CLC1CON   | 31h |                                       |                                       |
| PR2        | 12h | CLC1SEL1  | 32h |                                       |                                       |
| T2CON      | 13h | CLC1SEL2  | 33h |                                       |                                       |
| PWM1DCL    | 14h | CLC1POL   | 34h |                                       |                                       |
| PWM1DC     | 15h | CLC1GATE1 | 35h |                                       |                                       |
| PWM1CON    | 16h | CLC1GATE2 | 36h |                                       |                                       |
| PWM2DCL    | 17h | CLC1GATE3 | 37h |                                       |                                       |
| PWM2DC     | 18h | CLC1GATE4 | 38h |                                       |                                       |
| PWM2CON    | 19h | CWG1CON0  | 39h |                                       |                                       |
| IOCAP      | 1Ah | CWG1CON1  | 3Ah |                                       |                                       |
| IOCAN      | 1Bh | CWG1ASD   | 3Bh |                                       |                                       |
| IOCAF      | 1Ch | CWG1RC    | 3Ch |                                       |                                       |
| FVRCON     | 1Dh | CWG1FC    | 3Dh |                                       |                                       |
| ADRES      | 1Eh | VREGCON   | 3Eh |                                       |                                       |
| ADCON      | 1Fh | BORCON    | 3Fh |                                       |                                       |
|            |     |           |     | 40h                                   | 60h                                   |
|            |     |           |     | 5Fh                                   | 7Fh                                   |

凡例： ■ = 未実装データメモリ アドレス、「0」として読み出します。

\* = 物理レジスタではありません。

# PIC10(L)F320/322

表 2-3: 特殊機能レジスタのまとめ (バンク 0)

| アドレス  | レジスタ名      | Bit 7                                                            | Bit 6       | Bit 5   | Bit 4           | Bit 3                | Bit 2   | Bit 1                    | Bit 0            | POR、BOR<br>時の値 | その他の<br>リセット時<br>の値 |
|-------|------------|------------------------------------------------------------------|-------------|---------|-----------------|----------------------|---------|--------------------------|------------------|----------------|---------------------|
| バンク 0 |            |                                                                  |             |         |                 |                      |         |                          |                  |                |                     |
| 00h   | INDF       | この位置をアドレス指定すると、FSR の内容によってデータメモリのアドレスが指定されます<br>(物理レジスタではありません)。 |             |         |                 |                      |         |                          |                  | xxxx xxxx      | xxxx xxxx           |
| 01h   | TMR0       | Timer0 モジュール レジスタ                                                |             |         |                 |                      |         |                          |                  | xxxx xxxx      | uuuu uuuu           |
| 02h   | PCL        | プログラム カウンタ (PC) の下位バイト                                           |             |         |                 |                      |         |                          |                  | 0000 0000      | 0000 0000           |
| 03h   | STATUS     | IRP                                                              | RP1         | RP0     | $\overline{TO}$ | $\overline{PD}$      | Z       | DC                       | C                | 0001 1xxx      | 000q quuu           |
| 04h   | FSR        | 間接データメモリ アドレス ポインタ                                               |             |         |                 |                      |         |                          |                  | xxxx xxxx      | uuuu uuuu           |
| 05h   | PORTA      | —                                                                | —           | —       | —               | RA3                  | RA2     | RA1                      | RA0              | ---- xxxx      | ---- uuuu           |
| 06h   | TRISA      | —                                                                | —           | —       | —               | $\overline{TRI}$ (1) | TRISA2  | TRISA1                   | TRISA0           | ---- 1111      | ---- 1111           |
| 07h   | LATA       | —                                                                | —           | —       | —               | —                    | LATA2   | LATA1                    | LATA0            | ---- -xxx      | ---- -uuu           |
| 08h   | ANSELA     | —                                                                | —           | —       | —               | —                    | ANSA2   | ANSA1                    | ANSA0            | ---- -111      | ---- -111           |
| 09h   | WPUA       | —                                                                | —           | —       | —               | WPUA3                | WPUA2   | WPUA1                    | WPUA0            | ---- 1111      | ---- 1111           |
| 0Ah   | PCLATH     | —                                                                | —           | —       | —               | —                    | —       | —                        | PCLH0            | ---- ---0      | ---- ---0           |
| 0Bh   | INTCON     | GIE                                                              | PEIE        | TMR0IE  | INTE            | IOCIE                | TMR0IF  | INTF                     | IOCIF            | 0000 0000      | 0000 000u           |
| 0Ch   | PIR1       | —                                                                | ADIF        | —       | NC01IF          | CLC1IF               | —       | TMR2IF                   | —                | -0-0 0-0-      | -0-0 0-0-           |
| 0Dh   | PIE1       | —                                                                | ADIE        | —       | NC01IE          | CLC1IE               | —       | TMR2IE                   | —                | -0-0 0-0-      | -0-0 0-0-           |
| 0Eh   | OPTION_REG | WPUEN                                                            | INTEDG      | T0CS    | T0SE            | PSA                  | PS<2:0> |                          |                  | 1111 1111      | uuuu uuuu           |
| 0Fh   | PCON       | —                                                                | —           | —       | —               | —                    | —       | $\overline{POR}$         | $\overline{BOR}$ | ---- --qq      | ---- --uu           |
| 10h   | OSCCON     | —                                                                | IRCF<2:0>   |         |                 | HFIOFR               | —       | LFIOFR                   | HFIOFS           | -110 0-00      | -110 0-00           |
| 11h   | TMR2       | Timer2 モジュール レジスタ                                                |             |         |                 |                      |         |                          |                  | 0000 0000      | 0000 0000           |
| 12h   | PR2        | Timer2 周期レジスタ                                                    |             |         |                 |                      |         |                          |                  | 1111 1111      | 1111 1111           |
| 13h   | T2CON      | —                                                                | TOUTPS<3:0> |         |                 |                      | TMR2ON  | T2CKPS1                  | T2CKPS0          | -000 0000      | -000 0000           |
| 14h   | PWM1DCL    | PWM1DCL<1:0>                                                     |             | —       | —               | —                    | —       | —                        | —                | xx-- ----      | uu-- ----           |
| 15h   | PWM1DCH    | PWM1DCH<7:0>                                                     |             |         |                 |                      |         |                          |                  | xxxx xxxx      | uuuu uuuu           |
| 16h   | PWM1CON    | PWM1EN                                                           | PWM1OE      | PWM1OUT | PWM1POL         | —                    | —       | —                        | —                | 0000 ----      | 0000 ----           |
| 17h   | PWM2DCL    | PWM2DCL<1:0>                                                     |             | —       | —               | —                    | —       | —                        | —                | xx-- ----      | uu-- ----           |
| 18h   | PWM2DCH    | PWM2DCH<7:0>                                                     |             |         |                 |                      |         |                          |                  | xxxx xxxx      | uuuu uuuu           |
| 19h   | PWM2CON    | PWM2EN                                                           | PWM2OE      | PWM2OUT | PWM2POL         | —                    | —       | —                        | —                | 0000 ----      | 0000 ----           |
| 1Ah   | IOCAP      | —                                                                | —           | —       | —               | IOCAP3               | IOCAP2  | IOCAP1                   | IOCAP0           | ---- 0000      | ---- 0000           |
| 1Bh   | IOCAN      | —                                                                | —           | —       | —               | IOCAN3               | IOCAN2  | IOCAN1                   | IOCAN0           | ---- 0000      | ---- 0000           |
| 1Ch   | IOCAF      | —                                                                | —           | —       | —               | IOCAF3               | IOCAF2  | IOCAF1                   | IOCAF0           | ---- 0000      | ---- 0000           |
| 1Dh   | FVRCON     | FVREN                                                            | FVRRDY      | TSEN    | TSRNG           | —                    | —       | ADFVR<1:0>               |                  | 0x00 --00      | 0x00 --00           |
| 1Eh   | ADRES      | A/D 変換結果レジスタ                                                     |             |         |                 |                      |         |                          |                  | xxxx xxxx      | uuuu uuuu           |
| 1Fh   | ADCON      | ADCS<2:0>                                                        |             |         | CHS<2:0>        |                      |         | $\overline{GO}/$<br>DONE | ADON             | 0000 0000      | 0000 0000           |

凡例: x = 未知、u = 不変、q = 条件による、— = 未実装 (「0」として読み出し)、r = 予約済みです。  
網掛け部分は未実装で「0」として読み出されます。

Note 1: 未実装、「1」として読み出されます。

# PIC10(L)F320/322

表 2-3: 特殊機能レジスタのまとめ (バンク 0) (続き)

| アドレス       | レジスタ名    | Bit 7                            | Bit 6       | Bit 5        | Bit 4    | Bit 3                 | Bit 2        | Bit 1     | Bit 0      | POR、BOR<br>時の値 | その他の<br>リセット時<br>の値 |
|------------|----------|----------------------------------|-------------|--------------|----------|-----------------------|--------------|-----------|------------|----------------|---------------------|
| バンク 0 (続き) |          |                                  |             |              |          |                       |              |           |            |                |                     |
| 20h        | PMADRL   | PMADR<7:0>                       |             |              |          |                       |              |           |            | 0000 0000      | 0000 0000           |
| 21h        | PMADRH   | —                                | —           | —            | —        | —                     | —            | —         | PMADR8     | ---- --0       | ---- --0            |
| 22h        | PMDATL   | PMDAT<7:0>                       |             |              |          |                       |              |           |            | xxxx xxxx      | uuuu uuuu           |
| 23h        | PMDATH   | —                                | —           | PMDAT<13:8>  |          |                       |              |           |            | --xx xxxx      | --uu uuuu           |
| 24h        | PMCON1   | —                                | CFG5        | LWLO         | FREE     | WRERR                 | WREN         | WR        | RD         | 1000 0000      | 1000 q000           |
| 25h        | PMCON2   | プログラムメモリ制御レジスタ 2 (物理レジスタではありません) |             |              |          |                       |              |           |            | 0000 0000      | 0000 0000           |
| 26h        | CLKRCON  | —                                | CLKROE      | —            | —        | —                     | —            | —         | —          | -0-- ----      | -0-- ----           |
| 27h        | NCO1ACCL | NCO1 アキュムレータ <7:0>               |             |              |          |                       |              |           |            | 0000 0000      | 0000 0000           |
| 28h        | NCO1ACCH | NCO1 アキュムレータ <15:8>              |             |              |          |                       |              |           |            | 0000 0000      | 0000 0000           |
| 29h        | NCO1ACCU | —                                |             |              |          | NCO1 アキュムレータ <19..16> |              |           |            | ---- 0000      | ---- 0000           |
| 2Ah        | NCO1INCL | NCO1 インクリメント <7:0>               |             |              |          |                       |              |           |            | 0000 0001      | 0000 0001           |
| 2Bh        | NCO1INCH | NCO1 インクリメント <15:8>              |             |              |          |                       |              |           |            | 0000 0000      | 0000 0000           |
| 2Ch        | —        | 未実装                              |             |              |          |                       |              |           |            | —              | —                   |
| 2Dh        | NCO1CON  | N1EN                             | N1OE        | N1OUT        | N1POL    | —                     | —            | —         | N1PFM      | 0000 ---0      | 00x0 ---0           |
| 2Eh        | NCO1CLK  | N1PWS<2:0>                       |             |              |          | —                     | —            | —         | N1CKS<1:0> | 000- --00      | 000- --00           |
| 2Fh        | 予約済み     | 予約済み                             |             |              |          |                       |              |           |            | xxxx xxxx      | uuuu uuuu           |
| 30h        | WDTCON   | —                                | —           | WDTPS<4:0>   |          |                       |              |           | SWDTEN     | --01 0110      | --01 0110           |
| 31h        | CLC1CON  | LC1EN                            | LC1OE       | LC1OUT       | LC1INTP  | LC1INTN               | LC1MODE<2:0> |           |            | 00x0 -000      | 00x0 -000           |
| 32h        | CLC1SEL0 | —                                | LC1D2S<2:0> |              |          | —                     | LC1D1S<2:0>  |           |            | -xxx -xxx      | -uuu -uuu           |
| 33h        | CLC1SEL1 | —                                | LC1D4S<2:0> |              |          | —                     | LC1D3S<2:0>  |           |            | -xxx -xxx      | -uuu -uuu           |
| 34h        | CLC1POL  | LC1POL                           | —           | —            | —        | LC1G4POL              | LC1G3POL     | LC1G2POL  | LC1G1POL   | 0--- xxxx      | 0--- uuuu           |
| 35h        | CLC1GLS0 | LC1G1D4T                         | LC1G1D4N    | LC1G1D3T     | LC1G1D3N | LC1G1D2T              | LC1G1D2N     | LC1G1D1T  | LC1G1D1N   | xxxx xxxx      | uuuu uuuu           |
| 36h        | CLC1GLS1 | LC1G2D4T                         | LC1G2D4N    | LC1G2D3T     | LC1G2D3N | LC1G2D2T              | LC1G2D2N     | LC1G2D1T  | LC1G2D1N   | xxxx xxxx      | uuuu uuuu           |
| 37h        | CLC1GLS2 | LC1G3D4T                         | LC1G3D4N    | LC1G3D3T     | LC1G3D3N | LC1G3D2T              | LC1G3D2N     | LC1G3D1T  | LC1G3D1N   | xxxx xxxx      | uuuu uuuu           |
| 38h        | CLC1GLS3 | LC1G4D4T                         | LC1G4D4N    | LC1G4D3T     | LC1G4D3N | LC1G4D2T              | LC1G4D2N     | LC1G4D1T  | LC1G4D1N   | xxxx xxxx      | uuuu uuuu           |
| 39h        | CWG1CON0 | G1EN                             | G1OEB       | G1OEA        | G1POLB   | G1POLA                | —            | —         | G1CS0      | 0000 0--0      | 0000 0--0           |
| 3Ah        | CWG1CON1 | G1ASDLB<1:0>                     |             | G1ASDLA<1:0> |          | —                     | —            | G1IS<1:0> |            | xxxx --xx      | uuuu --uu           |
| 3Bh        | CWG1CON2 | G1ASE                            | G1ARSEN     | —            | —        | —                     | —            | G1ASDCLC1 | G1ASDFLT   | xx-- --xx      | uu-- --uu           |
| 3Ch        | CWG1DBR  | —                                | —           | CWG1DBR<5:0> |          |                       |              |           |            | --xx xxxx      | --uu uuuu           |
| 3Dh        | CWG1DBF  | —                                | —           | CWG1DBF<5:0> |          |                       |              |           |            | --xx xxxx      | --uu uuuu           |
| 3Eh        | VREGCON  | —                                | —           | —            | —        | —                     | —            | VREGPM1   | 予約済み       | ---- --01      | ---- --01           |
| 3Fh        | BORCON   | SBOREN                           | BORFS       | —            | —        | —                     | —            | —         | BORRDY     | 10-- ---q      | uu-- ---u           |

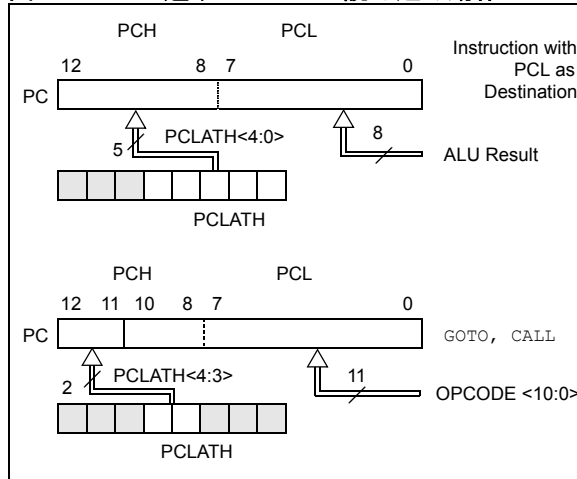
凡例: x = 未知、u = 不変、q = 条件による、— = 未実装 (「0」として読み出し)、r = 予約済みです。  
網掛け部分は未実装で「0」として読み出されます。

Note 1: 未実装、「1」として読み出されます。

## 2.3 PCL と PCLATH

プログラムカウンタ (PC) は 13 ビット幅です。プログラムカウンタの下位バイトには、読み書き可能なレジスタである PCL レジスタの値が格納されます。上位バイト (PC<12:8>) には PCLATH の値が格納され、これらは直接読み書きできません。何らかのリセットが発生すると、PC はクリアされます。図 2-3 に、2 通りの PC 読み込み方法を示します。図 2-3 の上の例は、PCL への書き込みを実行した場合の PC への読み込み動作です (PCLATH<4:0> → PCH)。図 2-3 の下の例は、CALL または GOTO 命令を実行した場合の PC への読み込み動作です (PCLATH<4:3> → PCH)。

図 2-3: 2 通りの PC への読み込み動作



### 2.3.1 PCL の書き換え

PCL を格納先とする命令を実行すると、同時にプログラムカウンタ PC<12:8> ビット (PCH) が PCLATH レジスタの内容で置き換えられます。このため、所定の上位 5 ビットを PCLATH レジスタに書き込むだけで、プログラムカウンタの内容全体を変更できます。下位 8 ビットを PCL レジスタに書き込むと、プログラムカウンタの 13 ビット全てが PCLATH レジスタに格納された値と PCL レジスタに書き込まれた値に変更されます。

計算型 GOTO は、プログラムカウンタにオフセットを加算する事によって実行されます (ADDWF PCL)。PCL レジスタを変更してルックアップテーブルまたはプログラム分岐テーブルにジャンプする (計算型 GOTO) 場合は注意が必要です。PCLATH にテーブルの開始アドレスを設定する場合を考えると、テーブル長が 255 命令を超えるか、メモリアドレスの下位 8 ビットがテーブルの途中で 0xFF から 0x00 にロールオーバーする場合、テーブルの先頭とテーブル内の目標位置の間でアドレスロールオーバーが発生するたびに PCLATH をインクリメントする必要があります。

詳細は、アプリケーションノート AN556『Implementing a Table Read』 (DS00556) を参照してください。

### 2.3.2 スタック

全てのデバイスが、8 段 x 13 ビット幅のハードウェアスタックを装備しています (図 2-1 参照)。スタック空間は、プログラム空間とデータ空間のいずれにも属しません。また、スタックポインタは読み出し、書き込み不可です。CALL 命令が実行された場合、または割り込みによって分岐が発生した場合、PC の値がスタックにプッシュされます。RETURN、RETLW、RETFIE 命令のいずれかが実行されると、スタックから値がポップされます。PCLATH はプッシュまたはポップの影響を受けません。

スタックはリングバッファとして機能します。つまり、スタックが 8 回プッシュされると、9 回目にプッシュされた値は、1 回目のプッシュで格納された値を上書きします。10 回目のプッシュでは 2 回目のプッシュ値が上書きされます (以降同様)。

**Note 1:** スタックオーバーフローまたはスタックアンダーフロー条件を示すステータスビットは存在しません。

**2:** PUSH または POP と呼ばれる命令/ニーモニックはありません。これらは、CALL、RETURN、RETLW、RETFIE 命令の実行時、または割り込みアドレスへのベクタ処理時に発生する動作を指しています。

## 2.4 間接アドレス指定、INDF と FSR レジスタ

INDF レジスタは物理レジスタではありません。INDF レジスタのアドレスを指定すると、間接アドレス指定が実行されます。

間接アドレス指定は INDF レジスタによって可能です。INDF レジスタを使う命令は、実際には FSR (ファイルセレクトレジスタ) が指し示すデータにアクセスします。INDF 自体を間接読み出した場合は 00h が返されます。INDF レジスタへの間接書き込みにおいては、書き込み動作は生じません (ただし、ステータスビットが変化する場合があります)。図 2-4 に示すように、8 ビットの FSR と STATUS レジスタの IRP ビットを連結する事で、実質 9 ビットのアドレスが得られます。

例 2-1 に、間接アドレス指定を用いて RAM 位置の 40h ~ 7Fh をクリアする簡単なプログラムを示します。

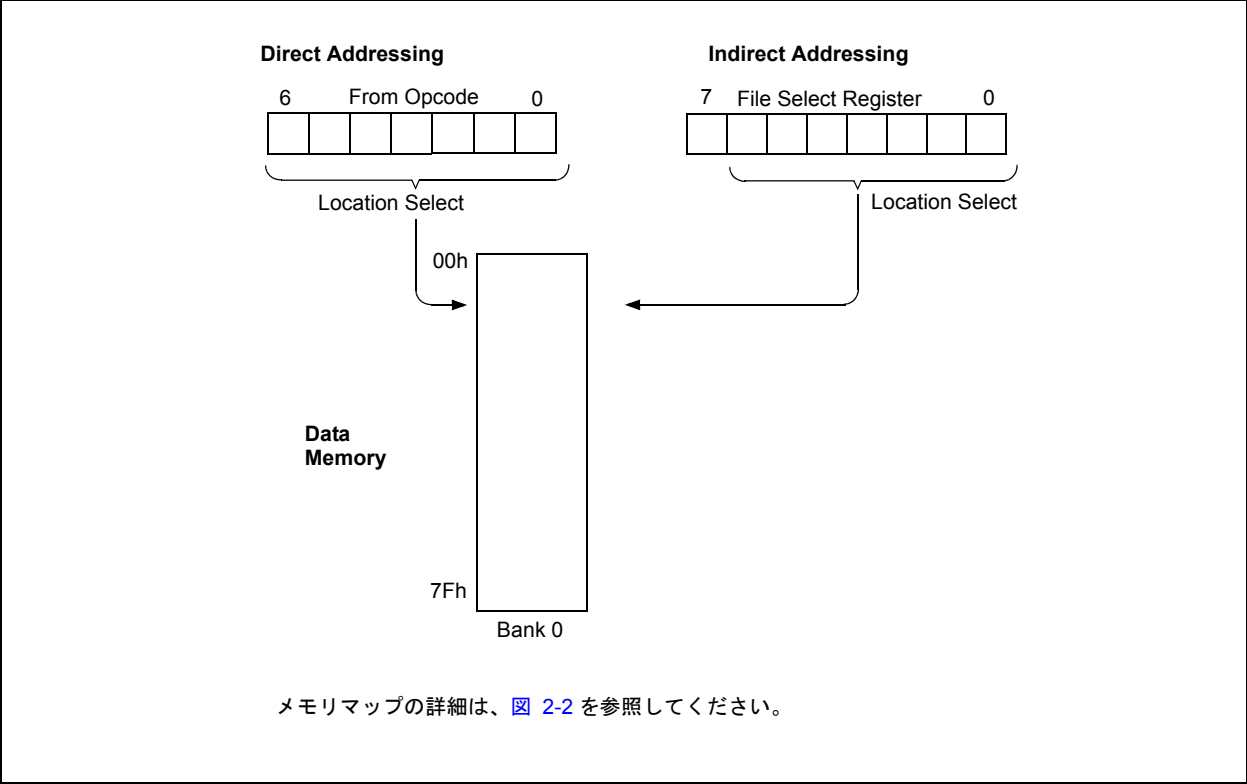
例 2-1: 間接アドレス指定

```

MOVLW    0x40    ;initialize pointer
MOVWF    FSR     ;to RAM
NEXT      CLRF    INDF ;clear INDF register
          INCF    FSR ;inc pointer
          BTFSS   FSR,7 ;all done?
          GOTO    NEXT ;no clear next
CONTINUE  ;yes continue
    
```

# PIC10(L)F320/322

図 2-4: PIC10(L)F320/322 の直接 / 間接アドレス指定



## 3.0 デバイス コンフィグレーション

デバイス コンフィグレーションは、コンフィグレーション ワードとデバイス ID から構成されます。

### 3.1 コンフィグレーション ワード

コンフィグレーション ワード ビットを使うと、オシレータとメモリ保護の各種オプションを選択できます。これらはコンフィグレーション ワードとして 2007h に実装されます。

# PIC10(L)F320/322

## レジスタ 3-1: CONFIG: コンフィグレーション ワード

|        |          |         |         |         |         |
|--------|----------|---------|---------|---------|---------|
| U-1    | R/P-1/1  | R/P-1/1 | R/P-1/1 | R/P-1/1 | R/P-1/1 |
| —      | WRT<1:0> |         | BORV    | LPBOR   | LVP     |
| bit 13 |          |         |         |         | bit 8   |

|         |         |         |           |            |         |         |
|---------|---------|---------|-----------|------------|---------|---------|
| R/P-1/1 | R/P-1/1 | R/P-1/1 | R/P-1/1   | R/P-1/1    | R/P-1/1 | R/P-1/1 |
| CP      | MCLRE   | PWRTÉ   | WDTE<1:0> | BOREN<1:0> | FOSC    |         |
| bit 7   |         |         |           |            |         | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | P = 書き込み可能ビット                           |

bit 13 未実装: 「1」として読み出し

bit 12-11 **WRT<1:0>**: フラッシュメモリ自己書き込み保護ビット

256 W フラッシュメモリ: PIC10(L)F320:

11 = 書き込み保護を OFF にする

10 = 000h ~ 03Fh を書き込み保護状態にし、040h ~ 0FFh を PMCON 制御によって変更可能にする

01 = 000h ~ 07Fh を書き込み保護状態にし、080h ~ 0FFh を PMCON 制御によって変更可能にする

00 = 000h ~ 0FFh を書き込み保護状態にし、PMCON 制御によるアドレス変更を不可にする

512 W フラッシュメモリ: PIC10(L)F322:

11 = 書き込み保護を OFF にする

10 = 000h ~ 07Fh を書き込み保護状態にし、080h ~ 1FFh を PMCON 制御によって変更可能にする

01 = 000h ~ 0FFh を書き込み保護状態にし、100h ~ 1FFh を PMCON 制御によって変更可能にする

00 = 000h ~ 1FFh を書き込み保護状態にし、PMCON 制御によるアドレス変更を不可にする

bit 10 **BORV**: ブラウンアウト リセット電圧選択ビット

1 = ブラウンアウト リセット電圧 (VBOR) を 1.9 V (PIC10LF320/322) または 2.4 V (PIC10F320/322) に設定する

0 = ブラウンアウト リセット電圧 (VBOR) を 2.7 V に設定する

bit 9 **LPBOR**: 低消費電力ブラウンアウト リセット イネーブルビット

1 = 低消費電力ブラウンアウト リセットを有効にする

0 = 低消費電力ブラウンアウト リセットを無効にする

bit 8 **LVP**: 低電圧プログラミング イネーブルビット

1 = 低電圧プログラミングを有効にする。MCLR/VPP ピンは MCLR として機能する

0 = プログラミングのために MCLR/VPP ピンに高電圧を必要とする

bit 7 **CP**: コード保護ビット (2)

1 = プログラムメモリのコード保護を無効にする

0 = プログラムメモリのコード保護を有効にする

bit 6 **MCLRE**: MCLR/VPP ピン機能選択ビット

LVP ビット = 1 の場合:

このビットは無視される

LVP ビット = 0 の場合:

1 = MCLR/VPP ピンは MCLR として機能する。弱プルアップを有効にする

0 = MCLR/VPP ピンはデジタル入力として機能する。MCLR を内部で無効にし、弱プルアップは WPUA3 ビットで制御する

**Note 1:** ブラウンアウト リセットを有効にしても、パワーアップ タイマは自動的に有効になりません。

**2:** 一度コード保護を有効にしたら、無効にするにはデバイスをバルク消去する必要があります。

## レジスタ 3-1: CONFIG: コンフィグレーション ワード ( 続き )

|         |                                                                                                                                                                                                                                                      |
|---------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 5   | <b>PWRT</b> : パワーアップ タイマ イネーブルビット (1)<br>1 = PWRT を無効にする<br>0 = PWRT を有効にする                                                                                                                                                                          |
| bit 4-3 | <b>WDT&lt;1:0&gt;</b> : ウォッチドッグ タイマ イネーブルビット<br>11 = WDT を有効にする<br>10 = WDT を動作時に有効、スリープ時に無効にする<br>01 = WDT を WDTCON レジスタの SWDTEN ビットで制御する<br>00 = WDT を無効にする                                                                                        |
| bit 2-1 | <b>BOREN&lt;1:0&gt;</b> : ブラウンアウト リセット イネーブルビット<br>11 = ブラウンアウト リセットを有効にする。SBOREN ビットは無視する<br>10 = ブラウンアウト リセットをデバイス動作中は有効、スリープ時は無効にする。SBOREN ビットは無視する<br>01 = ブラウンアウト リセットを BORCON レジスタの SBOREN ビットで制御する<br>00 = ブラウンアウト リセットを無効にする。SBOREN ビットは無視する |
| bit 0   | <b>FOSC</b> : オシレータ選択ビット<br>1 = CLKIN ピンに EC を印加する<br>0 = CLKIN ピンの INTOSC オシレータ I/O 機能を有効にする                                                                                                                                                        |

- Note 1:** ブラウンアウト リセットを有効にしても、パワーアップ タイマは自動的に有効になりません。  
**2:** 一度コード保護を有効にしたら、無効にするにはデバイスをバルク消去する必要があります。

## 3.2 コード保護

コード保護を使うと、不正なアクセスからデバイスを保護できます。プログラムメモリの保護と、データメモリの保護は別々に制御されます。プログラムメモリとデータメモリへの内部アクセスは、コード保護のいかなる設定の影響も受けません。

### 3.2.1 プログラムメモリ保護

コンフィグレーションワードの  $\overline{CP}$  ビットによって、プログラムメモリ空間全体が外部の読み書きから保護されます。 $CP = 0$  の場合、プログラムメモリに対する外部の読み書きが禁止され、読み出し動作には全て「0」が返されます。保護ビットの設定にかかわらず、CPU は常にプログラムメモリを読み出す事ができます。プログラムメモリへ書き込めるかどうかは、書き込み保護設定で決まります。詳細は、[セクション 3.3「書き込み保護」](#)を参照してください。

## 3.3 書き込み保護

書き込み保護によって、意図しない自己書き込みからデバイスを保護できます。ブートローダソフトウェア等のアプリケーションを保護する一方、プログラムメモリの他の部分に対する変更を許可できます。

コンフィグレーションワードの  $WRT<1:0>$  ビットによって、保護するプログラムメモリブロックのサイズを定義します。

## 3.4 ユーザ ID

ユーザがチェックサムまたはその他のコード識別番号を格納できる ID 位置として、4 つのメモリ位置 (2000h ~ 2003h) が指定されています。これらの位置には、通常動作時に読み書きが可能です。これらのメモリ位置へのアクセスに関する詳細は、[セクション 3.5「デバイス ID とリビジョン ID」](#)を参照してください。チェックサム計算の詳細は、『PIC10(L)F320/322 Flash Memory Programming Specification』(DS41572)を参照してください。



# PIC10(L)F320/322

---

NOTES:

## 4.0 オシレータ モジュール

### 4.1 概要

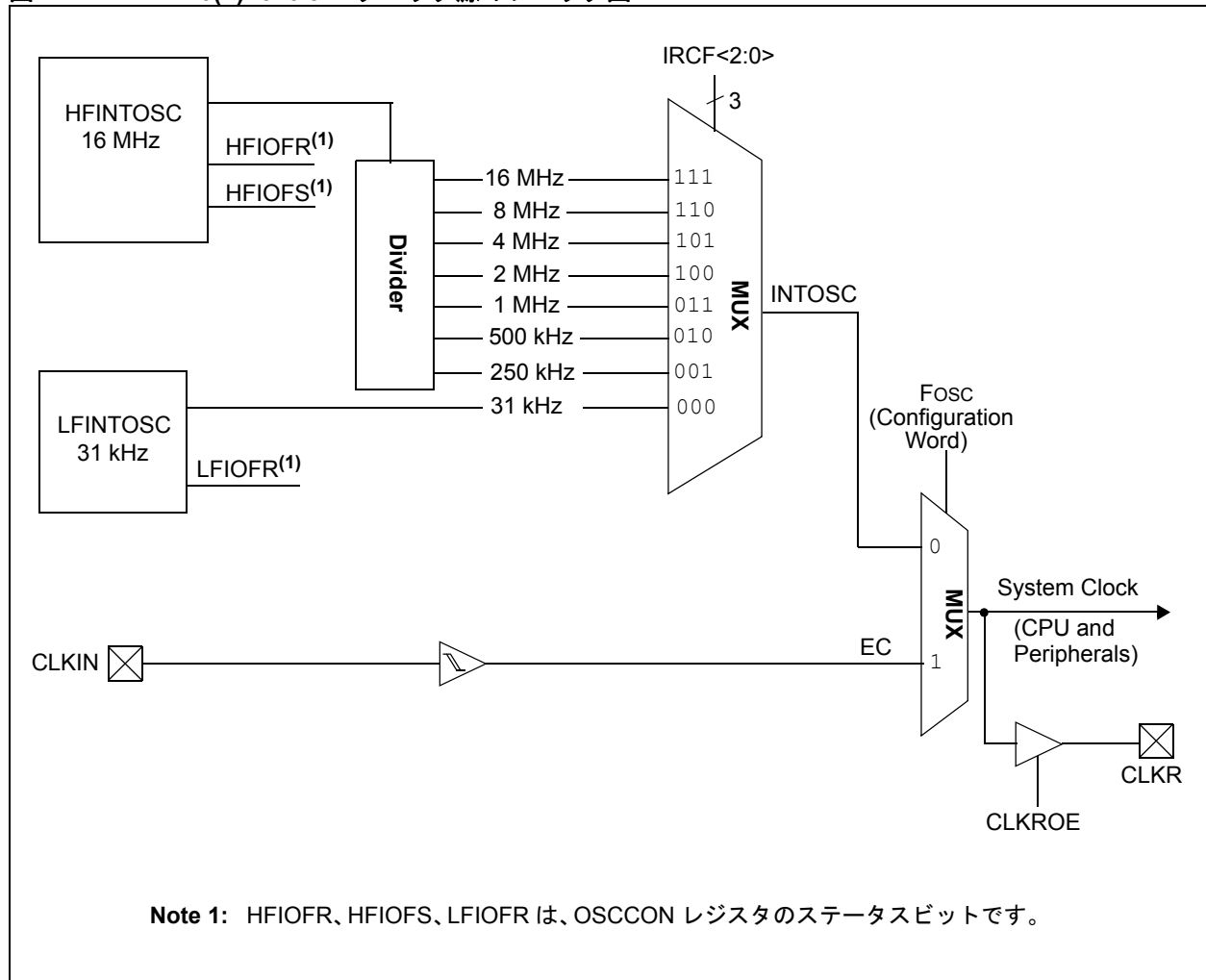
オシレータ モジュールは、性能を最大限に高めながら消費電力を最小限に抑え、幅広いアプリケーションに適用できる、各種のクロック源と選択機能を備えています。図 4-1 に、オシレータ モジュールのブロック図を示します。

このシステムは、校正済みの内蔵高周波数オシレータをクロック源として使用する設定が可能です。動作速度はソフトウェアによって選択できます。

クロック源のモードは、コンフィグレーション ワード (CONFIG) の FOSC ビットで設定します。

1. CLKIN 入力による EC オシレータモード
2. CLKIN を無効にした INTOSC オシレータモード

図 4-1: PIC10(L)F320/322 クロック源のブロック図



## 4.2 クロック源のモード

クロック源モードは外部モードと内部モードに分類されます。

- 内部クロック源 (INTOSC) は、オシレータ モジュールに含まれます。モジュールは 8 つの出力周波数を選択可能であり、内部周波数の最大値は 16 MHz です。
- 外部クロック (EC) モードでは、外部の信号をクロック源として使用します。

システムクロックに外部クロック源と内部クロック源のどちらを使用するかは、コンフィグレーションワードの FOSC ビットで選択します。

## 4.3 内部クロックモード

内部クロック源はオシレータ モジュール内に統合されています。内部オシレータ ブロックには、内部システムクロック源の全てを生成する 2 つの内部オシレータがあります。16 MHz の高周波数内部オシレータ (HFINTOSC: High-Frequency Internal Oscillator) と、31 kHz の低周波数内部オシレータ (LFINTOSC: Low-Frequency Internal Oscillator) です。

HFINTOSC は、プライマリ クロックとセカンダリ クロックから構成されます。セカンダリ クロックは短時間で起動しますが精度が劣ります。セカンダリ クロックのレディ信号は、OSCCON レジスタの HFIOFR ビットによって示されます。プライマリ クロックは起動に時間を要するものの、より高い精度が得られます。プライマリ クロックの動作が安定すると、OSCCON レジスタの HFIOFS ビットが High に遷移します。

### 4.3.1 INTOSC モード

コンフィグレーションワードの FOSC ビットをクリアすると、INTOSC モードが選択されます。INTOSC を選択した場合、CLKIN ピンは汎用 I/O として使えます。詳細は、[セクション 3.0「デバイス コンフィグレーション」](#)を参照してください。

### 4.3.2 周波数選択ビット (IRCF)

16 MHz の HFINTOSC 出力は、分周回路とマルチプレクサに接続されています ( [図 4-1](#) 参照 )。内部オシレータの周波数出力は、OSCCON レジスタの内部オシレータ周波数選択ビット (IRCF) によって選択します。

- HFINTOSC
  - 16 MHz
  - 8 MHz ( リセット後の既定値 )
  - 4 MHz
  - 2 MHz
  - 1 MHz
  - 500 kHz
  - 250 kHz
- LFINTOSC
  - 31 kHz

**Note:** 全てのリセット後、OSCCON レジスタの IRCF<2:0> ビットは「110」にセットされ、周波数 8 MHz が選択されます。IRCF ビットを変更する事で、別の周波数を選択できます。

IRCF ビットによって HFINTOSC の周波数を切り換える場合、遅延は発生しません。この動作では、周波数出力の分周回路が切り換わるだけだからです。

起動時の遅延に関する仕様は、[セクション 24.0「電氣的仕様」](#)に記載されています。

## 4.3.3 参照クロック出力制御

Fosc/4 出力は、CLKRCON レジスタの CLKROE ビットで有効にします。この信号は、TRIS の設定に関係なくピンを駆動します。

**レジスタ 4-1: CLKRCON – 参照クロック制御レジスタ**

| U-0   | R/W-0/0 | U-0 | U-0 | U-0 | U-0 | U-0 | U-0   |
|-------|---------|-----|-----|-----|-----|-----|-------|
| —     | CLKROE  | —   | —   | —   | —   | —   | —     |
| bit 7 |         |     |     |     |     |     | bit 0 |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 -n = POR 時の値      「1」= ビットはセット      「0」= ビットはクリア      x = ビットは未知  
 q = 条件による

bit 7      **未実装:** 「0」として読み出し  
 bit 6      **CLKROE:** 参照クロック出力イネーブルビット  
             1 = TRIS 設定に関係なく参照クロック (CLKR) を出力する  
             0 = 参照クロック出力を無効にする  
 bit 5-0      **未実装:** 「0」として読み出し

# PIC10(L)F320/322

## 4.4 オシレータ制御レジスタ

### 4.4.1 オシレータ制御

オシレータ制御レジスタ(OSCCON)(レジスタ 4-2)は、オシレータのレディ状態と安定性を示すと共に、内部オシレータ (INTOSC) システムクロックの周波数を選択できます。

レジスタ 4-2: OSCCON: オシレータ制御レジスタ

| U-0   | R/W-1/1   | R/W-1/1 | R/W-0/0 | R-0/0  | U-0 | R-0/0  | R-0/0  |
|-------|-----------|---------|---------|--------|-----|--------|--------|
| —     | IRCF<2:0> |         |         | HFIOFR | —   | LFIOFR | HFIOFS |
| bit 7 |           |         |         | bit 0  |     |        |        |

#### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

|         |                                                                                                                                                                                               |
|---------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 7   | <b>未実装:</b> 「0」として読み出し                                                                                                                                                                        |
| bit 6-4 | <b>IRCF&lt;2:0&gt;:</b> INTOSC (Fosc) 周波数選択ビット<br>111 = 16 MHz<br>110 = 8 MHz (既定値)<br>101 = 4 MHz<br>100 = 2 MHz<br>011 = 1 MHz<br>010 = 500 kHz<br>001 = 250 kHz<br>000 = 31 kHz (LFINTOSC) |
| bit 3   | <b>HFIOFR:</b> 高周波数内部オシレータレディ ビット<br>1 = 16 MHz 内部オシレータ (HFINTOSC) がレディ状態である<br>0 = 16 MHz 内部オシレータ (HFINTOSC) がレディ状態ではない                                                                      |
| bit 2   | <b>未実装:</b> 「0」として読み出し                                                                                                                                                                        |
| bit 1   | <b>LFIOFR:</b> 低周波数内部オシレータレディ ビット<br>1 = 31 kHz 内部オシレータ (LFINTOSC) がレディ状態である<br>0 = 31 kHz 内部オシレータ (LFINTOSC) がレディ状態ではない                                                                      |
| bit 0   | <b>HFIOFS:</b> 高周波数内部オシレータ安定状態ビット<br>1 = 16 MHz 内部オシレータ (HFINTOSC) が安定状態である<br>0 = 16 MHz 内部オシレータ (HFINTOSC) が安定状態ではない                                                                        |

## 4.5 外部クロックモード

### 4.5.1 EC モード

外部クロック (EC) モードでは、外部で生成された論理レベル信号をシステムクロック源として使用できます。このモードでは CLKIN 入力に外部クロック源を接続します。

表 4-1: クロック源関連レジスタのまとめ

| レジスタ名   | Bit 7 | Bit 6     | Bit 5 | Bit 4 | Bit 3  | Bit 2 | Bit 1  | Bit 0  | レジスタ<br>内容記載<br>ページ |
|---------|-------|-----------|-------|-------|--------|-------|--------|--------|---------------------|
| CLKRCON | —     | CLKROE    | —     | —     | —      | —     | —      | —      | 29                  |
| OSCCON  | —     | IRCF<2:0> |       |       | HFIOFR | —     | LFIOFR | HFIOFS | 30                  |

凡例: x = 未知、u = 変化なし、— = 未実装 (「0」として読み出し)、網掛け部分は ECWG では使用しません。

表 4-2: クロック源関連コンフィグレーションワードのまとめ

| レジスタ名  | Bit  | Bit -/7         | Bit -/6 | Bit 13/5           | Bit 12/4  | Bit 11/3 | Bit 10/2   | Bit 9/1 | Bit 8/0 | レジスタ<br>内容記載<br>ページ |
|--------|------|-----------------|---------|--------------------|-----------|----------|------------|---------|---------|---------------------|
| CONFIG | 13:8 | —               | —       | —                  | WRT<1:0>  |          | BORV       | LPBOR   | LVP     | 22                  |
|        | 7:0  | $\overline{CP}$ | MCLRE   | $\overline{PWRTE}$ | WDTE<1:0> |          | BOREN<1:0> |         | FOSC    |                     |

凡例: — = 未実装 (「0」として読み出し)、網掛け部分はクロック源では使用しません。

# PIC10(L)F320/322

---

NOTES:

## 5.0 リセット

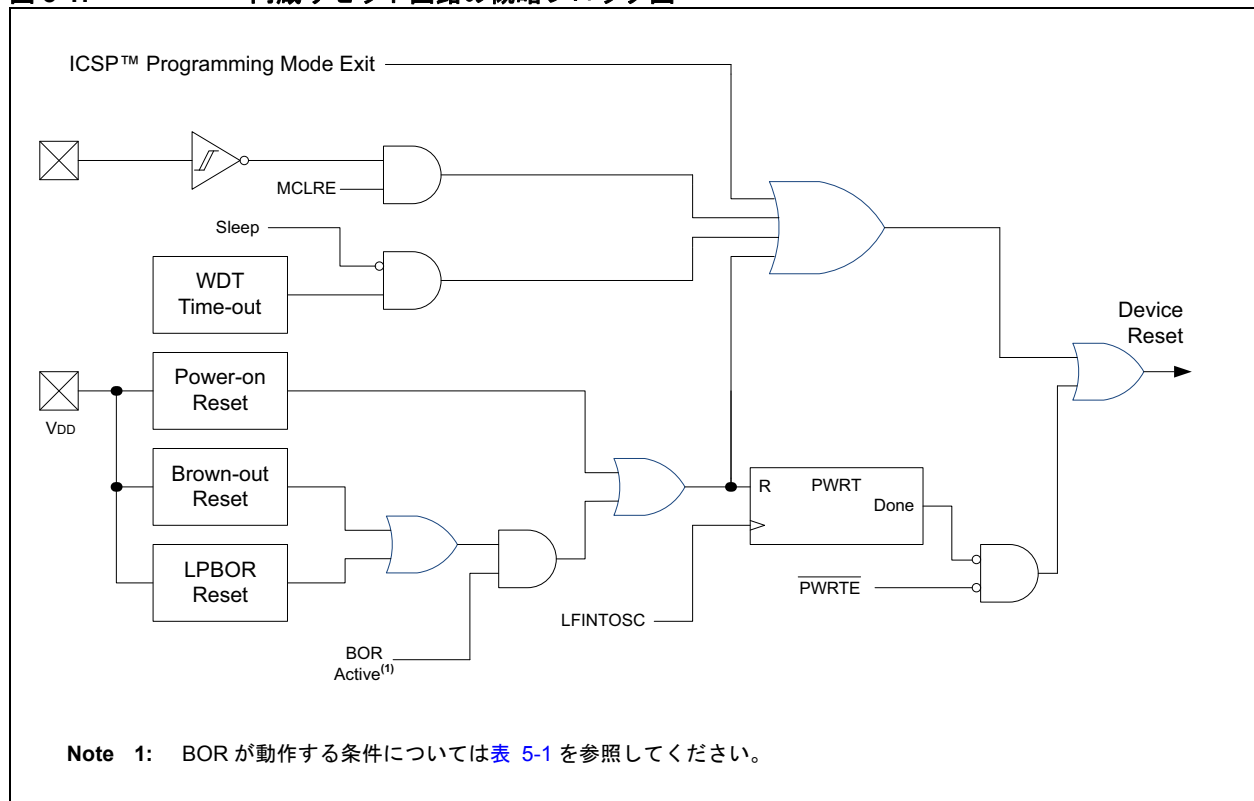
このデバイスは下記の複数の方法でリセットできます。

- パワーオン リセット (POR)
- ブラウンアウト リセット (BOR)
- 低消費電力ブラウンアウト リセット (LPBOR)
- MCLR リセット
- WDT リセット
- プログラミング モードの終了

VDD を安定させるため、BOR または POR 後のリセット時間を延長するパワーアップ タイマを有効にする事もできます。

図 5-1 に、内蔵リセット回路の概略ブロック図を示します。

図 5-1: 内蔵リセット回路の概略ブロック図



# PIC10(L)F320/322

## 5.1 パワーオン リセット (POR)

VDD が最小許容値に達するまで、POR 回路はデバイスをリセット状態に保ちます。VDD の立ち上がりが遅い場合、デバイスを高速で動作させる場合、アナログ性能によっては、最小 VDD より高く設定する必要があります。PWRT、BOR、MCLR 機能を使うと、デバイスの動作条件が全て満たされるまで起動期間を延長することができます。

### 5.1.1 パワーアップ タイマ (PWRT)

パワーアップ タイマは、POR またはブラウンアウト リセット時に、公称 64 ms のタイムアウトを提供します。

PWRT がアクティブの間、デバイスはリセット状態に維持されます。PWRT が追加する遅延時間によって VDD が許容レベルまで立ち上がる事を期待できます。パワーアップ タイマを有効にするには、コンフィグレーションワードの PWRT<sub>EN</sub> ビットをクリアします。

パワーアップ タイマは POR または BOR の解除後に起動します。

詳細は、アプリケーション ノート AN607 『Power-up Trouble Shooting』 (DS00607) を参照してください。

## 5.2 ブラウンアウト リセット (BOR)

BOR 回路は、VDD がユーザが設定する最低レベルまで低下すると、デバイスをリセット状態に維持します。POR と BOR を使う事で、デバイスが正常動作レンジ外の Vdd で動作する事を防止できます。

ブラウンアウト リセット モジュールにはコンフィグレーションワードの BOREN<1:0> ビットによって制御される、以下の 4 つの動作モードがあります。

- BOR を常時 ON にする
- BOR をスリープ時に OFF にする
- BOR をソフトウェアで制御する
- BOR を常時 OFF にする

詳細は表 5-1 を参照してください。

ブラウンアウト リセットの電圧レベルは、レジスタ 3-1 の BORV ビットで設定できます。

VDD のノイズ除去フィルタは、小さな電圧変動によって BOR がトリガされる事を防ぎます。VDD がパラメータ TBORDC よりも長い期間 VBOR を下回ると、デバイスがリセットされます。詳細は、図 5-2 を参照してください。

表 5-1: BOR の動作モード

| BOREN<1:0> | SBOREN | デバイスモード | BOR モード | POR 解除時 / スリープからの復帰時のデバイス動作 |
|------------|--------|---------|---------|-----------------------------|
| 11         | X      | X       | 有効      | BOR レディを待機 <sup>(1)</sup>   |
| 10         | X      | 通常動作時   | 有効      | BOR レディを待機                  |
|            |        | スリープ時   | 無効      |                             |
| 01         | 1      | X       | 有効      | ただちに起動                      |
|            | 0      | X       | 無効      |                             |
| 00         | X      | X       | 無効      |                             |

**Note 1:** この場合 BOR を待機すると書かれていますが、BOR は既に動作しているため遅延は生じません。

### 5.2.1 BOR を常時 ON にする

コンフィグレーションワードの BOREN ビットを「11」にプログラムすると、BOR が常時 ON 状態を保ちます。BOR がレディ状態になり、VDD が BOR しきい値より高くなるまで、デバイスの起動を遅延させます。

BOR 保護はスリープ中も有効です。BOR によってスリープからの復帰時に遅延が発生する事はありません。

### 5.2.2 BOR をスリープ時に OFF にする

コンフィグレーションワードの BOREN ビットを「10」にプログラムすると、スリープ時を除いて BOR が ON 状態を保ちます。BOR がレディ状態になり、VDD が BOR しきい値より高くなるまで、デバイスの起動を遅延させます。

BOR 保護はスリープ中は無効です。スリープからの復帰時、BOR がレディ状態になるまで待機します。

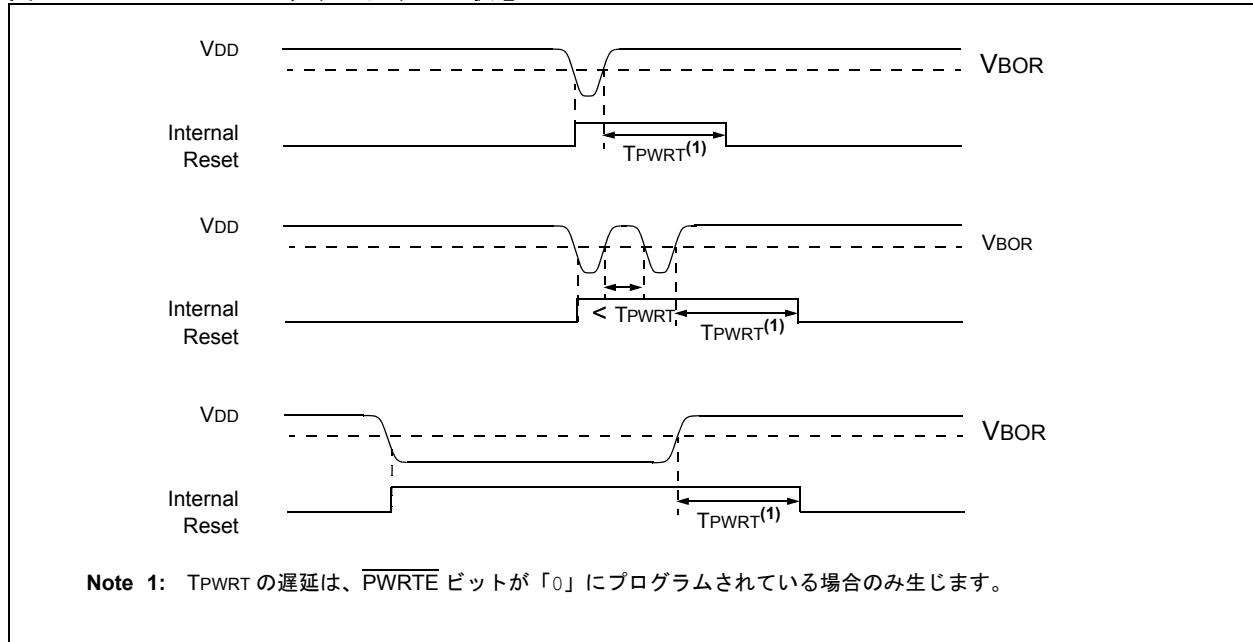
### 5.2.3 BOR をソフトウェアで制御する

コンフィグレーションワードの BOREN ビットを「01」にプログラムした場合、BOR の挙動は BORCON レジスタの SBOREN ビットによって決まります。デバイスの起動は、BOR のレディ状態または VDD レベルによって遅延する事はありません。

BOR 保護は、BOR 回路の準備が整うとただちに開始します。BOR 回路の状態は、BORCON レジスタの BORRDY ビットに反映されます。

BOR 保護の状態はスリープによって変化しません。

図 5-2: ブラウンアウトの状態



レジスタ 5-1: BORCON: ブラウンアウト リセット制御レジスタ

| R/W-1/u | R/W-0/u | U-0 | U-0 | U-0 | U-0 | U-0 | R-q/u  |
|---------|---------|-----|-----|-----|-----|-----|--------|
| SBOREN  | BORFS   | —   | —   | —   | —   | —   | BORRDY |
| bit 7   |         |     |     |     |     |     | bit 0  |

**凡例:**

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

bit 7 **SBOREN:** ソフトウェア制御ブラウンアウト リセット イネーブルビット

コンフィグレーションワードの  $\text{BOREN} \langle 1:0 \rangle \neq 01$  の場合:

SBOREN は読み書き可能だが、BOR へ影響しない

コンフィグレーションワードの  $\text{BOREN} \langle 1:0 \rangle = 01$  の場合:

1 = BOR を有効にする

0 = BOR を無効にする

bit 6 **BORFS:** ブラウンアウト リセット高速起動ビット<sup>(1)</sup>

$\text{BOREN} \langle 1:0 \rangle = 11$  (常時 ON)、または  $\text{BOREN} \langle 1:0 \rangle = 00$  (常時 OFF) の場合:

BORFS は読み書き可能だが、BOR へ影響しない

$\text{BOREN} \langle 1:0 \rangle = 10$  (スリープ時無効)、または  $\text{BOREN} \langle 1:0 \rangle = 01$  (ソフトウェア制御) の場合:

1 = バンドギャップを強制的に常時 ON にする (スリープ / 復帰 / 通常動作の各条件に適用)

0 = バンドギャップは通常動作するが、停止可能である

bit 5-1 **未実装:** 「0」として読み出し

bit 0 **BORRDY:** ブラウンアウト リセット回路レディステータスビット

1 = ブラウンアウト リセット回路がアクティブである

0 = ブラウンアウト リセット回路はアクティブでない

**Note 1:**  $\text{BOREN} \langle 1:0 \rangle$  ビットはコンフィグレーションワード内にあります。

## 5.3 低消費電力ブラウンアウト リセット (LPBOR)

低消費電力ブラウンアウト リセット (LPBOR) は、リセット サブシステムに不可欠な部分です。BOR と他のモジュールとの相互作用については、[図 5-1](#) を参照してください。

LPBOR は外部 VDD ピンの監視に使います。一定の値より低い電圧が検出されると、デバイスはリセット状態に保持されます。その場合、レジスタビット (BOR) が変化し、BOR リセットが発生した事を示します。BOR と LPBOR は、いずれも同じビットをセットします。[レジスタ 5-2](#) を参照してください。

### 5.3.1 LPBOR の有効化

LPBORはコンフィグレーションワードのLPBORビットによって制御します。デバイスを消去すると、LPBOR モジュールは既定値 (無効) に戻ります。

#### 5.3.1.1 LPBOR モジュールの出力

LPBOR モジュールの出力は、リセットを実行するかどうかを示す信号です。この信号と BOR モジュールのリセット信号の論理和 (OR) を取る事で、PCON レジスタと電源制御ブロックに入力される汎用 BOR 信号が得られます。

## 5.4 MCLR

MCLRはデバイスをリセットする外部入力です。MCLRの機能は、コンフィグレーションワードの MCLRE ビットと LVP ビットによって制御します ([表 5-2](#))。

表 5-2: MCLR の設定

| MCLRE | LVP | MCLR |
|-------|-----|------|
| 0     | 0   | 無効   |
| 1     | 0   | 有効   |
| x     | 1   | 有効   |

### 5.4.1 MCLR 有効

MCLR を有効にして、このピンを Low に保持すると、デバイスはリセット状態を維持します。MCLR ピンは、デバイス内部の弱プルアップ回路を介して VDD に接続されています。

デバイスの MCLR リセットパスはノイズフィルタを備えています。このフィルタによって、小さなパルスは検出されても無視されます。

**Note:** リセットは MCLR ピンを Low に駆動しません。

### 5.4.2 MCLR 無効

MCLR が無効の場合、このピンは汎用入力として機能し、内部の弱プルアップ回路はソフトウェアが制御します。

## 5.5 ウォッチドッグタイマ (WDT) リセット

ウォッチドッグ タイマは、タイムアウト期間内にファームウェアが CLRWDT 命令を発行しないとリセットを生成します。STATUS レジスタの  $\overline{\text{TO}}$  ビットと PD ビットの変化が WDT リセットを示します。詳細は、[セクション 8.0「ウォッチドッグタイマ」](#) を参照してください。

## 5.6 プログラミング モード ICSP の終了

プログラミング モードを終了すると、デバイスは POR 発生時のように動作します。

## 5.7 パワーアップ タイマ

必要に応じてパワーアップ タイマを使用し、BOR または POR イベント後のデバイス実行を遅延させる事ができます。このタイマは通常、デバイスが動作を開始する前に VDD を安定化させるために使用します。

パワーアップ タイマはコンフィグレーションワードの PWRT $\overline{\text{E}}$  ビットによって制御します。

## 5.8 起動シーケンス

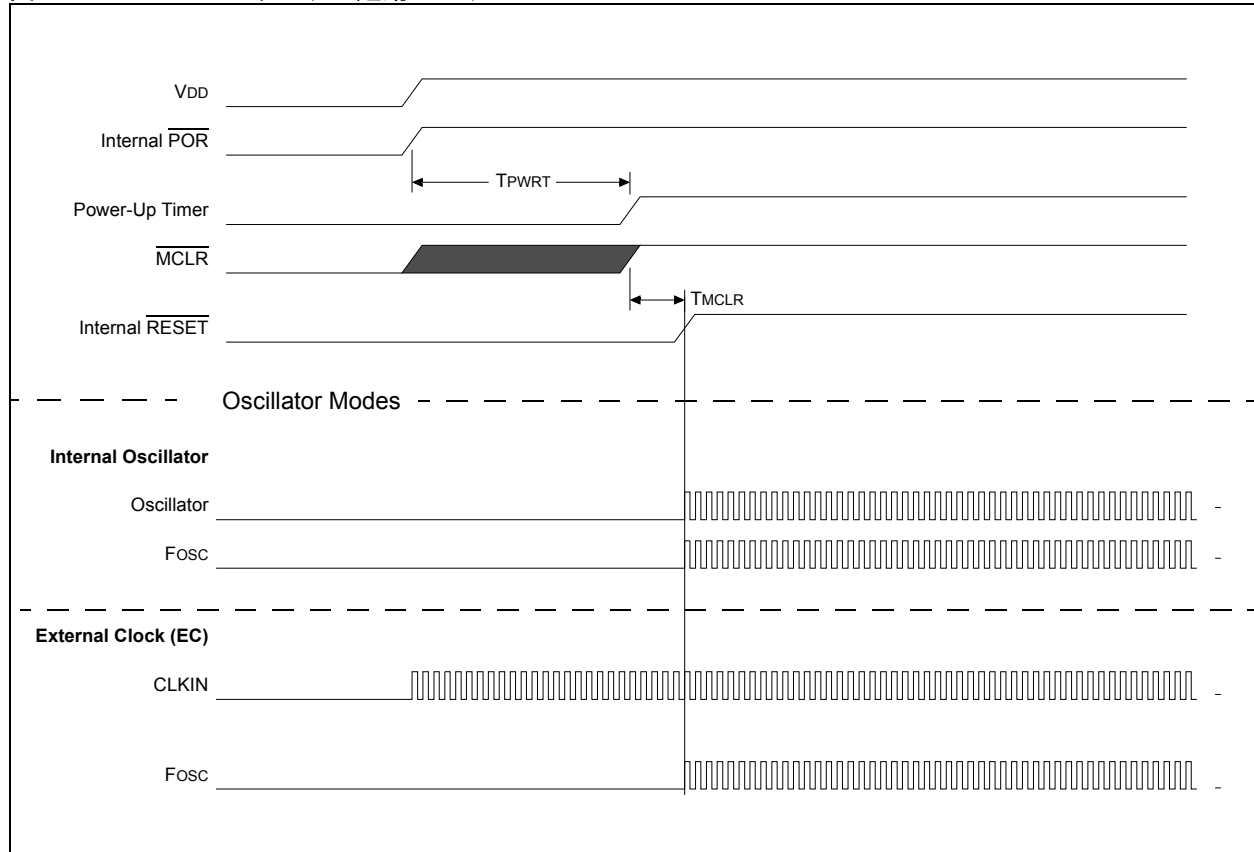
POR または BOR の解除後にデバイスが実行を開始するには、以下の条件が満たされる必要があります。

1. パワーアップタイマのカウント終了(有効な場合)
2. MCLR の解除 (有効な場合)

タイムアウトの合計時間は、オシレータとパワーアップタイマの設定で決まります。詳細は、[セクション 4.0「オシレータ モジュール」](#) を参照してください。

パワーアップ タイマは、MCLR リセットとは別に動作します。MCLR を十分長い期間 Low に保持すると、パワーアップタイマがタイムアウトします。MCLR を High にすると、ただちにプログラムの実行が開始します ([図 5-3](#) 参照)。これは、テスト時または並列動作している複数のデバイスの同期を取る場合に便利です。

**図 5-3: リセット起動シーケンス**



# PIC10(L)F320/322

## 5.9 リセット原因の特定

リセットが発生すると STATUS および PCON レジスタのビット値が変化します。これらのビットを観察するとリセットの原因が分かります。表 5-3 と表 5-4 にこれらのレジスタのリセット時の状態を示します。

表 5-3: リセットステータスビットとその意味

| POR | BOR | TO | PD | リセットの状態          |
|-----|-----|----|----|------------------|
| 0   | x   | 1  | 1  | パワーオン リセット       |
| u   | 0   | 1  | 1  | ブラウンアウト リセット     |
| u   | u   | 0  | u  | WDT リセット         |
| u   | u   | 0  | 0  | スリープからの WDT 復帰   |
| u   | u   | u  | u  | 通常動作中の MCLR リセット |
| u   | u   | 1  | 0  | スリープ中の MCLR リセット |

表 5-4: 特殊レジスタのリセット時の状態

| リセットの状態          | 書き込みカウンタ              | STATUS レジスタ | PCON レジスタ |
|------------------|-----------------------|-------------|-----------|
| パワーオン リセット       | 0000h                 | 0001 1000   | ---- --0x |
| 通常動作中の MCLR リセット | 0000h                 | 000u uuuu   | ---- --uu |
| スリープ中の MCLR リセット | 0000h                 | 0001 0uuu   | ---- --uu |
| WDT リセット         | 0000h                 | 0000 uuuu   | ---- --uu |
| スリープからの WDT 復帰   | PC + 1                | 0000 0uuu   | ---- --uu |
| ブラウンアウト リセット     | 0000h                 | 0001 1uuu   | ---- --u0 |
| スリープからの割り込み復帰    | PC + 1 <sup>(1)</sup> | 0001 0uuu   | ---- --uu |

凡例: u = 不変、x = 未知、- = 未実装 (「0」として読み出し)

Note 1: ウェイクアップが割り込みによって発生し、かつ GIE (グローバル イネーブルビット) がセットされている場合、リターンアドレス値がスタックにプッシュされ、PC+1 の実行後に PC に割り込みベクタ (0004h) が読み込まれます。

## 5.10 PCON レジスタ

PCON レジスタはリセットの種類を示すフラグビットを格納しています。

- パワーオン リセット ( $\overline{\text{POR}}$ )
- ブラウンアウト リセット ( $\overline{\text{BOR}}$ )

レジスタ 5-2 に PCON レジスタの各ビットを示します。

レジスタ 5-2: PCON: 電源制御レジスタ

| U-0   | U-0 | U-0 | U-0 | U-0 | U-0 | R/W/HC-q/u              | R/W/HC-q/u              |
|-------|-----|-----|-----|-----|-----|-------------------------|-------------------------|
| —     | —   | —   | —   | —   | —   | $\overline{\text{POR}}$ | $\overline{\text{BOR}}$ |
| bit 7 |     |     |     |     |     | bit 0                   |                         |

### 凡例:

HC = ビットはハードウェアでクリア

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し

u = ビットは不変      x = ビットは未知      -n/n = POR および BOR 時の値 / その他の全てのリセット時の値

「1」= ビットはセット      「0」= ビットはクリア      q = 条件による

bit 7-2      **未実装:** 「0」として読み出し

bit 1      **POR:** パワーオン リセット ステータスビット

1 = パワーオン リセットは発生していない

0 = パワーオン リセットが発生した ( パワーオン リセット発生後はソフトウェアでセットする必要がある )

bit 0      **BOR:** ブラウンアウト リセット ステータスビット

1 = ブラウンアウト リセットは発生していない

0 = ブラウンアウト リセットが発生した ( パワーオン リセットまたはブラウンアウト リセット発生後はソフトウェアでセットする必要がある )

表 5-5: リセット関連レジスタのまとめ

| レジスタ名  | Bit 7  | Bit 6 | Bit 5      | Bit 4                  | Bit 3                  | Bit 2 | Bit 1                   | Bit 0                   | レジスタ<br>内容記載<br>ページ |
|--------|--------|-------|------------|------------------------|------------------------|-------|-------------------------|-------------------------|---------------------|
| BORCON | SBOREN | BORFS | —          | —                      | —                      | —     | —                       | BORRDY                  | 35                  |
| PCON   | —      | —     | —          | —                      | —                      | —     | $\overline{\text{POR}}$ | $\overline{\text{BOR}}$ | 39                  |
| STATUS | IRP    | RP1   | RP0        | $\overline{\text{TO}}$ | $\overline{\text{PD}}$ | Z     | DC                      | C                       | 15                  |
| WDTCON | —      | —     | WDTPS<4:0> |                        |                        |       |                         | SWDTEN                  | 55                  |

凡例:      — = 未実装ビット、「0」として読み出し、網掛けのビットはリセットでは使用しません。

表 5-6: リセット関連のコンフィグレーション ワードのまとめ

| レジスタ名  | Bit  | Bit -/7                | Bit -/6 | Bit 13/5                  | Bit 12/4  | Bit 11/3 | Bit 10/2   | Bit 9/1 | Bit 8/0 | レジスタ<br>内容記載<br>ページ |
|--------|------|------------------------|---------|---------------------------|-----------|----------|------------|---------|---------|---------------------|
| CONFIG | 13:8 | —                      | —       | —                         | WRT<1:0>  |          | BORV       | LPBOR   | LVP     | 22                  |
|        | 7:0  | $\overline{\text{CP}}$ | MCLRE   | $\overline{\text{PWRTE}}$ | WDTE<1:0> |          | BOREN<1:0> |         | FOSC    |                     |

凡例:      — = 未実装ビット、「0」として読み出し、網掛けのビットはリセットでは使用しません。

# PIC10(L)F320/322

---

NOTES:

## 6.0 割り込み

割り込み機能は、特定のイベントが通常のプログラムフローに割り込む事ができるようにします。ファームウェアを使って割り込み要因を判断し、それに基づいて動作します。MCU をスリープから復帰させるように設定できる割り込みもあります。

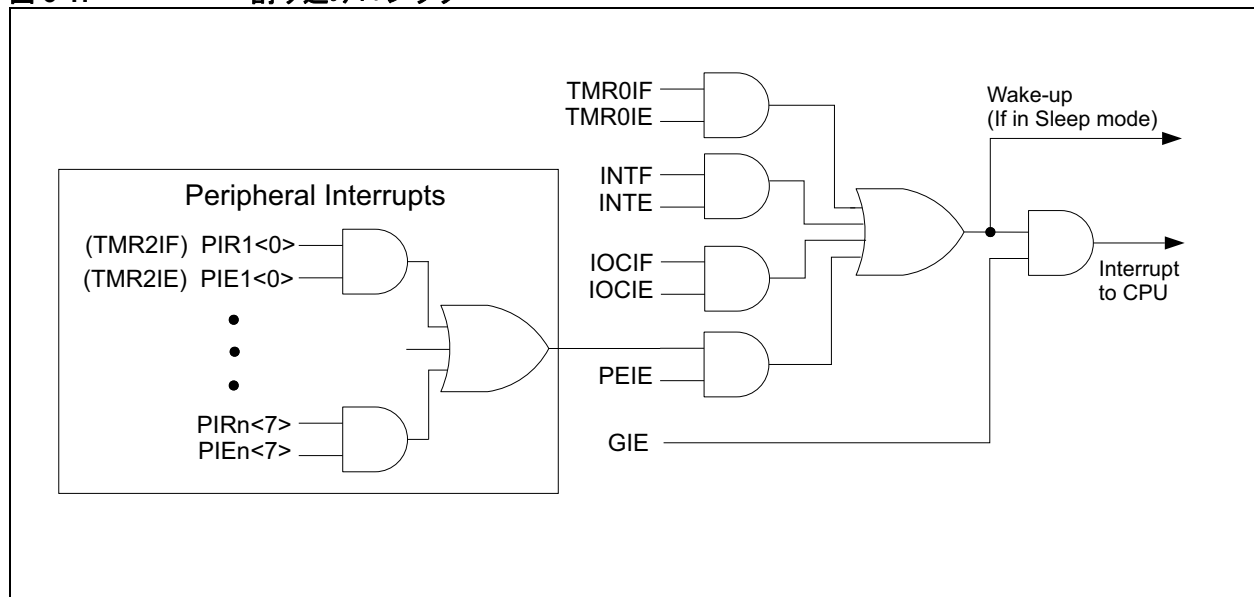
この章は、割り込みに関する以下の情報を記載しています。

- 動作
- 割り込みレイテンシ
- スリープ時の割り込み
- INT ピン
- 割り込み処理中のコンテキスト保存

多くの周辺機能が割り込みを生成します。詳細は、該当する章を参照してください。

図 6-1 に、割り込みロジックのブロック図を示します。

図 6-1: 割り込みロジック



## 6.1 動作

デバイス リセット後、割り込みは無効です。有効にするには、以下のビットを設定します。

- INTCON レジスタの GIE ビット
- 特定の割り込みイベントに対する割り込みイネーブルビット
- INTCON レジスタの PEIE ビット ( その割り込みイベントの割り込みイネーブルビットが PIE1 レジスタに含まれる場合 )

INTCON および PIR1 レジスタは、割り込みフラグビットにより各割り込みを記録します。割り込みフラグビットは、GIE、PEIE および各割り込みイネーブルビットの状態にかかわらずセットされます。

GIE ビットがセットされている場合に割り込みイベントが発生すると、以下のイベントが発生します。

- 現在プリフェッチされている命令がフラッシュ ( 消去 ) される。
- GIE ビットがクリアされる。
- 現在の PC ( プログラム カウンタ ) がスタックに格納される。
- PC に割り込みベクタ「0004h」が読み込まれる。

割り込みサービスルーチン (ISR) のファームウェアは、割り込みフラグビットをポーリングして割り込み要因を判断する必要があります。割り込み動作の繰り返しを避けるため、ISR から抜ける前に割り込みフラグビットをクリアする必要があります。ISR 実行中に発生する割り込みは全て割り込みフラグで記録されますが、GIE ビットがクリアされているためプロセッサがその割り込みベクタにリダイレクトする事はありません。

RETFIE 命令では、割り込み前に実行していたアドレスをスタックからポップし、GIE ビットをセットする事によって、ISR を終了します。

割り込み動作の詳細は、各周辺機能の章を参照してください。

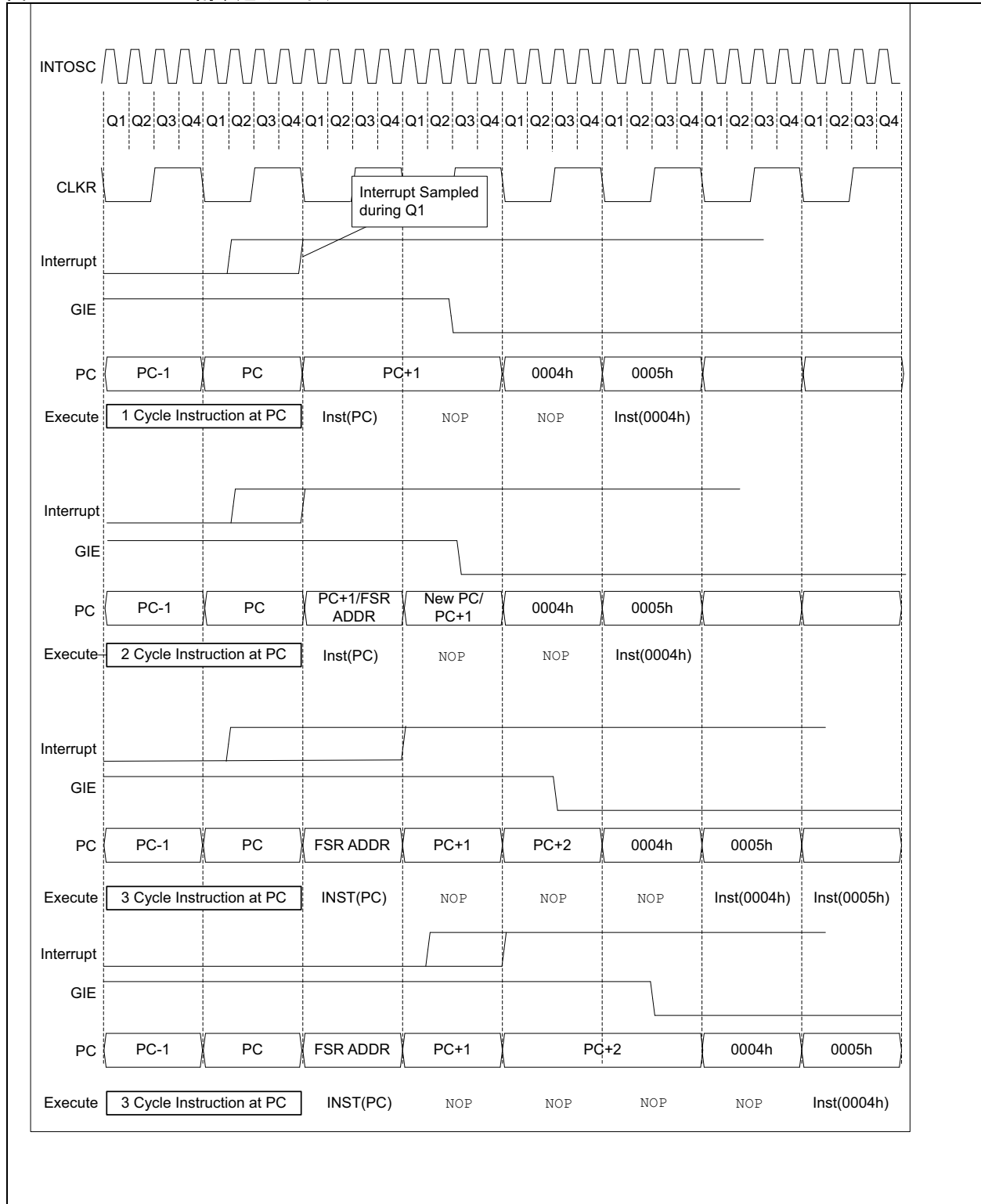
**Note 1:** 各割り込みフラグビットは、その他のイネーブルビットの状態とは無関係にセットされます。

**2:** GIE ビットがクリアされている限り、いかなる割り込みも実行されません。GIE ビットがクリアされている間に発生した全ての割り込みは、GIE ビットが再びセットされた時点で実行されます。

## 6.2 割り込みレイテンシ

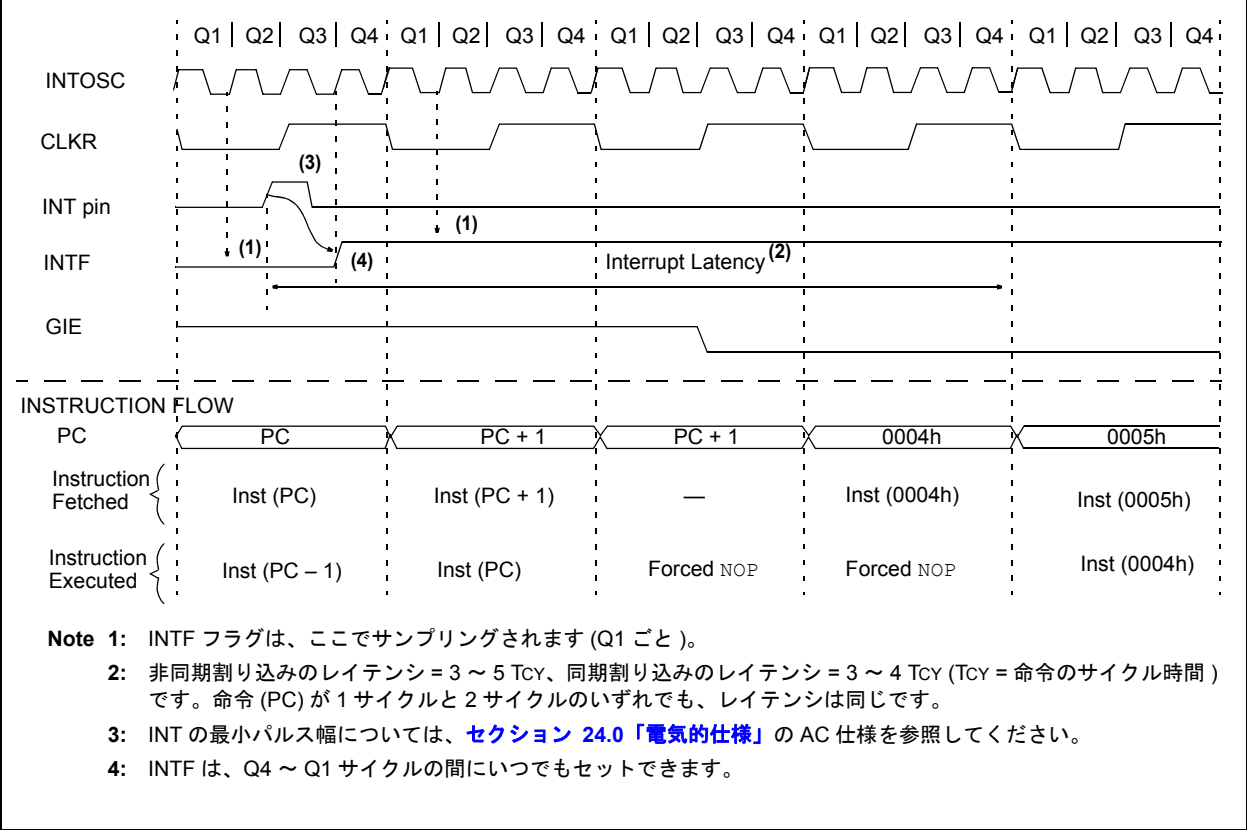
割り込みレイテンシとは、割り込みイベントが発生してから、割り込みベクタのコード実行が開始するまでの時間を意味します。同期割り込みのレイテンシは、3 ~ 4 命令サイクルです。非同期割り込みのレイテンシは割り込み発生タイミングによって異なり、3 ~ 5 命令サイクルです。詳細は [図 6-2](#) と [セクション 6.3「スリープ時の割り込み」](#) を参照してください。

図 6-2: 割り込みレイテンシ



# PIC10(L)F320/322

図 6-3: INT ピン割り込みのタイミング



## 6.3 スリープ時の割り込み

割り込みの種類によっては、スリープからの復帰に使用できます。この場合、周辺機能がシステムクロックを使用せずに動作する必要があります。割り込み要因のイネーブルビットは、スリープに移行する前にセットしておく必要があります。

スリープから復帰する際、GIE ビットもセットされていると、プロセッサは割り込みベクタへ分岐します。セットされていない場合、SLEEP 命令の次の命令から実行を再開します。SLEEP 命令の直後の命令は、ISR へ分岐する前に必ず実行されます。詳細は、[セクション 7.0「パワーダウン モード \(スリープ\)」](#)を参照してください。

## 6.4 INT ピン

INT ピンを使うと、非同期エッジトリガ型割り込みを生成できます。INTCON レジスタの INTE ビットをセットすると、この割り込みが有効化されます。OPTION\_REG レジスタの INTEDG ビットで割り込みを発生させるエッジを設定します。INTEDG ビットがセットされている場合、立ち上がりエッジで割り込みが発生します。INTEDG ビットがクリアされている場合、立ち下がりエッジで割り込みが発生します。INIT ピンに有効なエッジが現れると、INTCON レジスタの INTF ビットがセットされます。この時 GIE ビットと INTE ビットもセットされていると、プロセッサはプログラムの実行を割り込みベクタへリダイレクトします。

## 6.5 割り込み処理中のコンテキスト保存

割り込みの処理中、スタックにはリターン先の PC 値だけを保存します。しばしば、割り込み中に重要なレジスタ (例: W レジスタ、STATUS レジスタ) の内容を保存しておきたい場合があります。これは、ソフトウェアで実装する必要があります。

このため、GPR 末尾の 16 バイトに一時保持レジスタとして W\_TEMP と STATUS\_TEMP を確保します (表 2-2 参照)。これら 16 個のメモリ位置は全てのバンクで共通のためバンク指定は不要です。これにより、コンテキストの保存と復元が簡単にできます。例 6-1 に示すコードを使うと、以下の動作が可能です。

- W レジスタの保存
- STATUS レジスタの保存
- ISR コードの実行
- ステータス (およびバンク選択ビットレジスタ) の復元
- W レジスタの復元

**Note:** これらのデバイスでは PCLATH を保存する必要がありません。しかし、ISR とメインコードの両方で計算型 GOTO を使っている場合、PCLATH を保存して ISR 内で復元する必要があります。

### 例 6-1: ステータス レジスタと W レジスタの RAM への保存

```
MOVWF    W_TEMP          ;Copy W to TEMP register
SWAPF    STATUS,W        ;Swap status to be saved into W
                        ;Swaps are used because they do not affect the status bits
MOVWF    STATUS_TEMP     ;Save status to bank zero STATUS_TEMP register
:
: (ISR)                   ;Insert user code here
:
SWAPF    STATUS_TEMP,W    ;Swap STATUS_TEMP register into W
                        ;(sets bank to original state)
MOVWF    STATUS          ;Move W into STATUS register
SWAPF    W_TEMP,F        ;Swap W_TEMP
SWAPF    W_TEMP,W        ;Swap W_TEMP into W
```

# PIC10(L)F320/322

## 6.6 割り込み制御レジスタ

### 6.6.1 INTCON レジスタ

INTCON レジスタは読み書き可能なレジスタであり、TMR0 レジスタ オーバーフロー割り込み、状態変化割り込み、外部 INT ピン割り込み等に関する各種イネーブル/フラグビットが含まれています。

**Note:** 割り込み条件が発生すると、各割り込みフラグビットは、対応するイネーブルビットまたはグローバル割り込みイネーブルビット (INTCON レジスタの GIE) の状態にかかわらずセットされます。ユーザー ソフトウェアでは、割り込みを有効にする前に、対応する割り込みフラグビットをクリアしておく必要があります。

レジスタ 6-1: INTCON: 割り込み制御レジスタ

| R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R-0/0                 |
|---------|---------|---------|---------|---------|---------|---------|-----------------------|
| GIE     | PEIE    | TMR0IE  | INTE    | IOCFIE  | TMR0IF  | INTF    | IOCFIF <sup>(1)</sup> |
| bit 7   |         |         |         |         |         |         | bit 0                 |

#### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変      x = ビットは未知      -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

- bit 7      **GIE:** グローバル割り込みイネーブルビット  
1 = 全てのアクティブな割り込みを有効にする  
0 = 全ての割り込みを無効にする
- bit 6      **PEIE:** 周辺機能割り込みイネーブルビット  
1 = 全てのアクティブな周辺機能割り込みを有効にする  
0 = 全ての周辺機能割り込みを無効にする
- bit 5      **TMR0IE:** Timer0 オーバーフロー割り込みイネーブルビット  
1 = Timer0 割り込みを有効にする  
0 = Timer0 割り込みを無効にする
- bit 4      **INTE:** INT 外部割り込みイネーブルビット  
1 = INT 外部割り込みを有効にする  
0 = INT 外部割り込みを無効にする
- bit 3      **IOCFIE:** 状態変化割り込みイネーブルビット  
1 = 状態変化割り込みを有効にする  
0 = 状態変化割り込みを無効にする
- bit 2      **TMR0IF:** Timer0 オーバーフロー割り込みフラグビット  
1 = TMR0 レジスタがオーバーフローした  
0 = TMR0 レジスタはオーバーフローしていない
- bit 1      **INTF:** INT 外部割り込みフラグビット  
1 = INT 外部割り込みが発生した  
0 = INT 外部割り込みは発生していない
- bit 0      **IOCFIF:** 状態変化割り込みフラグビット<sup>(1)</sup>  
1 = 状態変化割り込みピンの少なくとも 1 つの状態が変化した  
0 = 状態変化割り込みピンの状態は変化していない

**Note 1:** IOCFIF フラグビットは読み出し専用で、IOCAF レジスタの全ての状態変化割り込みフラグがソフトウェアによってクリアされると、このビットもクリアされます。

## 6.6.2 PIE1 レジスタ

PIE1 レジスタは、[レジスタ 6-2](#) に示す割り込みイネーブルビットを含みます。

**Note:** 周辺機能の割り込みを有効にするには、INTCON レジスタの PEIE ビットをセットする必要があります。

**レジスタ 6-2: PIE1: 周辺機能割り込みイネーブル レジスタ 1**

| U-0   | R/W-0/0 | U-0 | R/W-0/0 | R/W-0/0 | U-0 | R/W-0/0 | U-0   |
|-------|---------|-----|---------|---------|-----|---------|-------|
| —     | ADIE    | —   | NCO1IE  | CLC1IE  | —   | TMR2IE  | —     |
| bit 7 |         |     |         |         |     |         | bit 0 |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変                  x = ビットは未知                  -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット              「0」= ビットはクリア

bit 7      **未実装:** 「0」として読み出し  
bit 6      **ADIE:** A/D コンバータ割り込みイネーブルビット  
            1 = A/D コンバータ割り込みを有効にする  
            0 = A/D コンバータ割り込みを無効にする  
bit 5      **未実装:** 「0」として読み出し  
bit 4      **NCO1IE:** 数値制御オシレータ割り込みイネーブルビット  
            1 = NCO オーバーフロー割り込みを有効にする  
            0 = NCO オーバーフロー割り込みを無効にする  
bit 3      **CLC1IE:** 構成可能ロジックセル割り込みイネーブルビット  
            1 = CLC 割り込みを有効にする  
            0 = CLC 割り込みを無効にする  
bit 2      **未実装:** 「0」として読み出し  
bit 1      **TMR2IE:** TMR2/PR2 一致割り込みイネーブルビット  
            1 = TMR2/PR2 一致割り込みを有効にする  
            0 = TMR2/PR2 一致割り込みを無効にする  
bit 0      **未実装:** 「0」として読み出し

# PIC10(L)F320/322

## 6.6.3 PIR1 レジスタ

PIR1 レジスタは、[レジスタ 6-3](#) に示す割り込みフラグビットを含みます。

**Note:** 割り込み条件が発生すると、各割り込みフラグビットは、対応するイネーブルビットまたはグローバル割り込みイネーブルビット (INTCON レジスタの GIE) の状態にかかわらずセットされます。ユーザ ソフトウェアでは、割り込みを有効にする前に、対応する割り込みフラグビットをクリアしておく必要があります。

**レジスタ 6-3: PIR1: 周辺機能割り込み要求レジスタ 1**

| U-0   | R/W-0/0 | U-0 | R/W-0/0 | R/W-0/0 | U-0 | R/W-0/0 | U-0 |
|-------|---------|-----|---------|---------|-----|---------|-----|
| —     | ADIF    | —   | NCO1IF  | CLC1IF  | —   | TMR2IF  | —   |
| bit 7 |         |     |         |         |     | bit 0   |     |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7      **未実装:** 「0」として読み出し

bit 6      **ADIF:** A/D コンバータ割り込みフラグビット  
1 = A/D 変換が完了した  
0 = A/D 変換は完了していない

bit 5      **未実装:** 「0」として読み出し

bit 4      **NCO1IF:** 数値制御オシレータ割り込みフラグビット  
1 = NCO1 がオーバーフローした (ソフトウェアによるクリアが必要である)  
0 = NCO1 はオーバーフローしていない

bit 3      **CLC1IF:** 構成可能ロジックセル立ち上がりエッジ割り込みフラグビット  
1 = CLC 割り込みが発生した (ソフトウェアによるクリアが必要である)  
0 = CLC 割り込みは発生していない

bit 2      **未実装:** 「0」として読み出し

bit 1      **TMR2IF:** TMR2/PR2 一致割り込みフラグビット  
1 = TMR2 と PR2 が一致した (ソフトウェアによるクリアが必要である)  
0 = TMR2 と PR2 は一致していない  
**Note:** 一致の判定には、TMR2 ポストスケーラ ([レジスタ 17-1](#)) によって指定された回数だけ一致が発生する必要があります。

bit 0      **未実装:** 「0」として読み出し

表 6-1: 割り込み関連レジスタのまとめ

| レジスタ名      | Bit 7 | Bit 6  | Bit 5  | Bit 4  | Bit 3  | Bit 2   | Bit 1  | Bit 0  | レジスタ<br>内容記載<br>ページ |
|------------|-------|--------|--------|--------|--------|---------|--------|--------|---------------------|
| INTCON     | GIE   | PEIE   | TMR0IE | INTE   | IOCIE  | TMR0IF  | INTF   | IOCIF  | 46                  |
| IOCAF      | —     | —      | —      | —      | IOCAF3 | IOCAF2  | IOCAF1 | IOCAF0 | 84                  |
| IOCAN      | —     | —      | —      | —      | IOCAN3 | IOCAN2  | IOCAN1 | IOCAN0 | 83                  |
| IOCAP      | —     | —      | —      | —      | IOCAP3 | IOCAP2  | IOCAP1 | IOCAP0 | 83                  |
| OPTION_REG | WPUEN | INTEDG | T0CS   | T0SE   | PSA    | PS<2:0> |        |        | 103                 |
| PIE1       | —     | ADIE   | —      | NCO1IE | CLC1IE | —       | TMR2IE | —      | 47                  |
| PIR1       | —     | ADIF   | —      | NCO1IF | CLC1IF | —       | TMR2IF | —      | 48                  |

凡例: — = 未実装ビット、「0」として読み出し、網掛けのビットは割り込みでは使用しません。

# PIC10(L)F320/322

---

NOTES:

## 7.0 パワーダウン モード (スリープ)

SLEEP 命令を実行すると、パワーダウン モードに移行します。

スリープモードに移行したデバイスの状態は、以下の通りです。

1. WDT がクリアされる。スリープ中の動作を有効に設定している場合、値はクリアされてもカウンタは継続する。
2. STATUS レジスタの  $\overline{\text{PD}}$  ビットがクリアされる。
3. STATUS レジスタの  $\overline{\text{TO}}$  ビットがセットされる。
4. CPU クロックが無効化される。
5. 31 kHz LFINTOSC は影響を受けない。このオシレータによって駆動される周辺機能は、スリープ中も動作を継続できる。
6. ADC は影響を受けない。ただし専用の FRC クロックが選択されている場合に限る。
7. I/O ポートは SLEEP 命令実行前の状態 (High、Low、ハイインピーダンス) を維持する。
8. WDT 以外のリセットはスリープモードの影響を受けない。

スリープ中の周辺機能の動作に関する詳細は、各機能の章を参照してください。

消費電流を最小限に抑えるために、以下の条件に注意します。

- I/O ピンをフローティングにしない
- I/O ピンからシンクする外付け回路
- I/O ピンからソースする内部回路
- 内部弱プルアップ回路による電流引きこみ
- 31 kHz LFINTOSC を使うモジュール
- HFINTOSC を使う CWG および NCO モジュール

ハイインピーダンス入力の I/O ピンは、外部で VDD または VSS に接続して、フローティング入力によるスイッチング電流が流れないようにしてください。

電流をソースする内部回路の例として FVR モジュールがあります。これらのモジュールの詳細は、[セクション 12.0「固定参照電圧 \(FVR\)」](#)を参照してください。

## 7.1 スリープからの復帰

以下のイベントのいずれかによってスリープから復帰できます。

1.  $\overline{\text{MCLR}}$  ピンへの外部リセット入力 (有効な場合)
2. BOR リセット (有効な場合)
3. POR リセット
4. ウォッチドッグ タイマ (有効な場合)
5. 全ての外部割り込み
6. スリープ中も動作可能な周辺機能による割り込み (詳細は各周辺機能の章参照)

上記の 1～3 ではデバイスがリセットされます。4～6 は、プログラム実行の継続と見なされます。発生したのがデバイスリセットか復帰イベントなのかを判断するには、[セクション 5.9「リセット原因の特定」](#)を参照してください。

SLEEP 命令の実行中、次の命令 (PC+1) がブリフエッチされます。割り込みイベントでデバイスを復帰させるには、対応する割り込みイネーブルビットを有効にしておく必要があります。復帰は、GIE ビットの状態に関係なく実行されます。GIE ビットが無効の場合、デバイスは SLEEP 命令の次の命令から実行を再開します。GIE ビットが有効の場合、デバイスは SLEEP 命令の次の命令を実行後、割り込みサービスルーチン (ISR) を呼び出します。SLEEP 命令直後の命令を実行したくない場合、SLEEP 命令の後に NOP 命令を配置します。

デバイスがスリープから復帰すると、復帰の理由に関係なく WDT はクリアされます。

相補波形ジェネレータ (CWG) と数値制御オシレータ (NCO) の両モジュールは、クロック源として HFINTOSC オシレータを使用できます。CWG または NCO モジュールで HFINTOSC の使用を選択した場合、条件によってはスリープ中も HFINTOSC がアクティブのままとなります。その場合、スリープ中の消費電流に大きく影響します。詳細は、[21.0「相補波形ジェネレータ \(CWG\) モジュール」](#)と [20.0「数値制御オシレータ \(NCO\) モジュール」](#)を参照してください。

# PIC10(L)F320/322

## 7.1.1 割り込みによる復帰

グローバル割り込みが無効 (GIE がクリア) で、何らかの割り込み要因のイネーブルビットとフラグビットの両方がセットされると、以下のいずれかが発生します。

- SLEEP 命令の**実行前**に割り込みが発生した場合
  - SLEEP 命令が NOP として実行される。
  - WDT と WDT プリスケータはクリアされない。
  - STATUS レジスタの  $\overline{\text{TO}}$  ビットはセットされない。
  - STATUS レジスタの  $\overline{\text{PD}}$  ビットはクリアされない。

- SLEEP 命令の**実行中または実行後**に割り込みが発生した場合

- SLEEP 命令が最後まで実行される。
- デバイスがただちにスリープから復帰する。
- WDT と WDT プリスケータがクリアされる。
- STATUS レジスタの  $\overline{\text{TO}}$  ビットがセットされる。
- STATUS レジスタの  $\overline{\text{PD}}$  ビットがクリアされる。

SLEEP 命令の実行前にフラグビットをチェックしたとしても、その後 SLEEP 命令が完了するまでにフラグビットがセットされる可能性があります。SLEEP 命令が実行されたかどうかを判断するには、 $\overline{\text{PD}}$  ビットを調べます。 $\overline{\text{PD}}$  ビットがセットされている場合、SLEEP 命令が NOP として実行された事を示します。

図 7-1: 割り込みによるスリープからの復帰

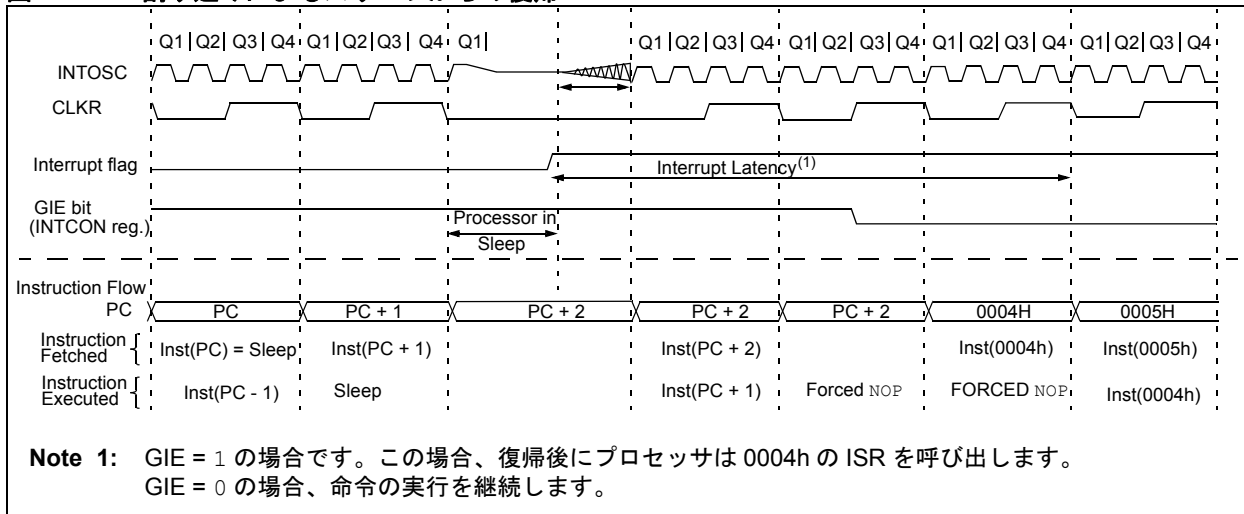


表 7-1: パワーダウン モード関連のレジスタのまとめ

| レジスタ名  | Bit 7 | Bit 6 | Bit 5      | Bit 4                  | Bit 3                  | Bit 2 | Bit 1 | Bit 0  | レジスタ内容<br>記載ページ |
|--------|-------|-------|------------|------------------------|------------------------|-------|-------|--------|-----------------|
| STATUS | IRP   | RP1   | RP0        | $\overline{\text{TO}}$ | $\overline{\text{PD}}$ | Z     | DC    | C      | 15              |
| WDTCON | —     | —     | WDTPS<4:0> |                        |                        |       |       | SWDTEN | 55              |

凡例: — = 未実装であり「0」として読み出されます。網掛け部分はパワーダウン モードでは使用しません。

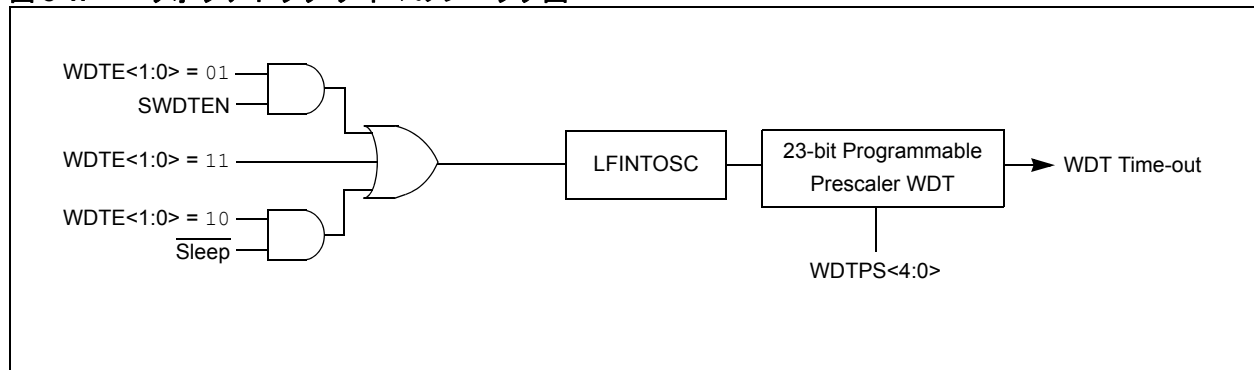
## 8.0 ウォッチドッグ タイマ

ウォッチドッグ タイマは、一定時間が経過してもファームウェアが `CLRWDT` 命令を発行しないとリセットを発生させるシステムタイマです。通常、ウォッチドッグ タイマは予期しないイベントからシステムを回復する目的で使われます。

WDT には以下の特長があります。

- 独立したクロック源
- 複数の動作モード
  - WDT を常時 ON にする
  - WDT をスリープ時に OFF にする
  - WDT をソフトウェアで制御する
  - WDT を常時 OFF にする
- タイムアウトを 1 ms ~ 256 s (typ.) の範囲で設定可能
- 複数のリセット条件
- スリープ中でも動作

図 8-1: ウォッチドッグ タイマのブロック図



# PIC10(L)F320/322

## 8.1 独立したクロック源

WDT は、31 kHz の LFINTOSC 内部オシレータで動作します。この章では、時間間隔を公称値 1 ms として説明します。LFINTOSC の公差は、[セクション 24.0「電氣的仕様」](#)を参照してください。

## 8.2 WDT の動作モード

ウォッチドッグ タイマ モジュールには4つの動作モードがあり、コンフィグレーションワードの WDT<1:0> ビットで設定します ( [表 8-1](#) 参照 )。

### 8.2.1 WDT を常時 ON にする

コンフィグレーションワードの WDT<1:0> ビットを「11」にセットすると、WDT が常時 ON 状態を保ちます。

WDT 保護はスリープ中も有効です。

### 8.2.2 WDT をスリープ時に OFF にする

コンフィグレーションワードの WDT<1:0> ビットを「10」にセットすると、スリープ時を除いて WDT が ON 状態を保ちます。

WDT 保護はスリープ中には無効です。

### 8.2.3 WDT をソフトウェアで制御する

コンフィグレーションワードの WDT<1:0> ビットを「01」にセットすると、WDT が WDTCON レジスタの SWDTEN ビットによって制御されます。

WDT による保護の状態はスリープに移行しても変化しません。詳細は、[表 8-1](#) を参照してください。

表 8-1: WDT の動作モード

| WDT<1:0> | SWDTEN | デバイスモード | WDT のモード |
|----------|--------|---------|----------|
| 11       | X      | X       | 有効       |
| 10       | X      | 通常動作時   | 有効       |
|          |        | スリープ時   | 無効       |
| 01       | 1      | X       | 有効       |
|          | 0      |         | 無効       |
| 00       | X      | X       | 無効       |

表 8-2: WDT クリアの条件

| 条件                          | WDT    |
|-----------------------------|--------|
| WDT<1:0> = 00               | クリアされる |
| WDT<1:0> = 01 かつ SWDTEN = 0 |        |
| WDT<1:0> = 10 でスリープに移行      |        |
| CLRWDTCOMMAND コマンド          |        |
| スリープ終了                      |        |
| INTOSC 分周比 (IRCF ビット) を変更   | そのまま   |

## 8.3 タイムアウト

WDTCON レジスタの WDTPS ビットで、タイムアウトを 1 ms ~ 256 s ( 公称 ) の範囲で設定します。リセット後のタイムアウト既定値は 2 s です。

## 8.4 WDT のクリア

WDT は、下記のいずれかの場合にクリアされます。

- 何らかのリセットが発生した場合
- CLRWDTCOMMAND コマンドを実行した場合
- デバイスがスリープに移行した場合
- デバイスがスリープから復帰した場合
- オシレータに障害が発生した場合
- WDT を無効にした場合

詳細は、[表 8-2](#) を参照してください。

## 8.5 スリープ中の動作

デバイスがスリープに移行する時点で、WDT はクリアされます。スリープ中も WDT を有効にしている場合、WDT はカウントを再開します。

デバイスがスリープから復帰する時点で、WDT は再びクリアされます。

デバイスがスリープ中に WDT がタイムアウトしても、リセットは発生しません。この場合、デバイスは復帰して動作を再開します。STATUS レジスタの TO ビットと PD ビットの変化がこのイベントを示します。詳細は、[セクション 2.0「メモリ構成」](#)と[レジスタ 2-1](#)を参照してください。

## 8.6 ウォッチドッグ タイマ制御レジスタ

レジスタ 8-1: WDTCON: ウォッチドッグ タイマ制御レジスタ

| U-0   | U-0 | R/W-0/0    | R/W-1/1 | R/W-0/0 | R/W-1/1 | R/W-1/1 | R/W-0/0 |
|-------|-----|------------|---------|---------|---------|---------|---------|
| —     | —   | WDTPS<4:0> |         |         |         |         | SWDTEN  |
| bit 7 |     |            |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット    W = 書き込み可能ビット    U = 未実装ビット、「0」として読み出し  
u = ビットは不変    x = ビットは未知    -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット    「0」= ビットはクリア

bit 7-6    **未実装:** 「0」として読み出し

bit 5-1    **WDTPS<4:0>:** ウォッチドッグ タイマ時間選択ビット <sup>(1)</sup>

ビット値 = プリスケアラ分周比

11111 = 予約済み、最小インターバル (1:32)

⋮

⋮

⋮

10011 = 予約済み、最小インターバル (1:32)

10010 = 1:8388608( $2^{23}$ ) (インターバル公称 256 s)

10001 = 1:4194304( $2^{22}$ ) (インターバル公称 128 s)

10000 = 1:2097152( $2^{21}$ ) (インターバル公称 64 s)

01111 = 1:1048576( $2^{20}$ ) (インターバル公称 32 s)

01110 = 1:524288( $2^{19}$ ) (インターバル公称 16 s)

01101 = 1:262144( $2^{18}$ ) (インターバル公称 8 s)

01100 = 1:131072( $2^{17}$ ) (インターバル公称 4 s)

01011 = 1:65536 (インターバル公称 2 s) (リセット値)

01010 = 1:32768 (インターバル公称 1 s)

01001 = 1:16384 (インターバル公称 512 ms)

01000 = 1:8192 (インターバル公称 256 ms)

00111 = 1:4096 (インターバル公称 128 ms)

00110 = 1:2048 (インターバル公称 64 ms)

00101 = 1:1024 (インターバル公称 32 ms)

00100 = 1:512 (インターバル公称 16 ms)

00011 = 1:256 (インターバル公称 8 ms)

00010 = 1:128 (インターバル公称 4 ms)

00001 = 1:64 (インターバル公称 2 ms)

00000 = 1:32 (インターバル公称 1 ms)

bit 0    **SWDTEN:** ウォッチドッグ タイマのソフトウェア イネーブル / ディセーブル ビット

WDTE<1:0> = 00 の場合:

このビットを無視する

WDTE<1:0> = 01 の場合:

1 = WDT を有効にする

0 = WDT を無効にする

WDTE<1:0> = 1x の場合:

このビットを無視する

**Note 1:** 時間は近似値です。WDT の時間は 31 kHz の LFINTOSC に基づいて決まります。

# PIC10(L)F320/322

表 8-3: ウォッチドッグ タイマ関連レジスタのまとめ

| レジスタ名  | Bit 7 | Bit 6     | Bit 5      | Bit 4           | Bit 3           | Bit 2 | Bit 1  | Bit 0  | レジスタ<br>内容記載<br>ページ |
|--------|-------|-----------|------------|-----------------|-----------------|-------|--------|--------|---------------------|
| OSCCON | —     | IRCF<2:0> |            |                 | HFIOFR          | —     | LFIOFR | HFIOFS | 30                  |
| STATUS | IRP   | RP1       | RP0        | $\overline{TO}$ | $\overline{PD}$ | Z     | DC     | C      | 15                  |
| WDTCON | —     | —         | WDTPS<4:0> |                 |                 |       |        | SWDTEN | 55                  |

凡例: x = 未知、u = 変化なし、— = 未実装であり「0」として読み出されます。  
網掛け部分はウォッチドッグ タイマでは使用しません。

表 8-4: ウォッチドッグ タイマ関連コンフィグレーション ワードのまとめ

| レジスタ<br>名 | Bit  | Bit -/7         | Bit -/6 | Bit 13/5           | Bit 12/4  | Bit 11/3 | Bit 10/2   | Bit 9/1 | Bit 8/0 | レジスタ<br>内容記載<br>ページ |
|-----------|------|-----------------|---------|--------------------|-----------|----------|------------|---------|---------|---------------------|
| CONFIG    | 13:8 | —               | —       | —                  | WRT<1:0>  |          | BORV       | LPBOR   | LVP     | 22                  |
|           | 7:0  | $\overline{CP}$ | MCLRE   | $\overline{PWRTE}$ | WDTE<1:0> |          | BOREN<1:0> |         | FOSC    |                     |

凡例: — = 未実装であり「0」として読み出されます。網掛け部分はウォッチドッグ タイマでは使用しません。

## 9.0 フラッシュ プログラムメモリ制御

フラッシュ プログラムメモリは、通常動作中 VDD の全レンジで読み書きが可能です。プログラムメモリは特殊機能レジスタ (SFR) を使って間接的にアドレス指定します。プログラムメモリへのアクセスには以下の SFR を使用します。

- PMCON1
- PMCON2
- PMDATL
- PMDATH
- PMADRL
- PMADRH

プログラムメモリにアクセスする場合、PMDATH:PMDATL レジスタペアの 2 バイトワードに読み書きする 14 ビットのデータを格納し、PMADRH:PMADRL レジスタペアの 2 バイトワードにプログラムメモリへのアクセス先となる 9 ビットのアドレスを格納します。

書き込み時間は、内蔵タイマで制御します。書き込み/消去電圧は、デバイスの動作電圧レンジよりも高い値で、内蔵チャージポンプによって生成されます。

フラッシュ プログラムメモリは、コード保護 (コンフィグレーションワードの CP ビット) と書き込み保護 (コンフィグレーションワードの WRT<1:0> ビット) の 2 つの方法で保護できます。

コード保護 ( $\overline{CP} = 0$ )<sup>(1)</sup> は、外付けのデバイス プログラムによるフラッシュ プログラムメモリに対するアクセス、すなわち読み書きを禁止します。ただし、自己書き込みと消去機能には影響を与えません。コード保護をリセットするには、デバイス プログラムによるデバイスのバルク消去以外に方法がありません。バルク消去では、フラッシュ プログラムメモリ、コンフィグレーション ビット、ユーザ ID の全てがクリアされます。

書き込み保護は、WRT<1:0> ビットによって設定され、フラッシュ プログラムメモリの一部または全体に対して自己書き込みと消去を禁止します。デバイス プログラムによるデバイスの読み書き込み、消去機能には影響を与えません。

**Note 1:** フラッシュ プログラムメモリのアレイ全体に対してコード保護を有効にするには、コンフィグレーションワードの CP ビットをクリアします。

### 9.1 PMADRL および PMADRH レジスタ

PMADRH:PMADRL レジスタペアは、プログラムメモリの最大 512 ワードに対するアドレスを指定できます。プログラムメモリのアドレス値を選択する場合、アドレスの MSB が PMADRH レジスタへ書き込まれ、LSB が PMADRL レジスタへ書き込まれます。

### 9.1.1 PMCON1 および PMCON2 レジスタ

PMCON1 は、フラッシュ プログラムメモリに対するアクセスを制御するレジスタです。

RD 制御ビットと WR 制御ビットで、それぞれ読み出しと書き込みを開始します。これらのビットは、ソフトウェアではセットのみ可能でクリアはできません。読み出しまたは書き込み動作が完了した時点で、ハードウェアによってクリアされます。WR ビットは、ソフトウェアでクリアできないようになっているため、書き込み動作中に誤って処理が中断される事はありません。

WREN ビットをセットすると、書き込み動作が許可されます。WREN ビットは、電源投入時にクリアされます。通常動作中のリセットによって書き込み動作が中断された場合、WRERR ビットがセットされます。このような場合、ユーザはリセット後に WRERR ビットを確認して適切なエラー処理を実行できます。

PMCON2 レジスタは書き込み専用レジスタです。PMCON2 レジスタを読み出すと、常に「0」が返されます。

プログラムメモリへの書き込みを有効にするには、PMCON2 レジスタに特定のパターン (ロック解除シーケンス) を書き込む必要があります。ロック解除シーケンスが必要であることから、プログラムメモリの書き込みラッチとフラッシュ プログラムメモリへの偶発的な書き込みが防止されます。

## 9.2 フラッシュ プログラムメモリの概要

フラッシュ プログラムメモリに対して消去と書き込みを実行する場合、その構造を理解しておく事が大切です。フラッシュ プログラムメモリは行単位で構成されています。1 行は一定数の 14 ビット プログラムメモリワードで構成されています。この 1 行が、ユーザソフトウェアで消去できる最小サイズです。

ユーザは、一旦消去した行の一部または全体に対して再書き込みを実行できます。プログラムメモリの行にデータを書き込むには、14 ビット幅のデータ書き込みラッチに対して書き込みを実行します。書き込みラッチにユーザは直接アクセスできませんが、PMDATH:PMDATL レジスタペアへの順次書き込みによって、書き込みラッチにデータを読み込ませる事ができます。

**Note:** 既に書き込み済みの行の一部のみを書き換えたい場合、行全体の内容を読み出し、RAM に保存してから消去を実行する必要があります。その後、新しいデータと変更しないデータを書き込みラッチに書き込み、フラッシュ プログラムメモリの行を再プログラムできます。しかし、未プログラムの位置は、最初に消去せずに書き込みを実行できます。この場合、既にプログラム済みの他のメモリ位置の内容を保存して再書き込みする必要はありません。

フラッシュ プログラムメモリの行消去サイズと書き込みラッチ数は、表 9-1 を参照してください。

# PIC10(L)F320/322

表 9-1: 各デバイスのフラッシュメモリの構成

| デバイス名        | 行消去<br>(ワード) | 書き込みラッチ<br>(ワード) |
|--------------|--------------|------------------|
| PIC10(L)F320 | 16           | 16               |
| PIC10(L)F322 |              |                  |

## 9.2.1 フラッシュ プログラムメモリの読み出し

プログラムメモリを読み出すには、以下の手順を実行する必要があります。

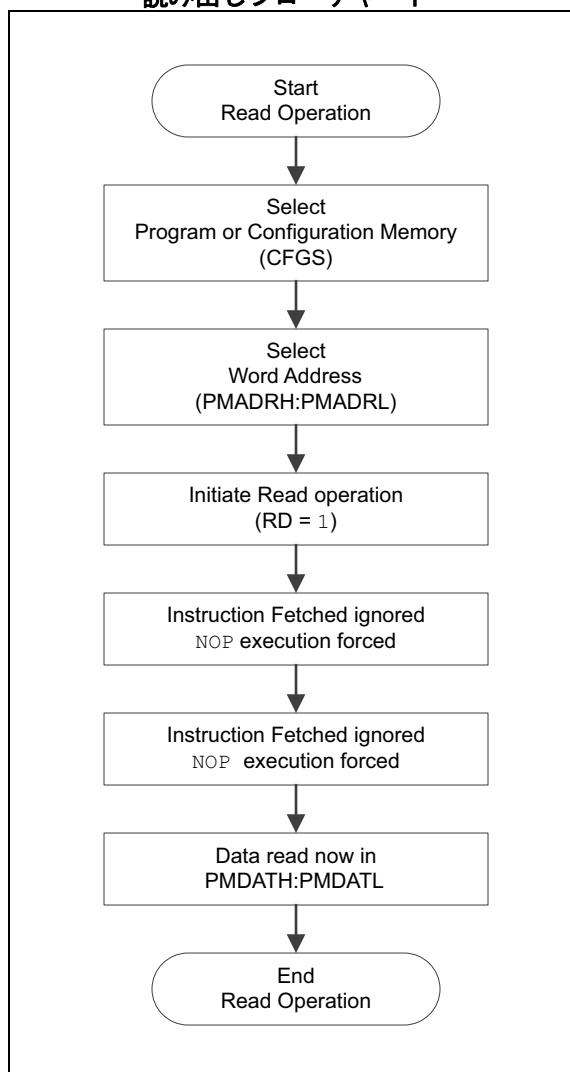
1. 所定のアドレスを PMADRH:PMADRL レジスタペアに書き込む。
2. PMCON1 レジスタの CFGS ビットをクリアする。
3. PMCON1 レジスタの RD 制御ビットをセットする。

読み出し制御ビットをセットした後、プログラムメモリフラッシュコントローラは2番目の命令サイクルでデータを読み出します。このため、「BSF PMCON1, RD」命令に続く2番目の命令は無視されます。データは、その次のサイクルで PMDATH:PMDATL レジスタペアに格納されます。従って、これ以降の命令によって2バイトとして読み出す事ができます。

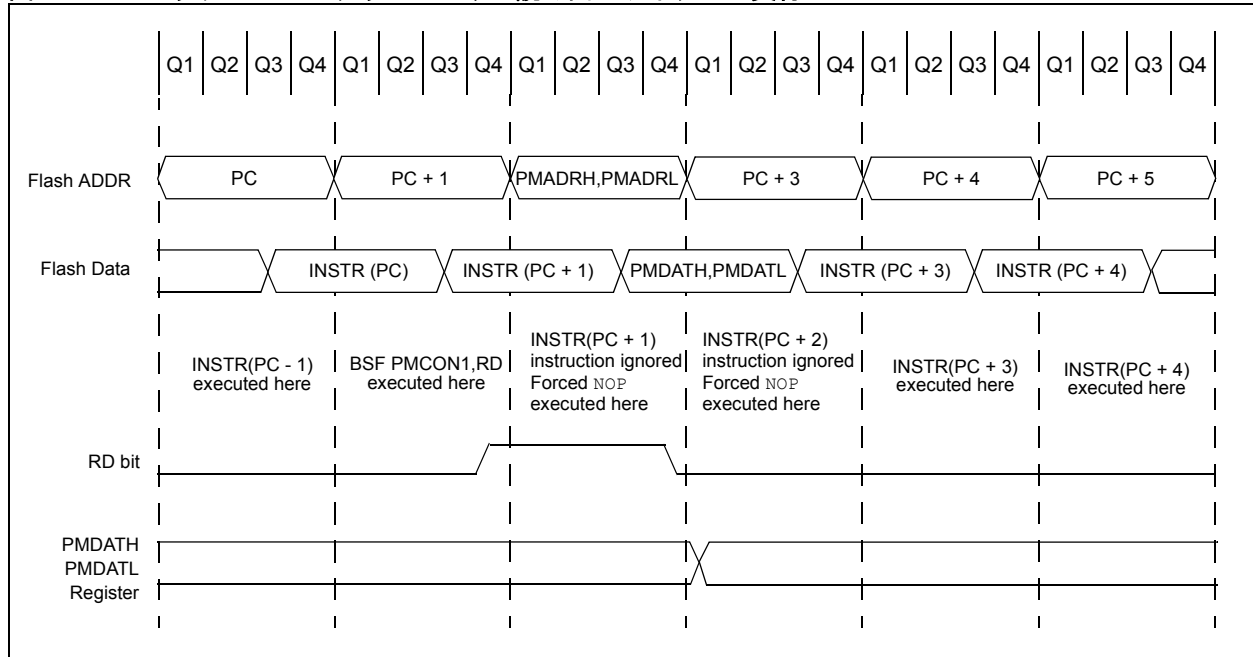
PMDATH:PMDATL レジスタペアに格納された値は、次の読み出し動作か、ユーザが書き込みを実行するまで保持されます。

**Note:** プログラムメモリの読み出し後の2つの命令は、NOP とする必要があります。これにより、RD ビットがセットされた後の次の命令でユーザが2サイクル命令を実行するのを防ぐ事ができます。

図 9-1: フラッシュ プログラムメモリの読み出しフローチャート



**図 9-2: フラッシュ プログラムメモリの読み出しサイクルの実行**



**例 9-1: フラッシュ プログラムメモリの読み出し**

```
* This code block will read 1 word of program
* memory at the memory address:
  PROG_ADDR_HI: PROG_ADDR_LO
* data will be returned in the variables;
*  PROG_DATA_HI, PROG_DATA_LO

  BANKSEL  PMADRL          ; not required on devices with 1 Bank of SFRs
  MOVLW    PROG_ADDR_LO    ;
  MOVWF    PMADRL          ; Store LSB of address
  MOVLW    PROG_ADDR_HI    ;
  MOVWF    PMADRH          ; Store MSB of address

  BCF      PMCON1,CFGFS     ; Do not select Configuration Space
  BSF      PMCON1,RD        ; Initiate read
  NOP      ; Ignored ( 図 9-2)
  NOP      ; Ignored ( 図 9-2)

  MOVF     PMDATL,W         ; Get LSB of word
  MOVWF    PROG_DATA_LO    ; Store in user location
  MOVF     PMDATA,W        ; Get MSB of word
  MOVWF    PROG_DATA_HI    ; Store in user location
```

## 9.2.2 フラッシュメモリのロック解除シーケンス

ロック解除シーケンスは、意図しない自己書き込みまたは消去からフラッシュ プログラムメモリを保護する仕組みです。以下の全ての動作を正常に完了するには、このシーケンスを中断する事なく実行し、完了させる必要があります。

- 行消去
- プログラムメモリ書き込みラッチへの読み込み
- プログラムメモリ書き込みラッチからプログラムメモリへの書き込み
- プログラムメモリ書き込みラッチからユーザ ID への書き込み

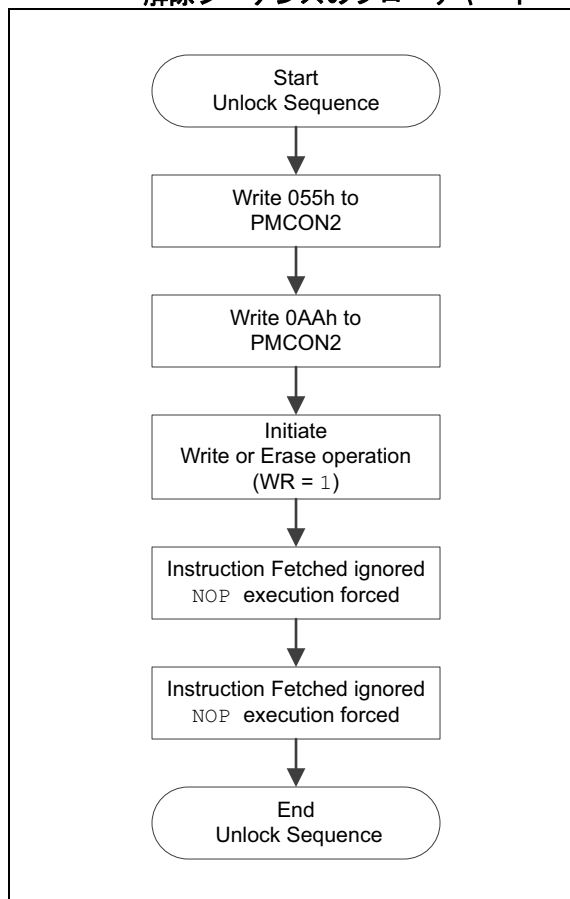
ロック解除シーケンスは、以下のステップから構成されます。

1. PMCON2 への 55h 書き込み
2. PMCON2 への AAh 書き込み
3. PMCON1 の WR ビットのセット
4. NOP 命令
5. NOP 命令

WR ビットがセットされると、プロセッサは常に 2 つの NOP 命令を実行します。行消去または行書き込み動作中、プロセッサは内部動作をストールさせ (通常 2 ms)、動作が完了してから次の命令を再開します。動作がプログラムメモリ書き込みラッチへの読み込みの場合、プロセッサは常に 2 つの NOP 命令を実行し、中断なく次の命令を継続します。

ロック解除シーケンスが中断される事のないように、実行前にグローバル割り込みを無効にして、実行後に再度有効にします。

図 9-3: フラッシュ プログラムメモリ ロック解除シーケンスのフローチャート



## 9.2.3 フラッシュ プログラムメモリの消去

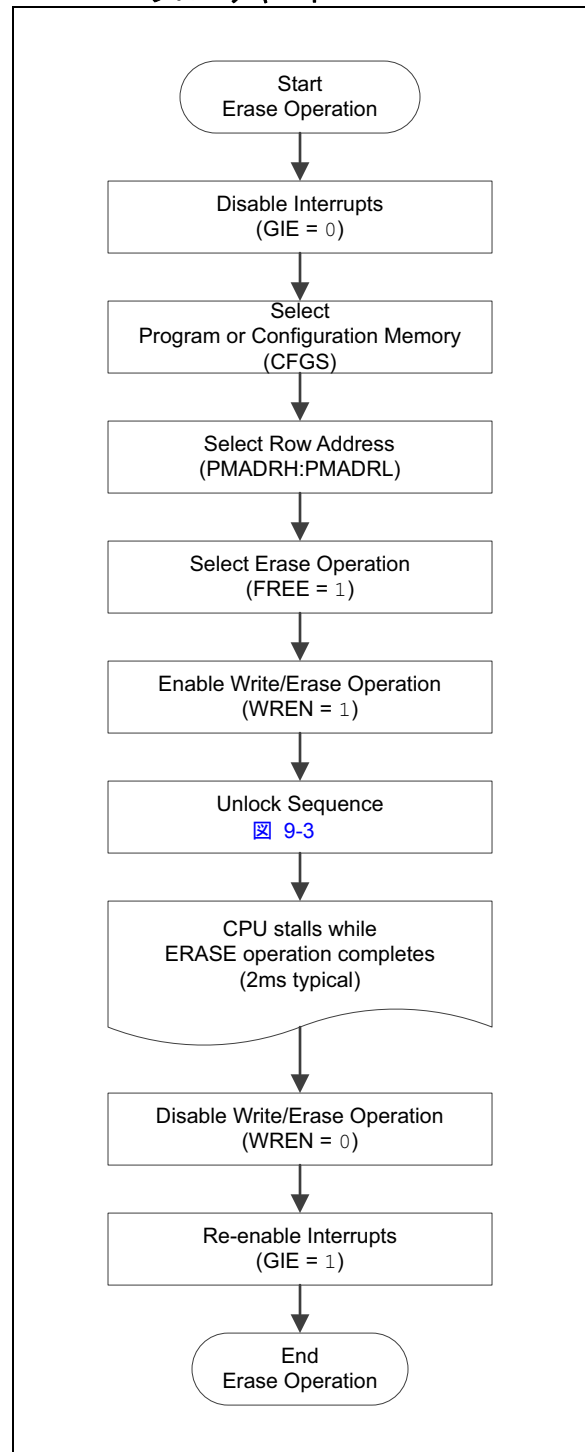
コード実行時、プログラムメモリの消去は行単位でのみ可能です。行を消去するには、以下の手順を実行します。

1. 消去する行内のいずれかのアドレスを PMADRH:PMADRL レジスタペアに読み込む。
2. PMCON1 レジスタの CFGS ビットをクリアする。
3. PMCON1 レジスタの FREE および WREN ビットをセットする。
4. PMCON2 レジスタに 55h、AAh を順に書き込む (フラッシュ プログラミング ロック解除シーケンス)。
5. PMCON1 レジスタの WR 制御ビットをセットして消去を開始する。

例 9-2 を参照してください。

「BSF PMCON1,WR」命令の後、プロセッサは消去動作のセットアップのために 2 サイクルを必要とします。このため、WR ビットをセットした後、2 つの NOP 命令を発行する必要があります。プロセッサは 2 ms (typ.) の消去時間の間、内部動作を停止します。クロックと周辺モジュールは動作を継続しているため、これはスリープモードとは異なります。消去サイクル後、プロセッサは PMCON1 書き込み命令後の 3 番目の命令から動作を再開します。

図 9-4: フラッシュ プログラムメモリ消去のフローチャート



# PIC10(L)F320/322

## 例 9-2: プログラムメモリの行消去

```
; This row erase routine assumes the following:
; 1. A valid address within the erase row is loaded in ADDRH:ADDRL
; 2. ADDRH and ADDRL are located in shared data memory 0x70 - 0x7F (common RAM)

        BCF      INTCON,GIE      ; Disable ints so required sequences will execute properly
        BANKSEL  PMADRL          ; not required on devices with 1 Bank of SFRs
        MOVF     ADDRL,W         ; Load lower 8 bits of erase address boundary
        MOVWF    PMADRL
        MOVF     ADDRH,W         ; Load upper 6 bits of erase address boundary
        MOVWF    PMADRH
        BCF      PMCON1,CFGSR    ; Not configuration space
        BSF      PMCON1,FREE     ; Specify an erase operation
        BSF      PMCON1,WREN     ; Enable writes

        MOVLW    55h             ; Start of required sequence to initiate erase
        MOVWF    PMCON2          ; Write 55h
        MOVLW    0AAh           ;
        MOVWF    PMCON2          ; Write AAh
        BSF      PMCON1,WR       ; Set WR bit to begin erase
        NOP      ; NOP instructions are forced as processor starts
        NOP      ; row erase of program memory.
        ;
        ; The processor stalls until the erase process is complete
        ; after erase processor continues with 3rd instruction

        BCF      PMCON1,WREN     ; Disable writes
        BSF      INTCON,GIE      ; Enable interrupts
```

Required  
Sequence

## 9.2.4 フラッシュ プログラムメモリへの書き込み

プログラムメモリに書き込むには、以下の手順を実行します。

1. 書き込む行のアドレスをPMADRH:PMADRLに読み込む。
2. 各書き込みラッチにデータを読み込む。
3. 書き込み動作を開始する。
4. 全てのデータの書き込みが完了するまで1～3を繰り返す。

プログラムメモリに書き込む際は、書き込み先に何もデータが書き込まれていないか、書き込まれている場合は事前に消去しておく必要があります。プログラムメモリの消去は行単位でのみ可能です。書き込み開始時に自動的に消去が行われる事はありません。

プログラムメモリへの書き込みは、1ワードずつまたは複数ワードを一度に書き込む事ができます。一度に書き込む事ができる最大ワード数は、書き込みラッチの数と同じです。詳細は、[図 9-5](#) (16個の書き込みラッチによるプログラムメモリへの行書き込み) を参照してください。

書き込みラッチは、PMADRH:PMADRLの上位10ビット (PMADRH<6:0>:PMADRL<7:5>) で定義されるフラッシュ行アドレスの境界に対応づけられ、PMADRLの下位5ビット (PMADRL<4:0>) が読み込む書き込みラッチを決定します。この境界を越えて書き込みを行う事はできません。プログラムメモリへの書き込みが完了したら、書き込みラッチのデータは0x3FFFにリセットされます。

書き込みラッチにデータを読み込んでプログラムメモリの行書き込みを実行するには、下記の手順を実行する必要があります。この手順は大きく2つの部分に分かれます。最初に、PMDATH:PMDATLからのデータを、LWLO = 1のロック解除シーケンスによって各書き込みラッチに読み込みます。書き込みラッチに読み込む最後のワードの準備が整ったら、LWLOビットをクリアしてロック解除シーケンスを実行します。これによってプログラミング動作が始まり、全てのラッチの内容がフラッシュ プログラムメモリに書き込まれます。

**Note:** 書き込みラッチにデータを読み込む、またはフラッシュ書き込み動作を始めるには、特定のロック解除シーケンスが必要です。ロック解除シーケンスが中断した場合、ラッチまたはプログラムメモリへの書き込みは始まりません。

1. PMCON1レジスタのWRENビットをセットする。
2. PMCON1レジスタのCFG5ビットをクリアする。
3. PMCON1レジスタのLWLOビットをセットする。PMCON1レジスタのLWLOビットが「1」であれば、書き込みシーケンスを実行しても書き込みラッチにデータが読み込まれるだけでフラッシュプログラムメモリへの書き込みは始まらない。
4. 書き込み先のアドレスをPMADRH:PMADRLレジスタペアに読み込む。
5. プログラムメモリに書き込むデータをPMDATH:PMDATLレジスタペアに読み込む。
6. ロック解除シーケンスを実行する([セクション9.2.2「フラッシュメモリのロック解除シーケンス」](#))。これで書き込みラッチへの読み込みが完了する。
7. 次のアドレスを指すようにPMADRH:PMADRLレジスタペアをインクリメントする。
8. 最後から2番目のラッチへの読み込みが完了するまで手順5～7を繰り返す。
9. PMCON1レジスタのLWLOビットをクリアする。PMCON1レジスタのLWLOビットが「0」の場合、書き込みシーケンスを実行するとフラッシュプログラムメモリへの書き込みが始まる。
10. プログラムメモリに書き込むデータをPMDATH:PMDATLレジスタペアに読み込む。
11. ロック解除シーケンスを実行する([セクション9.2.2「フラッシュメモリのロック解除シーケンス」](#))。これでプログラムメモリラッチの内容が全てフラッシュプログラムメモリに書き込まれた。

**Note:** プログラムメモリ書き込みラッチは、書き込みまたは消去動作の完了するたびにブランク状態(0x3FFF)にリセットされます。このため、プログラムメモリ書き込みラッチの全てにデータを読み込む必要はありません。データを読み込まないラッチはブランク状態を保ちます。

**例 9-3** に、書き込みシーケンス全体の例を示します。PMADRH:PMADRLレジスタペアには、最初のアドレスが読み込まれます。データは間接アドレス指定によって読み込まれます。

図 9-5: 16 個の書き込みラッチによるフラッシュ プログラムメモリへの行書き込み

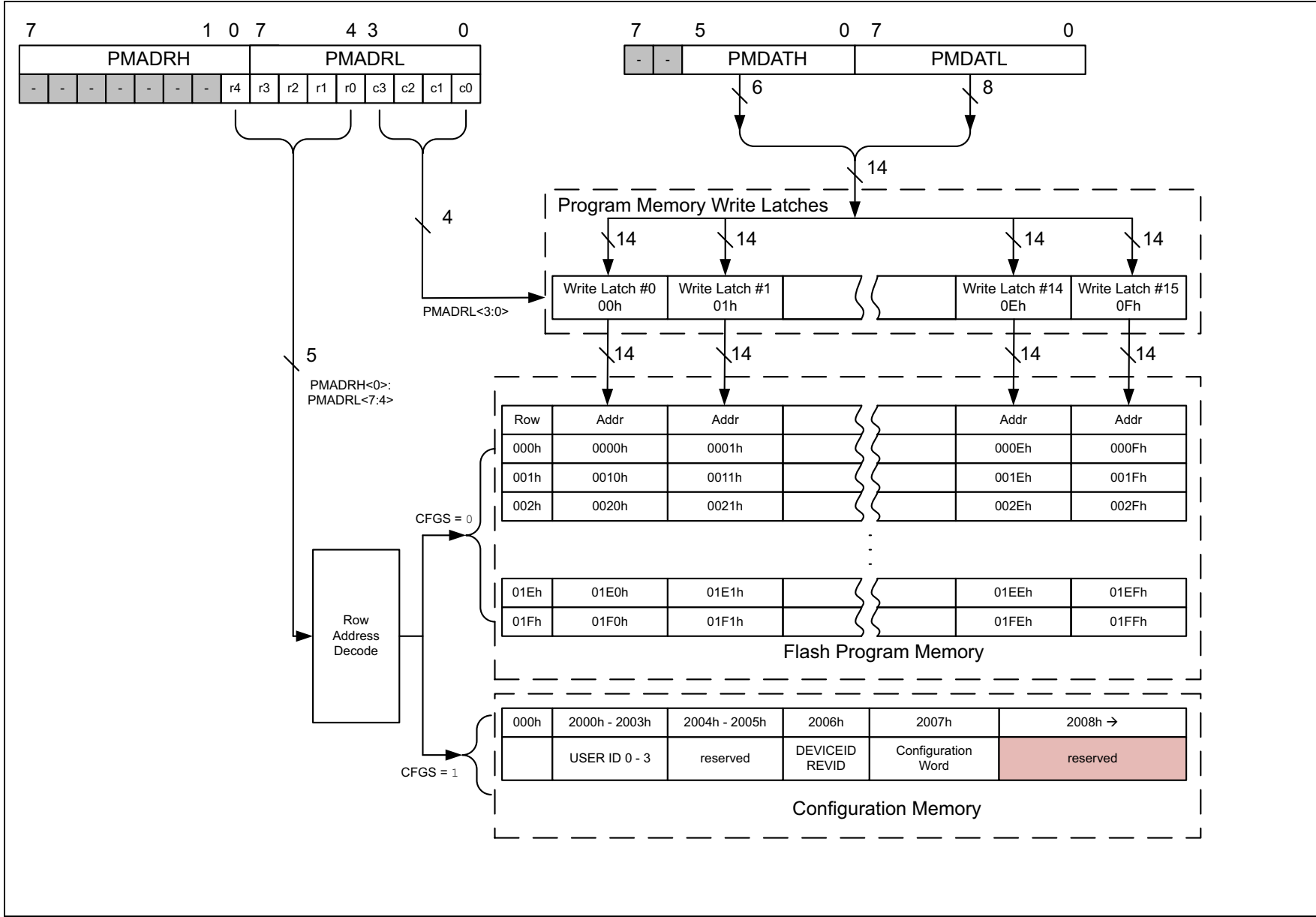
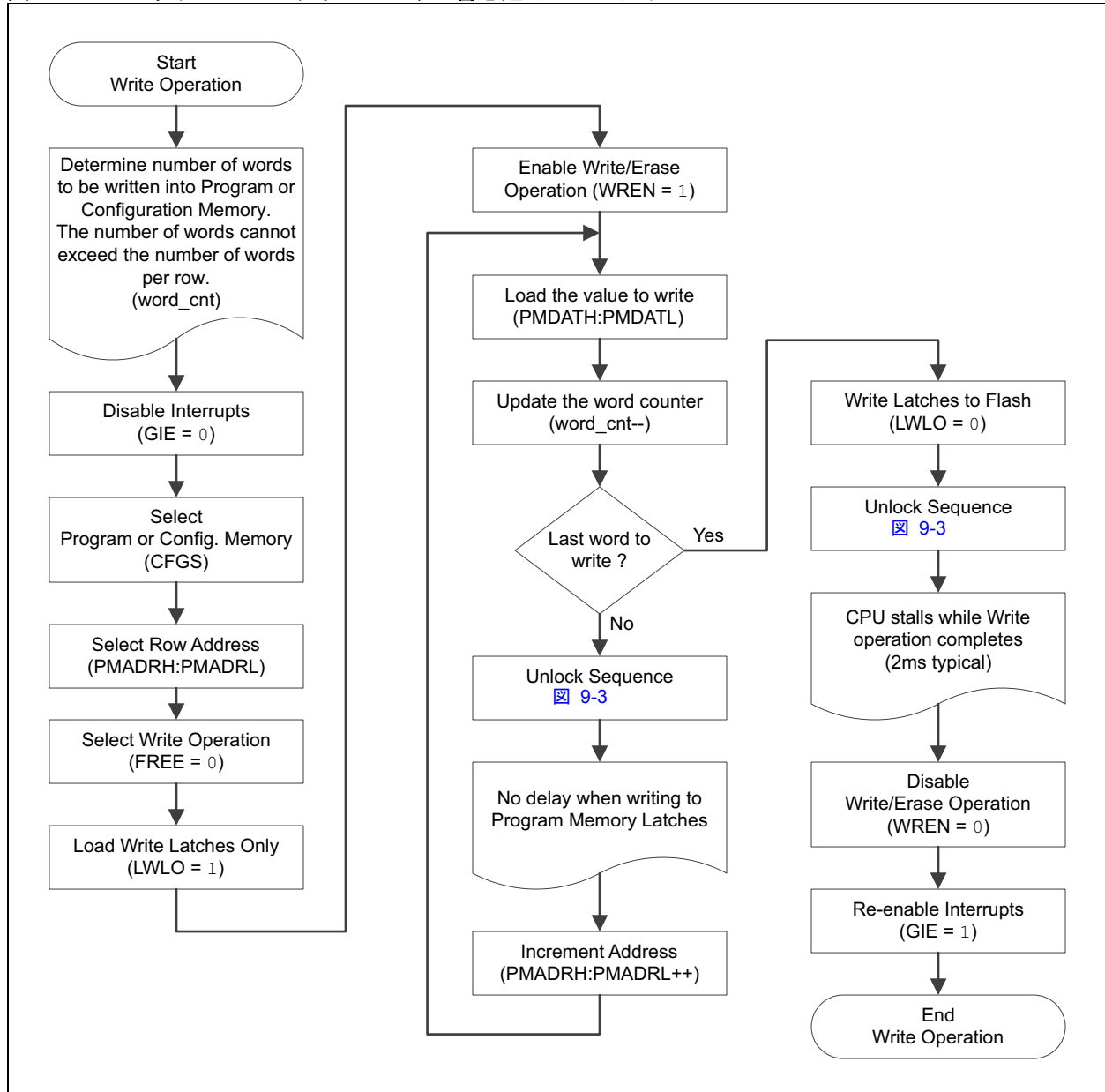


図 9-6: フラッシュ プログラムメモリの書き込みフローチャート



# PIC10(L)F320/322

## 例 9-3: フラッシュ プログラムメモリへの書き込み

```
; This write routine assumes the following:
; 1. 64 bytes of data are loaded, starting at the address in DATA_ADDR
; 2. Each word of data to be written is made up of two adjacent bytes in DATA_ADDR,
;    stored in little endian format
; 3. A valid starting address (the least significant bits = 00000) is loaded in ADDRH:ADDRL
; 4. ADDRH and ADDRL are located in shared data memory 0x70 - 0x7F (common RAM)
;
    BCF      INTCON,GIE      ; Disable ints so required sequences will execute properly
    BANKSEL  PMADRH          ; not required on devices with 1 Bank of SFRs
    MOVF     ADDRH,W         ; Load initial address
    MOVWF    PMADRH          ;
    MOVF     ADDRL,W         ;
    MOVWF    PMADRL         ;
    MOVLW    LOW DATA_ADDR  ; Load initial data address
    MOVWF    FSR0            ;
    BCF      PMCON1,CFG5     ; Not configuration space
    BSF      PMCON1,WREN     ; Enable writes
    BSF      PMCON1,LWLO     ; Only Load Write Latches

LOOP
    MOVIW    FSR0++          ; Load first data byte into lower
    MOVWF    PMDATL          ;
    MOVIW    FSR0++          ; Load second data byte into upper
    MOVWF    PMDATH          ;

    MOVF     PMADRL,W        ; Check if lower bits of address are '00000'
    XORLW    0x1F            ; Check if we're on the last of 16 addresses
    ANDLW    0x1F            ;
    BTFSC    STATUS,Z        ; Exit if last of 16 words,
    GOTO     START_WRITE     ;

    Required Sequence
    MOVLW    55h              ; Start of required write sequence:
    MOVWF    PMCON2           ; Write 55h
    MOVLW    0AAh            ;
    MOVWF    PMCON2           ; Write AAh
    BSF      PMCON1,WR        ; Set WR bit to begin write
    NOP      ; NOP instructions are forced as processor
    ; loads program memory write latches
    NOP      ;

    INCF     PMADRL,F         ; Still loading latches Increment address
    GOTO     LOOP            ; Write next latches

START_WRITE
    BCF      PMCON1,LWLO     ; No more loading latches - Actually start Flash program
    ; memory write

    Required Sequence
    MOVLW    55h              ; Start of required write sequence:
    MOVWF    PMCON2           ; Write 55h
    MOVLW    0AAh            ;
    MOVWF    PMCON2           ; Write AAh
    BSF      PMCON1,WR        ; Set WR bit to begin write
    NOP      ; NOP instructions are forced as processor writes
    ; all the program memory write latches simultaneously
    NOP      ; to program memory.
    ; After NOPs, the processor
    ; stalls until the self-write process is complete
    ; after write processor continues with 3rd instruction

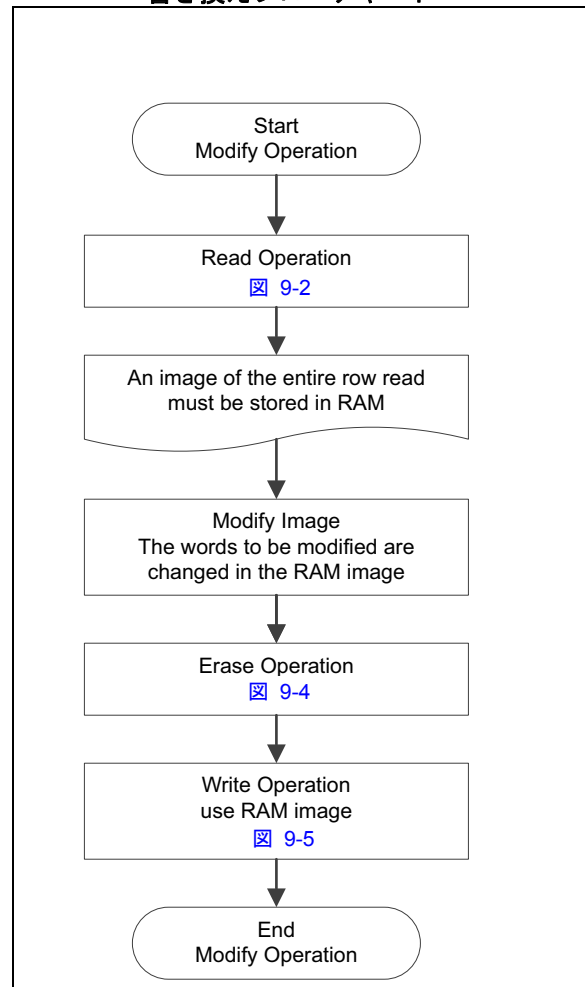
    BCF      PMCON1,WREN     ; Disable writes
    BSF      INTCON,GIE      ; Enable interrupts
```

## 9.3 フラッシュ プログラムメモリの一部書き換え

プログラムメモリの行に格納された既存データを保持しながら一部のみを書き換えたい場合、最初にその行を読み出して RAM イメージに保存しておく必要があります。プログラムメモリの行の一部を書き換えるには、以下の手順を実行します。

1. 書き換える行の開始アドレスを読み込む。
2. その行のデータを読み出して RAM イメージに保存する。
3. RAM イメージを新しいデータで書き換える。
4. 書き換える行の開始アドレスを読み込む。
5. プログラムメモリの行を消去する。
6. 書き込みラッチに RAM イメージのデータを読み込む。
7. 書き込み動作を開始する。

図 9-7: フラッシュ プログラムメモリの一部書き換えフローチャート



# PIC10(L)F320/322

## 9.4 ユーザ ID、デバイス ID、コンフィグレーションワードへのアクセス

PMCON1 レジスタの CFGS = 1 とすると、プログラムメモリの代わりに、ユーザ ID、デバイス ID/ リビジョン ID、コンフィグレーションワードにアクセスできます。これは、PC<13> = 1 で示される領域ですが、全てのアドレスがアクセス可能というわけではありません。読み出しと書き込みでは、アクセス可能なアドレス範囲が異なる場合があります。表 9-2 を参照してください。

表 9-2 に記載したパラメータの範囲外のアドレスに対して読み出しアクセスを開始した場合、PMDATH:PMDATL レジスタペアはクリアされ、読み出し値としては「0」が返されます。

表 9-2: ユーザ ID、デバイス ID、コンフィグレーションワードへのアクセス (CFGS = 1)

| アドレス        | 動作                | 読み出しアクセス | 書き込みアクセス |
|-------------|-------------------|----------|----------|
| 2000h-2003h | ユーザ ID            | 可        | 可        |
| 2006h       | デバイス ID/ リビジョン ID | 可        | 不可       |
| 2007h       | コンフィグレーションワード     | 可        | 不可       |

### 例 9-4: コンフィグレーションワードとデバイス ID へのアクセス

```
* This code block will read 1 word of program memory at the memory address:
*   PROG_ADDR_LO (must be 00h-08h) data will be returned in the variables;
*   PROG_DATA_HI, PROG_DATA_LO

BANKSEL    PMADRL                ; not required on devices with 1 Bank of SFRs
MOVLW      PROG_ADDR_LO          ;
MOVWF      PMADRL                ; Store LSB of address
CLRF       PMADRH                ; Clear MSB of address

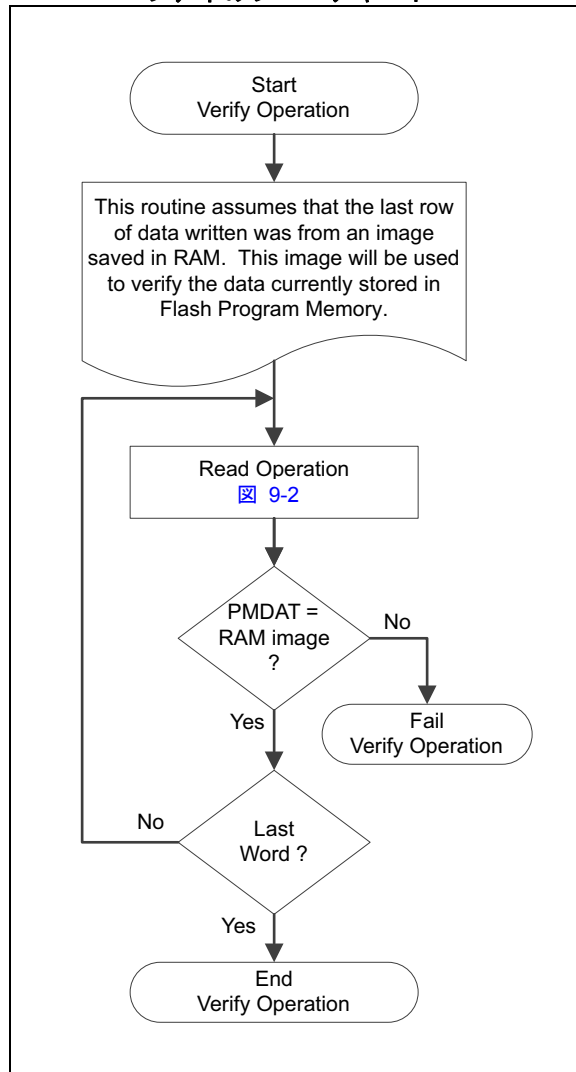
BSF         PMCON1,CFGFS          ; Select Configuration Space
BCF         INTCON,GIE            ; Disable interrupts
BSF         PMCON1,RD             ; Initiate read
NOP         ; Executed (See 図 9-2)
NOP         ; Ignored (See 図 9-2)
BSF         INTCON,GIE            ; Restore interrupts

MOVF        PMDATL,W              ; Get LSB of word
MOVWF      PROG_DATA_LO          ; Store in user location
MOVF        PMDATH,W              ; Get MSB of word
MOVWF      PROG_DATA_HI          ; Store in user location
```

## 9.5 書き込みのベリファイ

プログラムメモリに正しい値が書き込まれた事を確認 (ベリファイ) するのは、優れたプログラミングの実践です。プログラムメモリはページ全体として格納されるため、最後の書き込みの完了後に、プログラムメモリの内容と RAM 内のデータを比較します。

図 9-8: フラッシュ プログラムメモリ ベリファイのフローチャート



# PIC10(L)F320/322

## 9.6 フラッシュ プログラムメモリ制御レジスタ

### レジスタ 9-1: PMDATL: プログラムメモリ データ下位

|            |         |         |         |         |         |         |         |
|------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-x/u    | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
| PMDAT<7:0> |         |         |         |         |         |         |         |
| bit 7      |         |         |         |         |         |         | bit 0   |

#### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-0      **PMDAT<7:0>**: プログラムメモリ読み出しコマンド後に PMADRH と PMADRL が指し示す  
プログラムメモリ ワードの値

### レジスタ 9-2: PMDATH: プログラムメモリ データ上位

|       |     |             |         |         |         |         |         |
|-------|-----|-------------|---------|---------|---------|---------|---------|
| U-0   | U-0 | R/W-x/u     | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
| —     | —   | PMDAT<13:8> |         |         |         |         |         |
| bit 7 |     |             |         |         |         |         | bit 0   |

#### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-6      **未実装**: 「0」として読み出し

bit 5-0      **PMDAT<13:8>**: プログラムメモリ読み出しコマンド後に PMADRH と PMADRL が指し示す  
プログラムメモリ ワードの値

## レジスタ 9-3: PMADRL: プログラムメモリ アドレス下位

|            |         |         |         |         |         |         |         |
|------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-0/0    | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| PMADR<7:0> |         |         |         |         |         |         |         |
| bit 7      |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

bit 7-0      **PMADR<7:0>**: プログラムメモリ読み出しアドレス下位ビット

## レジスタ 9-4: PMADRH: プログラムメモリ アドレス上位

|       |     |     |     |     |     |     |         |
|-------|-----|-----|-----|-----|-----|-----|---------|
| U-0   | U-0 | U-0 | U-0 | U-0 | U-0 | U-0 | R/W-0/0 |
| —     | —   | —   | —   | —   | —   | —   | PMADR8  |
| bit 7 |     |     |     |     |     |     | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

bit 7-1      **未実装**: 「0」として読み出し

bit 0      **PMADR8**: プログラムメモリ読み出しアドレス上位ビット

# PIC10(L)F320/322

レジスタ 9-5: PMCON1: プログラムメモリ制御レジスタ 1

| U-1 <sup>(1)</sup> | R/W-0/0 | R/W-0/0 | R/W/HC-0/0 | R/W/HC-0/q <sup>(2)</sup> | R/W-0/0 | R/S/HC-0/0 | R/S/HC-0/0 |
|--------------------|---------|---------|------------|---------------------------|---------|------------|------------|
| —                  | CFGFS   | LWLO    | FREE       | WRERR                     | WREN    | WR         | RD         |
| bit 7              |         |         |            |                           |         |            | bit 0      |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
S = ビットはセットのみ可能    x = ビットは未知      -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア      HC = ビットはハードウェアでクリア

- bit 7      **未実装:** 「1」として読み出し
- bit 6      **CFGFS:** コンフィグレーション選択ビット  
1 = コンフィグレーション、ユーザ ID、デバイス ID レジスタにアクセスする  
0 = フラッシュ プログラムメモリにアクセスする
- bit 5      **LWLO:** 書き込みラッチのみ読み込みビット<sup>(3)</sup>  
1 = 次の WR コマンドで、アドレス指定されたプログラムメモリ書き込みラッチに対してのみ読み込み / 更新を実行する  
0 = 次の WR コマンドで、アドレス指定されたプログラムメモリ書き込みラッチに対する読み込み / 更新を実行し、さらに全てのプログラムメモリ書き込みラッチの書き込みを開始する
- bit 4      **FREE:** プログラム フラッシュ消去イネーブルビット  
1 = 次の WR コマンドで消去動作を実行する (完了後、ハードウェアでクリアされる)  
0 = 次の WR コマンドで書き込み動作を実行する
- bit 3      **WRERR:** 書き込み / 消去エラーフラグ ビット  
1 = 書き込み / 消去シーケンスが正しく実行されなかった、または途中で終了した (このビットは、WR ビットを「1」に設定する命令を発行すると自動的にセットされる)  
0 = 書き込みまたは消去が正常に完了した
- bit 2      **WREN:** 書き込み / 消去イネーブルビット  
1 = 書き込み / 消去サイクルを有効にする  
0 = プログラム フラッシュの書き込み / 消去を無効にする
- bit 1      **WR:** 書き込み制御ビット  
1 = プログラム フラッシュの書き込み / 消去動作を開始する  
動作は自己タイマで実行され、ビットは動作完了時にハードウェアによってクリアされる  
WR ビットはソフトウェアではセットのみ可能で、クリアできない  
0 = フラッシュの書き込み / 消去動作が完了し、非アクティブ状態である
- bit 0      **RD:** 読み出し制御ビット  
1 = プログラム フラッシュの読み出しを始める。読み出し動作は 1 サイクルで完了する。  
RD ビットはハードウェアでクリアされる。ソフトウェアではセットのみ可能で、クリアできない  
0 = プログラム フラッシュの読み出しを始めない

- Note 1:** 未実装ビットであり、「1」として読み出されます。
- 2:** WRERR ビットは、プログラムメモリの書き込みまたは消去動作が開始するとハードウェアによって自動的にセットされます (WR = 1)。
- 3:** プログラムメモリの消去動作中 (FREE = 1)、LWLO ビットは無視されます。

**レジスタ 9-6: PMCON2: プログラムメモリ制御レジスタ 2**

|                  |       |       |       |       |       |       |       |
|------------------|-------|-------|-------|-------|-------|-------|-------|
| W-0/0            | W-0/0 | W-0/0 | W-0/0 | W-0/0 | W-0/0 | W-0/0 | W-0/0 |
| プログラムメモリ制御レジスタ 2 |       |       |       |       |       |       |       |
| bit 7            |       |       |       |       |       |       | bit 0 |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
S = ビットはセットのみ可能    x = ビットは未知      -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

**bit 7-0      フラッシュメモリ ロック解除パターンビット**

書き込みロックを解除するには、このビットに 55h、AAh を順に書き込んだ後、PMCON1 レジスタの WR ビットをセットする必要があります。このレジスタへ書き込まれた値は、書き込みロックの解除に使用されます。これらの書き込み動作には一定のタイミング要件があります。

**表 9-3: フラッシュ プログラムメモリ関連レジスタのまとめ**

| レジスタ名  | Bit 7            | Bit 6 | Bit 5       | Bit 4 | Bit 3 | Bit 2  | Bit 1 | Bit 0  | レジスタ<br>内容記載<br>ページ |
|--------|------------------|-------|-------------|-------|-------|--------|-------|--------|---------------------|
| INTCON | GIE              | PEIE  | TMR0IE      | INTE  | IOCIE | TMR0IF | INTF  | IOCIF  | 46                  |
| PMCON1 | —                | CFGS  | LWLO        | FREE  | WRERR | WREN   | WR    | RD     | 72                  |
| PMCON2 | プログラムメモリ制御レジスタ 2 |       |             |       |       |        |       |        | 73                  |
| PMADRL | PMADR<7:0>       |       |             |       |       |        |       |        | 71                  |
| PMADRH | —                | —     | —           | —     | —     | —      | —     | PMADR8 | 71                  |
| PMDATL | PMDAT<7:0>       |       |             |       |       |        |       |        | 70                  |
| PMDATH | —                | —     | PMDAT<13:8> |       |       |        |       |        | 70                  |

**凡例:** — = 未実装であり「0」として読み出されます。網掛け部分はフラッシュ プログラムメモリ モジュールでは使用しません。

**表 9-4: フラッシュ プログラムメモリ関連コンフィグレーション ワードのまとめ**

| レジスタ名  | Bit  | Bit -/7                | Bit -/6                  | Bit 13/5                  | Bit 12/4  | Bit 11/3 | Bit 10/2   | Bit 9/1 | Bit 8/0 | レジスタ<br>内容記載<br>ページ |
|--------|------|------------------------|--------------------------|---------------------------|-----------|----------|------------|---------|---------|---------------------|
| CONFIG | 13:8 | —                      | —                        | —                         | WRT<1:0>  |          | BORV       | LPBOR   | LVP     | 22                  |
|        | 7:0  | $\overline{\text{CP}}$ | $\overline{\text{MCLR}}$ | $\overline{\text{PWRTE}}$ | WDTE<1:0> |          | BOREN<1:0> |         | FOSC    |                     |

**凡例:** — = 未実装であり「0」として読み出されます。網掛け部分はフラッシュ プログラムメモリでは使用しません。

# PIC10(L)F320/322

---

NOTES:

## 10.0 I/O ポート

有効にしている周辺機能によっては、一部または全てのピンが汎用 I/O として使えなくなります。通常、あるポートピンで周辺機能を有効にすると、そのピンは汎用出力として使用する事はできません。しかし、ピンの読み出しは可能です。

PORTA の動作には以下の 3 個の標準レジスタを使用します。

- TRISA レジスタ (データ方向)
- PORTA レジスタ (デバイスピンのレベル読み取り)
- LATA レジスタ (出力ラッチ)

ポートによっては、さらにレジスタが用意されているものもあります。これらのレジスタは以下の通りです。

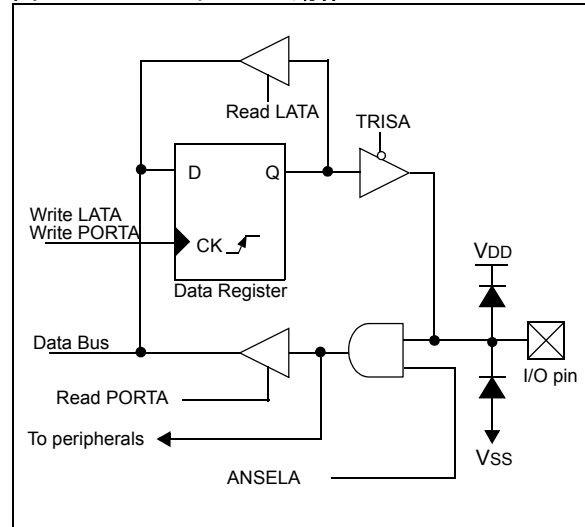
- ANSELA (アナログ選択)
- WPUA (弱プルアップ)

データラッチ (LATA レジスタ) は、I/O ピンが駆動している値の Read-Modify-Write 動作に便利です。

LATA レジスタへの書き込み動作は、対応する PORTA レジスタへの書き込みと同じ効果があります。LATA レジスタを読み出すと、I/O ポートラッチに格納されている値が読み出されるのに対し、PORTA レジスタを読み出すと、実際の I/O ピンの値が読み出されます。

アナログ入力をサポートしているポートには、対応する ANSELA レジスタがあります。ANSEL ビットをセットすると、そのビットに対応するデジタル入力バッファが無効化されます。入力バッファが無効にすると、そのピンに論理 High と Low の中間のアナログ信号レベルが現れても論理入力回路に過大電流が流れるのを防ぐ事ができます。図 10-1 に、他の周辺機能へのインターフェイスを省略した、汎用 I/O ポートの簡易モデルを示します。

図 10-1: I/O ポートの動作



### 例 10-1: PORTA の初期化

```
; This code example illustrates
; initializing the PORTA register. The
; other ports are initialized in the same
; manner.

BANKSEL    PORTA                ;not required on devices with 1 Bank of SFRs
CLRF       PORTA                ;Init PORTA
BANKSEL    LATA                 ;not required on devices with 1 Bank of SFRs
CLRF       LATA                 ;
BANKSEL    ANSELA               ;not required on devices with 1 Bank of SFRs
CLRF       ANSELA               ;digital I/O
BANKSEL    TRISA                ;not required on devices with 1 Bank of SFRs
MOVLW     B'00000011'          ;Set RA<1:0> as inputs
MOVWF     TRISA                 ;and set RA<2:3> as
                                ;outputs
```

# PIC10(L)F320/322

## 10.1 PORTA レジスタ

PORTA は 8 ビット幅の双方向ポートです。これに対応するデータ方向レジスタが、TRISA ( [レジスタ 10-2](#) ) です。TRISA ビットをセットする (= 1) と、対応する PORTA ピンが入力になります ( すなわち、出力ドライバが無効化されます )。TRISA ビットをクリアする (= 0) と、対応する PORTA ピンが出力になります ( すなわち、出力ドライバが有効化され、出力ラッチの内容が選択したピンに出力されます )。例 10-1 に、PORTA の初期化方法を示します。

PORTA レジスタ ( [レジスタ 10-1](#) ) を読み出すとピンの状態が読み出され、PORTA レジスタに書き込むと PORT ラッチに書き込まれます。書き込み動作は全て Read-Modify-Write です。従って、ポートへの書き込み時にはまずポートピンが読み出され、この値が変更されてから PORT データラッチ (LATA) に書き込まれます。

ピンをアナログ入力として使う場合も、TRISA レジスタ ( [レジスタ 10-2](#) ) が PORTA ピンの出力ドライバを制御します。これらのピンをアナログ入力として使用する際は、必ず TRISA レジスタのビットをセットしたままにしてください。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。

### 10.1.1 弱プルアップ

各 PORTA ピンには、個別に設定可能な内部弱プルアップがあります。各プルアップの有効 / 無効は、制御ビット WPUA<3:0> で設定します ( [レジスタ 10-5](#) 参照 )。出力として設定したポートピンの弱プルアップは自動的に OFF になります。全てのプルアップは、パワーオン リセット時に OPTION\_REG レジスタの WPUEN ビットによって無効化されます。

### 10.1.2 ANSELA レジスタ

ANSELA レジスタ ( [レジスタ 10-4](#) ) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELA ビットを High にセットしたピンに対してデジタルの読み出しを実行すると、全て「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELA ビットの状態は、デジタル出力機能には影響を与えません。TRIS をクリアして ANSEL をセットしたピンはデジタル出力として動作しますが、入力モードはアナログです。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない挙動を引き起こす事があります。

**Note:** ANSELA ビットのリセット後の既定値はアナログモードです。任意のピンをデジタル汎用入力または周辺入力として使用するには、対応する ANSEL ビットをユーザ ソフトウェアで「0」に初期化する必要があります。

### 10.1.3 PORTA の機能と出力の優先度

PORTA の各ピンは、他の機能と多重化されています。表 10-1 に、各ピンに割り当てられた複数の機能とそれらの出力の優先度を示します。

複数の出力を有効にした場合、最も優先度の高い周辺機能からの出力が有効となります。

アナログモードの場合、デジタル出力機能は表 10-1 に示した優先度でピンを制御します。

表 10-1: PORTA 出力の優先度

| ピン名 | 機能の優先度 <sup>(1)</sup>           |
|-----|---------------------------------|
| RA0 | ICSPDAT<br>CWG1A<br>PWM1<br>RA0 |
| RA1 | CWG1B<br>PWM2<br>CLC1<br>RA1    |
| RA2 | NCO1<br>CLKR<br>RA2             |
| RA3 | なし                              |

**Note 1:** 優先度の高いものから順に記載しています。

## レジスタ 10-1: PORTA: PORTA レジスタ

| U-0   | U-0 | U-0 | U-0 | R-x/x | R/W-x/x | R/W-x/x | R/W-x/x |
|-------|-----|-----|-----|-------|---------|---------|---------|
| —     | —   | —   | —   | RA3   | RA2     | RA1     | RA0     |
| bit 7 |     |     |     | bit 0 |         |         |         |

### 凡例:

R = 読み出し可能ビット    W = 書き込み可能ビット    U = 未実装ビット、「0」として読み出し  
u = ビットは不変    x = ビットは未知    -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット    「0」= ビットはクリア

bit 7-4    **未実装:** 「0」として読み出し

bit 3-0    **RA<3:0>:** PORTA I/O 値ビット (RA3 は読み出し専用)

**Note 1:** PORTx への書き込みは、実際には対応する LATx レジスタへの書き込み動作です。  
PORTx レジスタからの読み出しでは、実際の I/O ピンの値が読み出されます。

## レジスタ 10-2: TRISA: PORTA 3 ステート レジスタ

| U-0   | U-0 | U-0 | U-0 | U-1              | R/W-1/1 | R/W-1/1 | R/W-1/1 |
|-------|-----|-----|-----|------------------|---------|---------|---------|
| —     | —   | —   | —   | — <sup>(1)</sup> | TRISA2  | TRISA1  | TRISA0  |
| bit 7 |     |     |     | bit 0            |         |         |         |

### 凡例:

R = 読み出し可能ビット    W = 書き込み可能ビット    U = 未実装ビット、「0」として読み出し  
u = ビットは不変    x = ビットは未知    -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット    「0」= ビットはクリア

bit 7-4    **未実装:** 「0」として読み出し

bit 3    **未実装:** 「1」として読み出し

bit 2-0    **TRISA<2:0>:** RA<2:0> ポート I/O 3 ステート制御ビット

1 = ポート出力ドライバを無効にする  
0 = ポート出力ドライバを有効にする

**Note 1:** 未実装であり「1」として読み出されます。

# PIC10(L)F320/322

レジスタ 10-3: LATA: PORTA データラッチ レジスタ

| U-0   | U-0 | U-0 | U-0 | U-0 | R/W-x/u | R/W-x/u | R/W-x/u |
|-------|-----|-----|-----|-----|---------|---------|---------|
| —     | —   | —   | —   | —   | LATA2   | LATA1   | LATA0   |
| bit 7 |     |     |     |     |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-3      **未実装:** 「0」として読み出し

bit 2-0      **LATA<2:0>:** RA<2:0> 出力ラッチ値ビット

**Note 1:** PORTx への書き込みは、実際には対応する LATx レジスタへの書き込み動作です。  
LATx レジスタからの読み出しでは I/O ピンの値ではなく、レジスタの値が読み出されます。

レジスタ 10-4: ANSELA: PORTA アナログ選択レジスタ

| U-0   | U-0 | U-0 | U-0 | U-0 | R/W-1/1 | R/W-1/1 | R/W-1/1 |
|-------|-----|-----|-----|-----|---------|---------|---------|
| —     | —   | —   | —   | —   | ANSA2   | ANSA1   | ANSA0   |
| bit 7 |     |     |     |     |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-3      **未実装:** 「0」として読み出し

bit 2-0      **ANSA<2:0>:** RA<2:0> の各ピンの機能をアナログまたはデジタルのいずれかに設定します。

- 1 = アナログ入力、ピンをアナログ入力として割り当てる <sup>(1)</sup>、デジタル入力バッファは無効となる  
0 = デジタル I/O、ピンをポートまたはデジタル特殊機能に割り当てる

**Note 1:** ピンをアナログ入力にセットすると、デジタル入力回路が自動的に無効化されます。弱プルアップ回路を備えるピンの場合、その機能に影響はありません。ピンの電圧を外部から制御するには、対応する TRIS ビットを入力モードにセットする必要があります。

**レジスタ 10-5: WPUA: PORTA 弱プルアップ レジスタ**

| U-0   | U-0 | U-0 | U-0 | R/W-1/1              | R/W-1/1 | R/W-1/1 | R/W-1/1 |
|-------|-----|-----|-----|----------------------|---------|---------|---------|
| —     | —   | —   | —   | WPUA3 <sup>(2)</sup> | WPUA2   | WPUA1   | WPUA0   |
| bit 7 |     |     |     | bit 0                |         |         |         |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

bit 7-4      未実装: 「0」として読み出し  
 bit 3-0      WPUA<3:0>: PORTA 弱プルアップ制御ビット  
             1 = 弱プルアップを有効にする<sup>(1)</sup>  
             0 = 弱プルアップを無効にする

**Note 1:** 弱プルアップを有効にするには、OPTION\_REG レジスタの  $\overline{\text{WPUEN}}$  ビットもクリアする必要があります (レジスタ 16-1)。

**2:** MCLRE = 1 の場合、RA3 の弱プルアップはチップ内部で有効化されますが、ここには示されません。

# PIC10(L)F320/322

表 10-2: PORTA 関連レジスタのまとめ

| レジスタ名  | Bit 7 | Bit 6 | Bit 5 | Bit 4 | Bit 3            | Bit 2  | Bit 1  | Bit 0  | レジスタ<br>内容記載<br>ページ |
|--------|-------|-------|-------|-------|------------------|--------|--------|--------|---------------------|
| ANSELA | —     | —     | —     | —     | —                | ANSA2  | ANSA1  | ANSA0  | 78                  |
| IOCAF  | —     | —     | —     | —     | IOCAF3           | IOCAF2 | IOCAF1 | IOCAF0 | 84                  |
| IOCAN  | —     | —     | —     | —     | IOCAN3           | IOCAN2 | IOCAN1 | IOCAN0 | 83                  |
| IOCAP  | —     | —     | —     | —     | IOCAP3           | IOCAP2 | IOCAP1 | IOCAP0 | 83                  |
| LATA   | —     | —     | —     | —     | —                | LATA2  | LATA1  | LATA0  | 78                  |
| PORTA  | —     | —     | —     | —     | RA3              | RA2    | RA1    | RA0    | 77                  |
| TRISA  | —     | —     | —     | —     | — <sup>(1)</sup> | TRISA2 | TRISA1 | TRISA0 | 77                  |
| WPUA   | —     | —     | —     | —     | WPUA3            | WPUA2  | WPUA1  | WPUA0  | 79                  |

凡例: x = 未知、u = 不変、— = 未実装であり「0」として読み出されます。  
網掛け部分は PORTA では使用しません。

Note 1: 未実装であり「1」として読み出されます。

## 11.0 状態変化割り込み

PORTA ピンは状態変化割り込み (IOC) ピンとして設定できます。割り込みは、信号の立ち上がりエッジ / 立ち下がりエッジのどちらの検出時にも生成する事ができます。1 本の PORTA ピンでも複数の PORTA ピンの組み合わせでも割り込み生成が可能です。状態変化割り込みモジュールは、以下の特長があります。

- 状態変化割り込みイネーブル (マスタスイッチ)
- 個別のピン設定
- 立ち上がり / 立ち下がりエッジの検出
- 個別のピン割り込みフラグ

図 11-1 に、IOC モジュールのブロック図を示します。

### 11.1 モジュールの有効化

各 PORTA ピンで割り込みを生成するには、INTCON レジスタの IOCIE ビットをセットする必要があります。IOCIE ビットがクリアの場合、ピンにおいてエッジは検出されますが割り込みは生成されません。

### 11.2 個別のピン設定

各 PORTA ピンには、立ち上がりエッジの検出機能と立ち下がりエッジの検出機能があります。立ち上がりエッジの検出機能を有効にする場合、IOCAP レジスタの対応する IOCAPx ビットをセットします。立ち下がりエッジの検出機能を有効にする場合、IOCAN レジスタの対応する IOCANx ビットをセットします。

IOCAP および IOCAN レジスタの各ビット (IOCAPx と IOCANx) を両方セットすると、立ち上がりエッジと立ち下がりエッジを共に検出できます。

## 11.3 割り込みフラグ

IOCAF レジスタの IOCAFx ビットは、PORTA の状態変化割り込みピンに対応するステータスフラグです。状態変化割り込みを有効にしたピンで所定のエッジが検出されると、そのピンのステータスフラグがセットされ、IOCIE ビットをセットしている場合は割り込みが生成されます。INTCON レジスタの IOCIF ビットは、全ての IOCAFx ビットのステータスを反映します。

### 11.4 割り込みフラグのクリア

各ステータスフラグ (IOCAFx ビット) は、0 にリセットするとクリアできます。クリア動作中に次のエッジが検出された場合、書き込まれる値に関係なく、シーケンス完了時に対応するステータスフラグがセットされます。

フラグクリア中に検出したエッジを失わないようにするため、既知の変更済みビットをマスクした AND 動作のみ実行してください。下記はシーケンスの例です。

#### 例 11-1:

```
MOVLW    0xff
XORWF    IOCAF, W
ANDWF    IOCAF, F
```

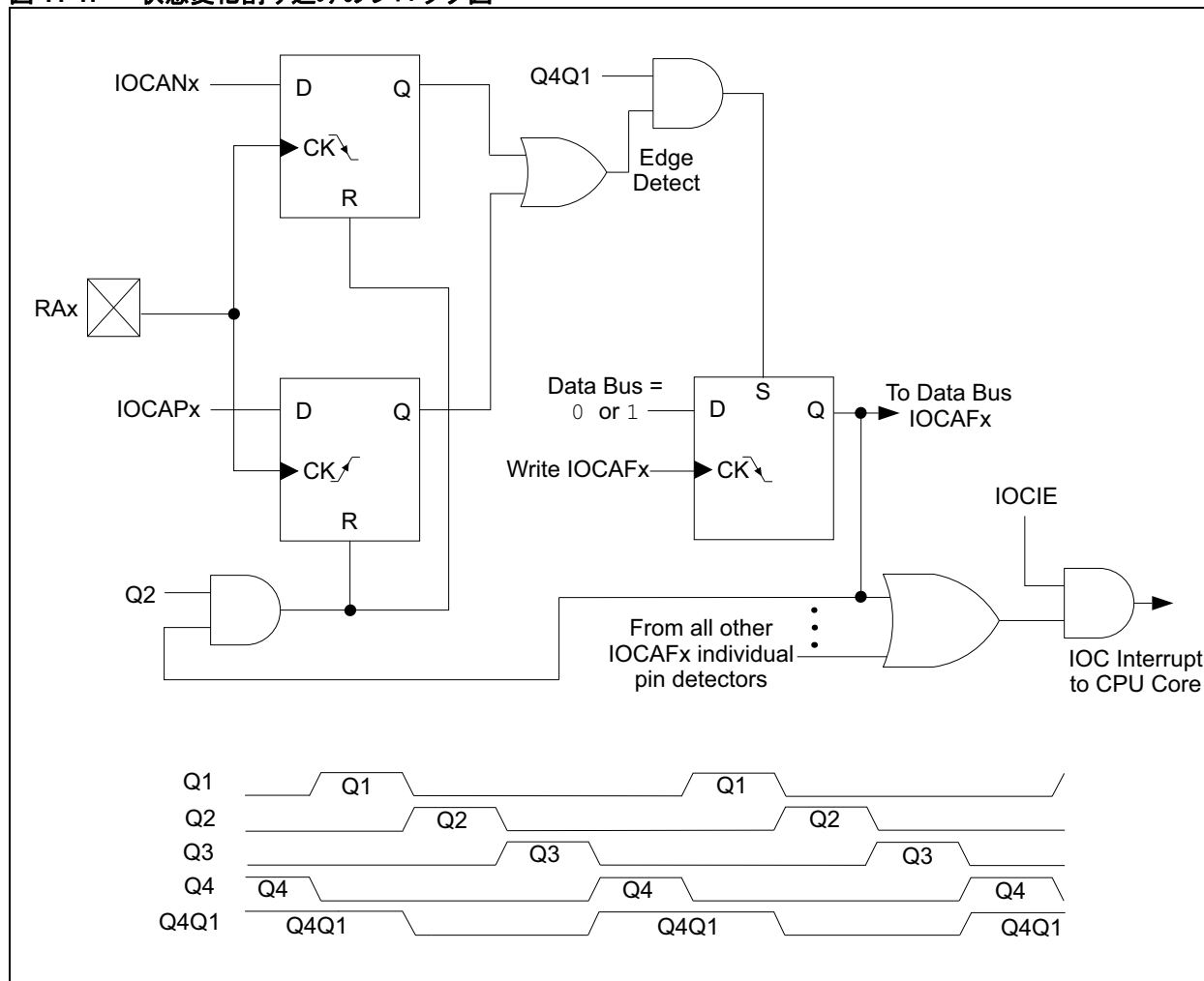
### 11.5 スリープ時の動作

IOCIE ビットがセットされている場合、状態変化割り込みシーケンスはデバイスをスリープモードから復帰させます。

スリープモード中にエッジが検出された場合、IOCAF レジスタが更新された後に復帰後の最初の命令が実行されます。

# PIC10(L)F320/322

図 11-1: 状態変化割り込みのブロック図



## 11.6 状態変化割り込みに関連するレジスタ

レジスタ 11-1: IOCAP: PORTA 立ち上がりエッジ状態変化割り込みレジスタ

| U-0   | U-0 | U-0 | U-0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
|-------|-----|-----|-----|---------|---------|---------|---------|
| —     | —   | —   | —   | IOCAP3  | IOCAP2  | IOCAP1  | IOCAP0  |
| bit 7 |     |     |     | bit 0   |         |         |         |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7-4      **未実装:** 「0」として読み出し

bit 3-0      **IOCAP<3:0>:** PORTA 立ち上がりエッジ状態変化割り込みイネーブルビット

- 1 = 立ち上がりエッジの状態変化割り込みを有効にする。エッジを検出すると、関連するステータスビットと割り込みフラグがセットされる<sup>(1)</sup>  
0 = 状態変化割り込みを無効にする

**Note 1:** 状態変化割り込みを使うには、INTCON レジスタの IOCIE ビットもセットする必要があります (レジスタ 6-1)。

レジスタ 11-2: IOCAN: PORTA 立ち下がりエッジ状態変化割り込みレジスタ

| U-0   | U-0 | U-0 | U-0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
|-------|-----|-----|-----|---------|---------|---------|---------|
| —     | —   | —   | —   | IOCAN3  | IOCAN2  | IOCAN1  | IOCAN0  |
| bit 7 |     |     |     | bit 0   |         |         |         |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7-4      **未実装:** 「0」として読み出し

bit 3-0      **IOCAN<3:0>:** PORTA 立ち下がりエッジ状態変化割り込みイネーブルビット

- 1 = 立ち下がりエッジの状態変化割り込みを有効にする。エッジを検出すると、関連するステータスビットと割り込みフラグがセットされる<sup>(1)</sup>  
0 = 状態変化割り込みを無効にする

**Note 1:** 状態変化割り込みを使うには、INTCON レジスタの IOCIE ビットもセットする必要があります (レジスタ 6-1)。

# PIC10(L)F320/322

レジスタ 11-3: IOCAF: PORTA 状態変化割り込みフラグレジスタ

|       |     |     |     |         |         |         |         |
|-------|-----|-----|-----|---------|---------|---------|---------|
| U-0   | U-0 | U-0 | U-0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| —     | —   | —   | —   | IOCAF3  | IOCAF2  | IOCAF1  | IOCAF0  |
| bit 7 |     |     |     |         |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア          HS = ビットはハードウェアでセット

bit 7-4      **未実装:** 「0」として読み出し

bit 3-0      **IOCAF<3:0>:** PORTA 状態変化割り込みフラグビット

- 1 = 対応するピンで有効に設定した状態変化が検出された  
IOCAPx = 1 で、RAX に立ち上がりエッジが検出された場合、または IOCANx = 1 で、  
RAX に立ち下がりエッジが検出された場合にセットされる<sup>(1)</sup>  
0 = 状態変化なし、または検出された状態変化をユーザがクリアした

**Note 1:** 状態変化割り込みを使うには、INTCON レジスタの IOCIE ビットもセットする必要があります  
( [レジスタ 6-1](#) )。

表 11-1: 状態変化割り込み関連レジスタのまとめ

| レジスタ名  | Bit 7 | Bit 6 | Bit 5  | Bit 4 | Bit 3            | Bit 2  | Bit 1  | Bit 0  | レジスタ<br>内容記載<br>ページ |
|--------|-------|-------|--------|-------|------------------|--------|--------|--------|---------------------|
| INTCON | GIE   | PEIE  | TMR0IE | INTE  | IOCIE            | TMR0IF | INTF   | IOCIF  | <a href="#">46</a>  |
| IOCAF  | —     | —     | —      | —     | IOCAF3           | IOCAF2 | IOCAF1 | IOCAF0 | <a href="#">84</a>  |
| IOCAN  | —     | —     | —      | —     | IOCAN3           | IOCAN2 | IOCAN1 | IOCAN0 | <a href="#">83</a>  |
| IOCAP  | —     | —     | —      | —     | IOCAP3           | IOCAP2 | IOCAP1 | IOCAP0 | <a href="#">83</a>  |
| TRISA  | —     | —     | —      | —     | — <sup>(1)</sup> | TRISA2 | TRISA1 | TRISA0 | <a href="#">77</a>  |

**凡例:** — = 未実装であり「0」として読み出されます。網掛け部分は状態変化割り込みでは使用しません。

**Note 1:** 未実装であり「1」として読み出されます。

## 12.0 固定参照電圧 (FVR)

固定参照電圧 (FVR) は、VDD から独立している安定した参照電圧であり、出力レベルを 1.024 V、2.048 V または 4.096 V から選択できます。FVR の出力は、設定によって以下の参照電圧として供給する事ができます。

- ADC 入力チャンネル

FVRCON レジスタの FVREN ビットをセットすると FVR を有効にできます。

## 12.1 独立ゲインアンプ

FVR 出力は、独立したプログラマブル ゲイン アンプを介して ADC に入力されます。このアンプは参照電圧を 1 倍、2 倍、4 倍のいずれかに増幅するよう設定でき、これによって電圧レベルを 3 種類に切り換えます。

ADC モジュールへ供給する参照電圧のゲインアンプを有効化 / 設定するには、FVRCON レジスタの ADFVR<1:0> ビットを使用します。詳細は、[セクション 15.0「A/D コンバータ \(ADC\) モジュール」](#)を参照してください。

## 12.2 FVR 安定化時間

固定参照電圧モジュールを有効にした場合、参照電圧回路とアンプ回路が安定するまである程度の時間が必要です。回路が安定して使用可能な状態になると、FVRCON レジスタの FVRRDY ビットがセットされます。詳細は[セクション 24.0「電氣的仕様」](#)を参照してください。

図 12-1: 参照電圧のブロック図

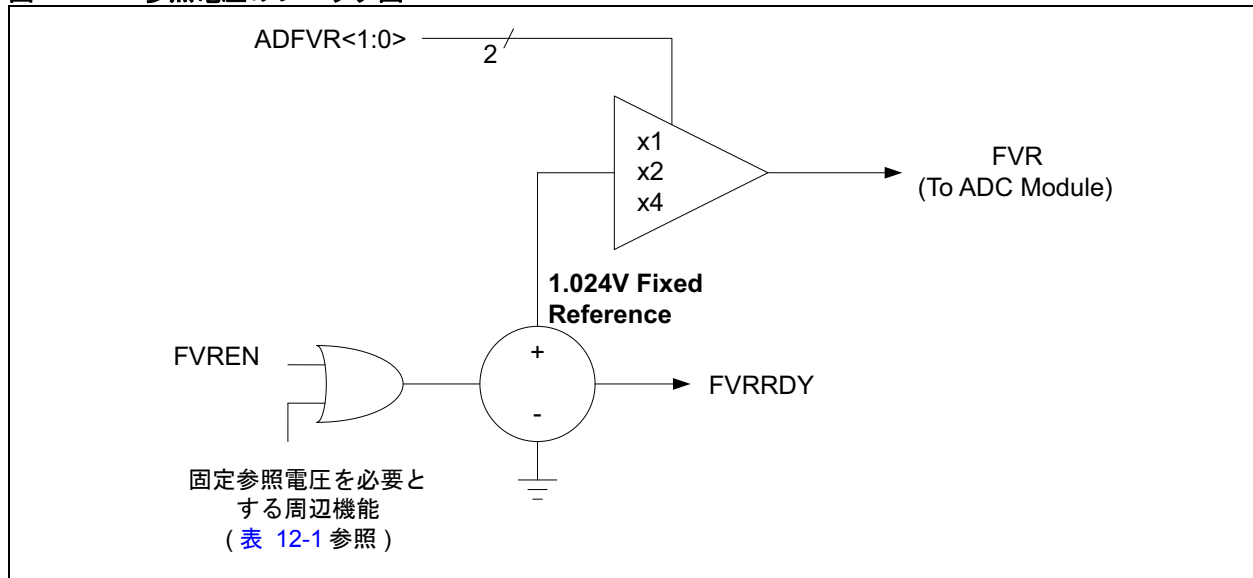


表 12-1: 固定参照電圧 (FVR) を必要とする周辺機能

| 周辺機能     | 条件                                         | 説明                               |
|----------|--------------------------------------------|----------------------------------|
| HFINTOSC | FOSC = 1                                   | CLKIN ピンに EC を印加する               |
| BOR      | BOREN<1:0> = 11                            | BOR を常に有効にする                     |
|          | BOREN<1:0> = 10 かつ BORFS = 1               | スリープモード中に BOR を無効、BOR 高速起動を有効にする |
|          | BOREN<1:0> = 01 かつ BORFS = 1               | BOR をソフトウェアによって制御、BOR 高速起動を有効にする |
| IVR      | 全ての PIC10F320/322 で VREGPM1=1 かつスリープ中でない場合 | スリープモード中、デバイスは省電力モード レギュレータで動作する |

# PIC10(L)F320/322

## 12.3 FVR 制御レジスタ

レジスタ 12-1: FVRCON: 固定参照電圧制御レジスタ

|         |                       |         |         |     |     |            |         |
|---------|-----------------------|---------|---------|-----|-----|------------|---------|
| R/W-0/0 | R-q/q                 | R/W-0/0 | R/W-0/0 | U-0 | U-0 | R/W-0/0    | R/W-0/0 |
| FVREN   | FVRRDY <sup>(1)</sup> | TSEN    | TSRNG   | —   | —   | ADFVR<1:0> |         |
| bit 7   |                       |         |         |     |     |            | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア              q = 条件による

- bit 7      **FVREN:** 固定参照電圧イネーブルビット  
1 = 固定参照電圧を有効にする  
0 = 固定参照電圧を無効にする
- bit 6      **FVRRDY:** 固定参照電圧レディフラグ ビット <sup>(1)</sup>  
1 = 固定参照電圧出力は使用可能である  
0 = 固定参照電圧出力は安定していない (または無効である)
- bit 5      **TSEN:** 温度インジケータ イネーブルビット <sup>(3)</sup>  
1 = 温度インジケータを有効にする  
0 = 温度インジケータを無効にする
- bit 4      **TSRNG:** 温度インジケータ レンジ選択ビット <sup>(3)</sup>  
1 =  $V_{OUT} = V_{DD} - 4 V_T$  (High レンジ)  
0 =  $V_{OUT} = V_{DD} - 2 V_T$  (Low レンジ)
- bit 3-2      **未実装:** 「0」として読み出し
- bit 1-0      **ADFVR<1:0>:** ADC 用固定参照電圧選択ビット  
11 = ADC 用固定参照電圧周辺機能の出力 4 倍 (4.096 V)<sup>(2)</sup>  
10 = ADC 用固定参照電圧周辺機能の出力 2 倍 (2.048 V)<sup>(2)</sup>  
01 = ADC 用固定参照電圧周辺機能の出力 1 倍 (1.024 V)  
00 = ADC 用固定参照電圧周辺機能の出力 OFF

- Note 1:** FVRRDY は、FVR の真の状態を示します。  
**2:** 固定参照電圧出力は、 $V_{DD}$  を超える事ができません。  
**3:** 詳細は、[セクション 14.0「温度インジケータ モジュール」](#) を参照してください。

表 12-2: 固定参照電圧関連レジスタのまとめ

| レジスタ名  | Bit 7 | Bit 6  | Bit 5 | Bit 4 | Bit 3 | Bit 2 | Bit 1      | Bit 0 | レジスタ<br>内容記載<br>ページ |
|--------|-------|--------|-------|-------|-------|-------|------------|-------|---------------------|
| FVRCON | FVREN | FVRRDY | TSEN  | TSRNG | —     | —     | ADFVR<1:0> |       | 86                  |

**凡例:** 網掛け部分は固定参照電圧では使用しません。

## 13.0 内部電圧レギュレータ (IVR)

内部電圧レギュレータ (IVR) は、3.6 V を超える動作を可能とします。以下のデバイスで使用できます。

- PIC10(L)F320
- PIC10(L)F322

この回路はデバイス内部のロジックで使用する電圧をレギュレートし、VDD と I/O ピンはこれより高い電圧で動作できるようにします。VDD がレギュレートされた電圧に近づくと、IVR 出力は自動的に入力電圧に追従します。

IVR は、ユーザによる設定と周辺機器の選択に応じて、3 つの電力モードのいずれかで動作します。

- 高消費電力
- 低消費電力
- 省電力スリープモード

電力モードはデバイス動作に応じて自動的に選択されます (表 13-1 参照)。VDD がコアの安全な動作電圧を下回ると、自動的に追従モードが選択されます。

**Note:** 追従モード時、IVR は無効となりますが電力は消費します。詳細は、**セクション 24.0「電氣的仕様」**を参照してください。

表 13-1: IVR 電力モード - レギュレート時

| VREGPM1 ビット | スリープモード | メモリバイアス電力モード                        | IVR 電力モード          |
|-------------|---------|-------------------------------------|--------------------|
| x           | No      | EC モードまたは INTOSC = 16 MHz (HP バイアス) | 高消費電力              |
|             |         | INTOSC = 1 ~ 8 MHz (MP バイアス)        |                    |
|             |         | INTOSC = 31 ~ 500 kHz (LP バイアス)     | 低消費電力              |
| 0           | Yes     | ドントケア                               | 低消費電力              |
| 1           | Yes     | HFINTOSC 給電なし<br>周辺機能給電なし           | 省電力 <sup>(1)</sup> |

**Note 1:** 以下のいずれかの条件によって、低電力モードに切り換わります。

- BOR が有効である
- 周辺機能のソースとして HFINTOSC が有効である
- 自己書き込みが有効である
- A/D コンバータの変換動作がアクティブである

# PIC10(L)F320/322

レジスタ 13-1: VREGCON: 電圧レギュレータ制御レジスタ

| U-0   | U-0 | U-0 | U-0 | U-0 | U-0 | R/W-0/0 | R/W-1/1 |
|-------|-----|-----|-----|-----|-----|---------|---------|
| —     | —   | —   | —   | —   | —   | VREGPM1 | 予約済み    |
| bit 7 |     |     |     |     |     |         | bit 0   |

**凡例:**

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  |                                         |

bit 7-2 **未実装:** 「0」として読み出し

bit 1 **VREGPM1:** 電圧レギュレータ電力モード選択ビット

1 = スリープ時に省電力スリープモードを有効にする。スリープ時の消費電流は最も低い、復帰に時間を要する

0 = スリープ時に低消費電力モードを有効にする。スリープ時の消費電流はより大きい、短時間で復帰できる

bit 0 **予約済み:** セットした状態を維持する (クリアしない事)

## 14.0 温度インジケータ モジュール

このデバイスファミリは、シリコンダイの動作温度を計測するために設計された温度回路を搭載しています。この回路の動作温度レンジは  $-40 \sim +85^{\circ}\text{C}$  です。出力はデバイス温度に比例した電圧です。温度インジケータの出力は、デバイス内蔵 ADC に接続されています。

この回路は校正方法に応じて温度しきい値の検出器または高精度な温度計として使用できます。1 点校正を行うと、回路はその前後の温度を計測できます。2 点校正を行うと、全温度レンジでより高精度の温度計測が可能です。校正手順の詳細については、アプリケーションノート AN1333『内部温度インジケータの使用と校正』(DS01333) を参照してください。

### 14.1 回路動作

図 14-1 に、温度回路の概略ブロック図を示します。温度に比例する電圧出力は、複数のシリコン接合の順方向電圧降下を計測する事で得られます。

式 14-1 は、温度インジケータの出力特性を表します。

#### 式 14-1: $V_{OUT}$ のレンジ

High Range:  $V_{OUT} = V_{DD} - 4V_T$

Low Range:  $V_{OUT} = V_{DD} - 2V_T$

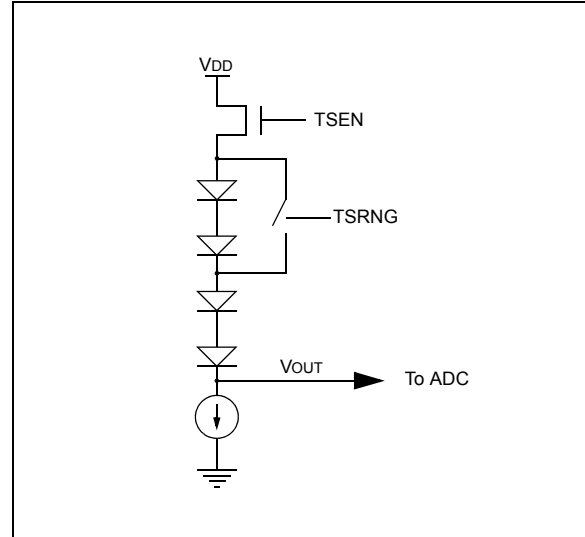
温度検出回路は、固定参照電圧 (FVR) モジュールに内蔵されています。詳細は、[セクション 12.0「固定参照電圧 \(FVR\)」](#) を参照してください。

この回路は、FVRCON レジスタの TSEN ビットをセットすると有効になります。無効にした場合、回路には電流が一切流れません。

回路は High レンジまたは Low レンジで動作します。FVRCON レジスタの TSRNG ビットをセットすると High レンジが選択され、より広い出力電圧が得られます。この場合、温度レンジ全体にわたって分解能が向上しますが、製品間のばらつきが大きくなります。High レンジの動作には、より高いバイアス電圧が必要なため、 $V_{DD}$  も高くする必要があります。

FVRCON0 レジスタの TSRNG ビットをクリアすると Low レンジが選択されます。Low レンジでは発生する電圧降下が小さいため、回路動作にはより低いバイアス電圧が必要です。Low レンジは、低電圧動作向けに用意されたモードです。

図 14-1: 温度計測の回路図



### 14.2 最小動作電圧 $V_{DD}$ と最小検出温度

温度回路を Low レンジで動作させる場合、デバイスは仕様内の任意の動作電圧で動作させる事ができます。

一方、High レンジで動作させる場合、デバイスの動作電圧  $V_{DD}$  に、温度回路を適切にバイアスできる十分高い電圧を供給する必要があります。

表 14-1 に、各レンジ設定に対する推奨最小  $V_{DD}$  を示します。

表 14-1: 各レンジに対する推奨  $V_{DD}$

| 最小 $V_{DD}$ , TSRNG = 1 | 最小 $V_{DD}$ , TSRNG = 0 |
|-------------------------|-------------------------|
| 3.6 V                   | 1.8 V                   |

### 14.3 温度出力

温度回路の出力は、内蔵 A/D コンバータ (ADC) によって計測されます。温度回路の出力用に 1 チャンネルが予約されています。詳細は、[セクション 15.0「A/D コンバータ \(ADC\) モジュール」](#) を参照してください。

### 14.4 ADC アクイジション時間

確実に正確な温度を計測するには、ADC 入力マルチプレクサが温度インジケータの出力に接続されてから  $200 \mu\text{s}$  以上待ってから A/D 変換を開始する必要があります。また、温度インジケータ出力を連続して変換する場合、各変換動作の間に  $200 \mu\text{s}$  待つ必要があります。

# PIC10(L)F320/322

表 14-2: レジスタのまとめ

| レジスタ名  | Bit 7        | Bit 6  | Bit 5 | Bit 4    | Bit 3 | Bit 2 | Bit 1                   | Bit 0 | レジスタ<br>内容記載<br>ページ |
|--------|--------------|--------|-------|----------|-------|-------|-------------------------|-------|---------------------|
| FVRCON | FVREN        | FVRRDY | TSEN  | TSRNG    | —     | —     | ADFVR<1:0>              |       | 86                  |
| ADCON  | ADCS<2:0>    |        |       | CHS<2:0> |       |       | <div>GO/<br/>DONE</div> | ADON  | 96                  |
| ADRES  | A/D 変換結果レジスタ |        |       |          |       |       |                         |       | 97                  |

凡例: — = 未実装であり「0」として読み出されます。網掛け部分は温度インジケータでは使用しません。

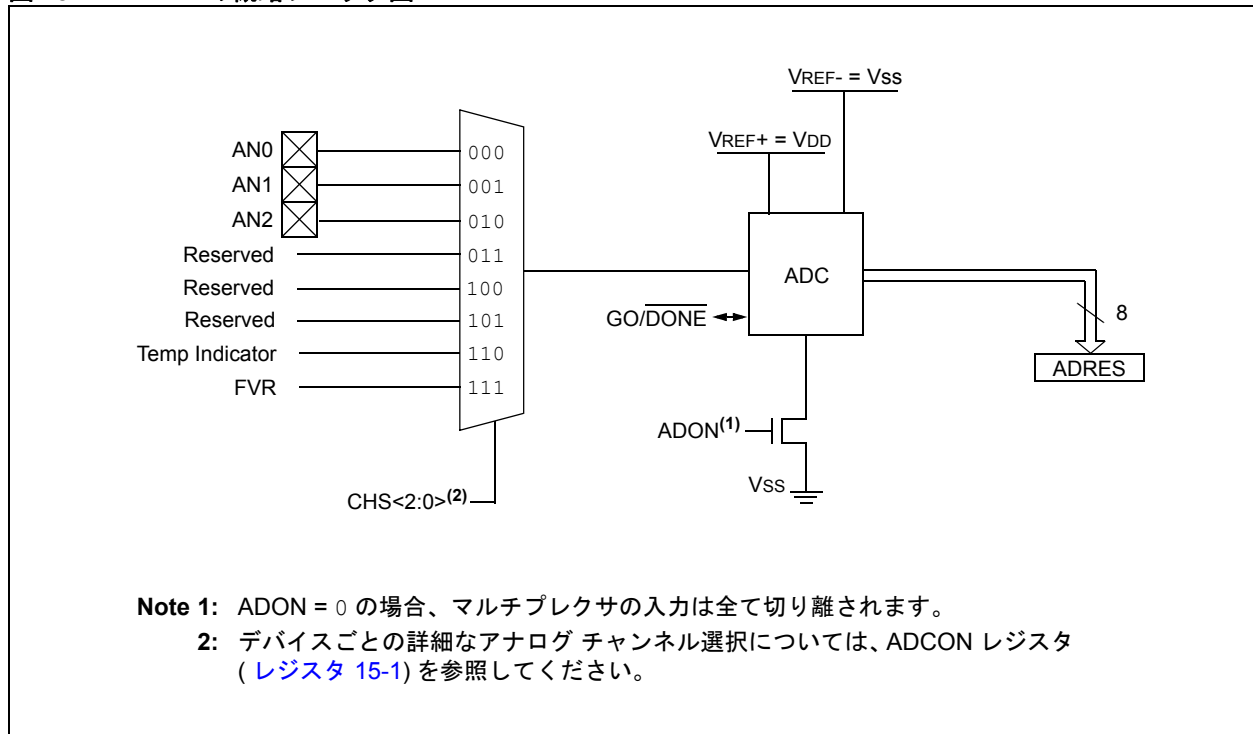
## 15.0 A/D コンバータ (ADC) モジュール

この A/D コンバータ (ADC) は、アナログ入力信号を 8 ビットのバイナリ値に変換します。本デバイスで使用する 3 つのアナログ入力チャンネルは、多重化して 1 つのサンプルホールド回路に入力します。このサンプルホールド回路の出力を ADC の入力に接続します。ADC は逐次比較方式によって 8 ビットのバイナリ値を生成し、この変換結果を A/D 変換結果レジスタ (ADRES) に格納します。図 15-1 に、ADC のブロック図を示します。

ADC の参照電圧はソフトウェアで選択可能であり、内部で生成するか外部から供給する事ができます。

ADC は変換完了時に割り込みを生成できます。この割り込みを使って、デバイスをスリープモードから復帰させる事ができます。

図 15-1: ADC の概略ブロック図



## 15.1 ADC の設定

ADC の設定と使用に際しては、以下の機能を考慮する必要があります。

- ポートの設定
- チャンネル選択
- ADC のクロック源
- 割り込み制御

### 15.1.1 ポートの設定

ADC は、アナログ信号とデジタル信号のいずれの変換にも使用できます。アナログ信号を変換する場合、対応する TRIS ビットと ANSEL ビットをセットして I/O ピンをアナログに設定する必要があります。詳細は[セクション 10.0「I/O ポート」](#)を参照してください。

**Note:** デジタル入力として定義されたピンにアナログ電圧を印加すると、入力バッファに過大な電流が流れる事があります。

### 15.1.2 チャンネル選択

以下から最大 5 チャンネル選択できます。

- AN<2:0> ピン
- 温度インジケータ
- FVR (固定参照電圧) 出力

これらのチャンネル選択に関する詳細は、[セクション 12.0「固定参照電圧 \(FVR\)」](#)と[セクション 14.0「温度インジケータ モジュール」](#)を参照してください。

サンプルホールド回路にどのチャンネルを接続するかは、ADCON レジスタの CHS ビットで設定します。

チャンネルを変更する際は、次の変換を開始するまでに遅延が必要です。詳細は[セクション 15.2「ADC の動作」](#)を参照してください。

### 15.1.3 ADC 参照電圧

この ADC には外部参照電圧への接続がありません。参照電圧源として使用できるのは V<sub>DD</sub> のみです。FVR は入力チャンネル専用であり、ADC の V<sub>REF+</sub> 入力には使えません。

### 15.1.4 変換クロック

ADC のクロック源は、ADCON レジスタの ADSCS ビットを使ってソフトウェアで選択できます ([レジスタ 15-1](#))。クロックは以下の 7 種類から選択できます。

- Fosc/2
- Fosc/4
- Fosc/8
- Fosc/16
- Fosc/32
- Fosc/64
- FRC (専用の内部オシレータ)

1 ビットの変換に必要な時間を T<sub>AD</sub> と定義します。[図 15-2](#)に示すように、8 ビット全体の変換には、1 回あたり 9.5 T<sub>AD</sub> の時間が必要です。

正しく変換するには、T<sub>AD</sub> の仕様を適切に満たす必要があります。A/D 変換の要件に関する詳細は、[セクション 24.0「電氣的仕様」](#)を参照してください。[表 15-1](#)に、適切な ADC クロックの選択例を示します。

**Note 1:** システムクロック周波数を変更すると、ADC クロックの周波数も変化するため、ADC の結果に悪影響を与える可能性があります。

**表 15-1: ADC クロック周期 (TAD) とデバイスの動作 周波数の関係**

| ADC クロック周期 (TAD) |           | デバイスの動作周波数 (Fosc)           |                             |                             |                             |
|------------------|-----------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|
| ADC<br>クロック源     | ADCS<2:0> | 16 MHz                      | 8 MHz                       | 4 MHz                       | 1 MHz                       |
| Fosc/2           | 000       | 125 ns <sup>(1)</sup>       | 250 ns <sup>(1)</sup>       | 500 ns <sup>(1)</sup>       | 2.0 µs                      |
| Fosc/4           | 100       | 250 ns <sup>(1)</sup>       | 500 ns <sup>(1)</sup>       | 1.0 µs                      | 4.0 µs                      |
| Fosc/8           | 001       | 0.5 µs <sup>(1)</sup>       | 1.0 µs                      | 2.0 µs                      | 8.0 µs <sup>(2)</sup>       |
| Fosc/16          | 101       | 1.0 µs                      | 2.0 µs                      | 4.0 µs                      | 16.0 µs <sup>(2)</sup>      |
| Fosc/32          | 010       | 2.0 µs                      | 4.0 µs                      | 8.0 µs <sup>(2)</sup>       | 32.0 µs <sup>(2)</sup>      |
| Fosc/64          | 110       | 4.0 µs                      | 8.0 µs <sup>(2)</sup>       | 16.0 µs <sup>(2)</sup>      | 64.0 µs <sup>(2)</sup>      |
| FRC              | x11       | 1.0-6.0 µs <sup>(1,3)</sup> | 1.0-6.0 µs <sup>(1,3)</sup> | 1.0-6.0 µs <sup>(1,3)</sup> | 1.0-6.0 µs <sup>(1,3)</sup> |

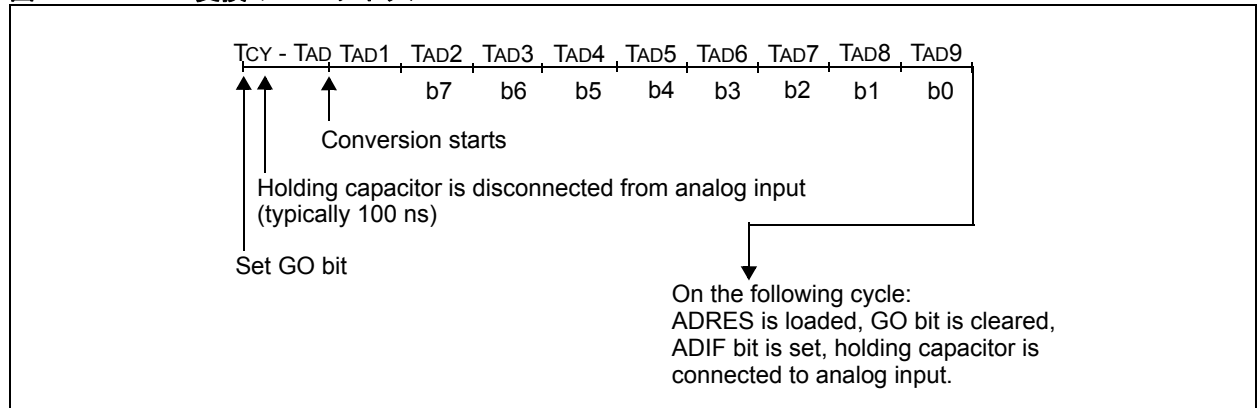
**凡例:** 網掛けの値は推奨範囲外です。

**Note 1:** これらの値は TAD 時間の最小要件を満たしていません。

**2:** より高速の変換を実行するには、他のクロック源の選択を推奨します。

**3:** ADC クロックの周期 (TAD) と A/D 変換の総時間を最小にするには、ADC クロックをシステムクロック Fosc から取ります。しかし、スリープ中でも変換を行う場合、FRC クロック源を使う必要があります。

**図 15-2: A/D 変換の TAD サイクル**



## 15.1.5 割り込み

ADC モジュールは、A/D 変換完了時に割り込みを生成できます。ADC 割り込みフラグは、PIR1 レジスタの ADIF ビットです。ADC 割り込みイネーブルは、PIE1 レジスタの ADIE ビットです。ADIF ビットはソフトウェアでクリアする必要があります。

**Note:** ADC 割り込みの有効 / 無効の設定にかかわらず、変換完了時には必ず ADIF ビットがセットされます。

この割り込みは、通常動作中でもスリープ中でも生成できます。デバイスがスリープ中の場合、割り込みによってデバイスが復帰します。スリープから復帰すると、必ず SLEEP 命令の次の命令が実行されます。スリープから復帰後にインラインコード実行を再開するには、INTCON レジスタの GIE および PEIE ビットを無効にしておく必要があります。INTCON レジスタの GIE および PEIE ビットが有効な場合、コード実行は割り込みサービスルーチンに分岐します。

## 15.2 ADC の動作

### 15.2.1 変換の開始

ADC モジュールを有効にするには、ADCON レジスタの ADON ビットを「1」にセットする必要があります。ADCON レジスタの GO/DONE ビットを「1」にセットすると A/D 変換が開始します。

**Note:** ADC を ON にする命令と同じ命令で GO/DONE ビットをセットしてはいけません。[セクション 15.2.5「A/D 変換の手順」](#)を参照してください。

### 15.2.2 変換の完了

変換が完了すると、ADC モジュールは以下の動作を実行します。

- GO/DONE ビットをクリアする
- ADIF 割り込みフラグビットをセットする
- ADRES レジスタに新しい変換結果を書き込む

### 15.2.3 変換の中止

変換を完了前に中止する場合、GO/DONE ビットをソフトウェアでクリアします。ADRES レジスタには、途中まで完了した A/D 変換サンプルが書き込まれます。未完了のビットは、最後に変換されたビットと同じ値です。

**Note:** デバイスをリセットすると、全てのレジスタがリセット状態に戻ります。このため、ADC モジュールは OFF になり、保留中の変換は全て中止されます。

### 15.2.4 スリープ時の ADC の動作

ADC モジュールはスリープ中も動作できます。ただしその場合、ADC クロック源を FRC に設定する必要があります。クロック源に FRC を選択した場合、ADC が変換を開始するまでの待ち時間は通常より 1 命令サイクル分長くなります。これによって SLEEP 命令の実行が可能になり、変換時のシステムノイズが軽減されます。ADC 割り込みが有効の場合、A/D 変換が完了するとデバイスがスリープから復帰します。ADC 割り込みが無効の場合、変換が完了すると ADON ビットはセットされたまま ADC モジュールが OFF になります。

ADC クロック源が FRC 以外の場合、SLEEP 命令によって現在の変換が中止され、ADON ビットがセットされたまま ADC モジュールが OFF になります。

## 15.2.5 A/D 変換の手順

以下は ADC を使って A/D 変換を実行する手順の例です。

1. ポートを設定する：
  - ピン出力ドライバを無効にする (TRIS レジスタ参照)。
  - ピンをアナログとして設定する (ANSEL レジスタ参照)。
2. ADC モジュールを設定する：
  - ADC の変換クロックを選択する。
  - ADC 入力チャンネルを選択する。
  - ADC モジュールを ON にする。
3. ADC 割り込みを設定する (オプション):
  - ADC 割り込みフラグをクリアする。
  - ADC 割り込みを有効にする。
  - 周辺機能割り込みを有効にする。
  - グローバル割り込みを有効にする <sup>(1)</sup>。
4. 必要なアキュイジション時間が経過するまで待つ<sup>(2)</sup>。
5. GO/DONE ビットをセットして変換を始める。
6. 以下のいずれかの方法で、A/D 変換の完了を待つ：
  - GO/DONE ビットをポーリングする。
  - ADC 割り込みを待つ (割り込みが有効の場合)。
7. A/D 変換の結果を読み出す。
8. ADC 割り込みフラグをクリアする (割り込みが有効の場合は必須)。

**Note 1:** スリープからの復帰後にインラインコード実行を再開させる場合、グローバル割り込みは無効でもかまいません。

**2:** [セクション 15.4「A/D アキュイジションの要件」](#)を参照してください。

# PIC10(L)F320/322

## 15.3 ADC 関連レジスタの定義

ADC の動作設定には以下のレジスタを使います。

### レジスタ 15-1: ADCON: A/D 制御レジスタ 0

|           |         |         |          |         |         |         |         |
|-----------|---------|---------|----------|---------|---------|---------|---------|
| R/W-0/0   | R/W-0/0 | R/W-0/0 | R/W-0/0  | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| ADCS<2:0> |         |         | CHS<2:0> |         |         | GO/DONE | ADON    |
| bit 7     |         |         |          |         |         |         | bit 0   |

#### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  |                                         |

bit 7-5 **ADCS<2:0>**: A/D 変換クロック選択ビット

111 = FRC  
110 = FOSC/64  
101 = FOSC/16  
100 = FOSC/4  
011 = FRC  
010 = FOSC/32  
001 = FOSC/8  
000 = FOSC/2

bit 4-2 **CHS<2:0>**: アナログ チャンネル選択ビット

111 = FVR( 固定参照電圧 ) パッファ出力 <sup>(2)</sup>  
110 = 温度インジケータ <sup>(1)</sup>  
101 = 予約済み、チャンネル接続なし  
100 = 予約済み、チャンネル接続なし  
011 = 予約済み、チャンネル接続なし  
010 = AN2  
001 = AN1  
000 = AN0

bit 1 **GO/DONE**: A/D 変換ステータスビット

ADON = 1 の場合:

1 = A/D 変換が進行中である ( このビットをセットすると A/D 変換が始まる )  
0 = A/D 変換は進行中でない ( このビットは、A/D 変換が完了するとハードウェアによって自動的にクリアされる )

変換中にこのビットをクリアすると、変換は停止し、その時点までの変換結果が結果レジスタに転送されます。しかし、ADIF 割り込みフラグビットはセットされません。

ADON = 0 の場合:

0 = A/D 変換は進行中でない

bit 0 **ADON**: ADC イネーブルビット

1 = ADC を有効にする  
0 = ADC を無効にし、消費電流をゼロにする

**Note 1:** 詳細は、[セクション 14.0「温度インジケータ モジュール」](#)を参照してください。

**2:** 詳細は、[セクション 12.0「固定参照電圧 \(FVR\)」](#)を参照してください。

## レジスタ 15-2: ADRES: A/D 変換結果レジスタ

|            |         |         |         |         |         |         |         |
|------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-x/u    | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
| ADRES<7:0> |         |         |         |         |         |         |         |
| bit 7      |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット    W = 書き込み可能ビット    U = 未実装ビット、「0」として読み出し  
 u = ビットは不変    x = ビットは未知    -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット    「0」= ビットはクリア

bit 7-0    **ADRES<7:0>**: A/D 変換結果レジスタビット  
 8 ビットの結果

## 15.4 A/D アクイジションの要件

ADC が仕様上の精度を実現するには、電荷保持コンデンサ (CHOLD) を入力チャネルの電圧レベルまで完全に充電する必要があります。図 15-3 に、アナログ入力モデルを示します。ソース インピーダンス ( $R_s$ ) と内部サンプリングスイッチのインピーダンス ( $R_{ss}$ ) は、コンデンサ (CHOLD) の充電時間に直接影響します。サンプリングスイッチのインピーダンス ( $R_{ss}$ ) は、デバイス電圧 ( $V_{DD}$ ) によって変化します (図 15-3 参照)。アナログソースの推奨最大インピーダンスは、10 k $\Omega$  です。ソース インピーダンスが低下すると、アクイ

ジション時間が短くなる場合があります。アナログ入力チャネルを選択 (または変更) したら、変換開始前に A/D アクイジションを実行する必要があります。最小アクイジション時間の計算には式 15-1 を使用できます。この式では、1/2 LSb 誤差の適用を前提としています (ADC は 511 ステップ)。1/2 LSb の誤差は、ADC で仕様上の分解能を実現できる最大許容誤差です。

### 式 15-1: アクイジション時間の例

仮定:  $Temperature = 50^\circ C$  and external impedance of 10k  $\Omega$  5.0V  $V_{DD}$

$$\begin{aligned} T_{ACQ} &= \text{Amplifier Settling Time} + \text{Hold Capacitor Charging Time} + \text{Temperature Coefficient} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 2\mu s + T_C + [(Temperature - 25^\circ C)(0.05\mu s/^\circ C)] \end{aligned}$$

$T_C$  の値は以下の式から近似的に求められる:

$$V_{APPLIED} \left( 1 - \frac{1}{(2^n + 1) - 1} \right) = V_{CHOLD} \quad ;[1] V_{CHOLD} \text{ charged to within } 1/2 \text{ lsb}$$

$$V_{APPLIED} \left( 1 - e^{\frac{-T_C}{RC}} \right) = V_{CHOLD} \quad ;[2] V_{CHOLD} \text{ charge response to } V_{APPLIED}$$

$$V_{APPLIED} \left( 1 - e^{\frac{-T_C}{RC}} \right) = V_{APPLIED} \left( 1 - \frac{1}{(2^n + 1) - 1} \right) \quad ;\text{combining [1] and [2]}$$

Note:  $n$  = ADC のビット数

$T_C$  を求めると:

$$\begin{aligned} T_C &= -CHOLD(R_{IC} + R_{SS} + R_s) \ln(1/511) \\ &= -10pF(1k\Omega + 7k\Omega + 10k\Omega) \ln(0.001957) \\ &= 1.12\mu s \end{aligned}$$

従って:

$$\begin{aligned} T_{ACQ} &= 2\mu s + 1.12\mu s + [(50^\circ C - 25^\circ C)(0.05\mu s/^\circ C)] \\ &= 4.37\mu s \end{aligned}$$

**Note 1:** 参照電圧 ( $V_{REF}$ ) は自己相殺されるため、上式には影響しません。

**2:** 電荷保持コンデンサ (CHOLD) は、変換が完了するたびに放電されるわけではありません。

**3:** アナログソースの推奨最大インピーダンスは 10 k $\Omega$  です。この値はピンのリーク電流仕様を満たすために必要です。

図 15-3: アナログ入力モデル

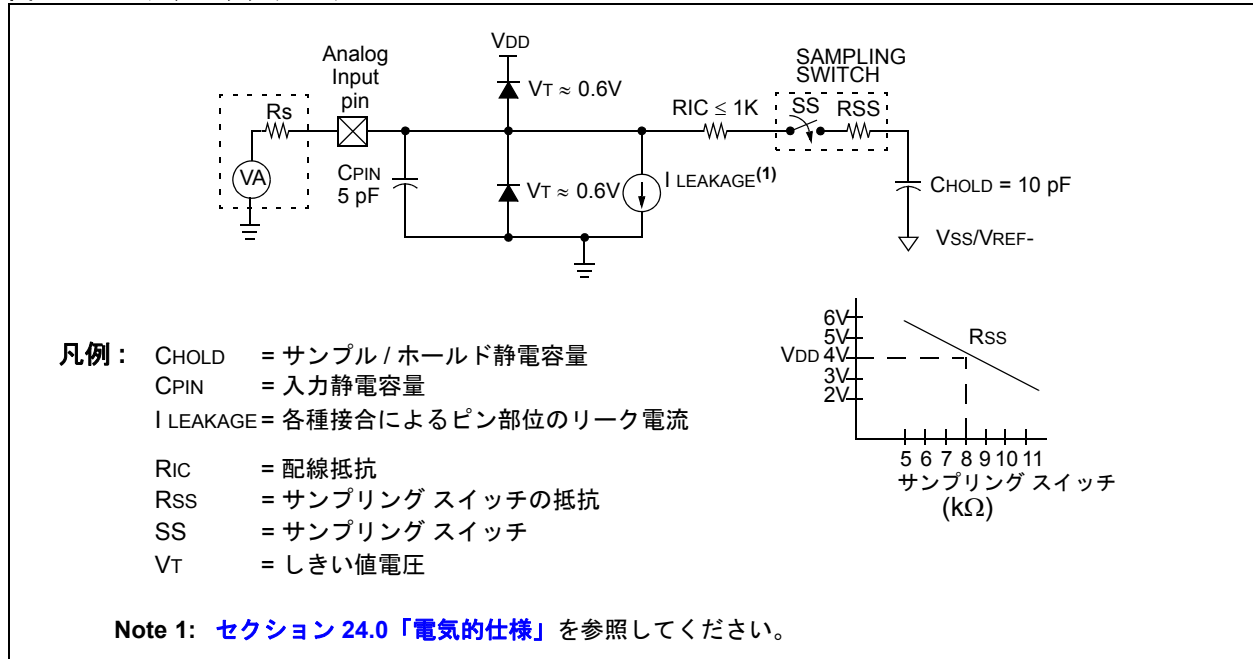
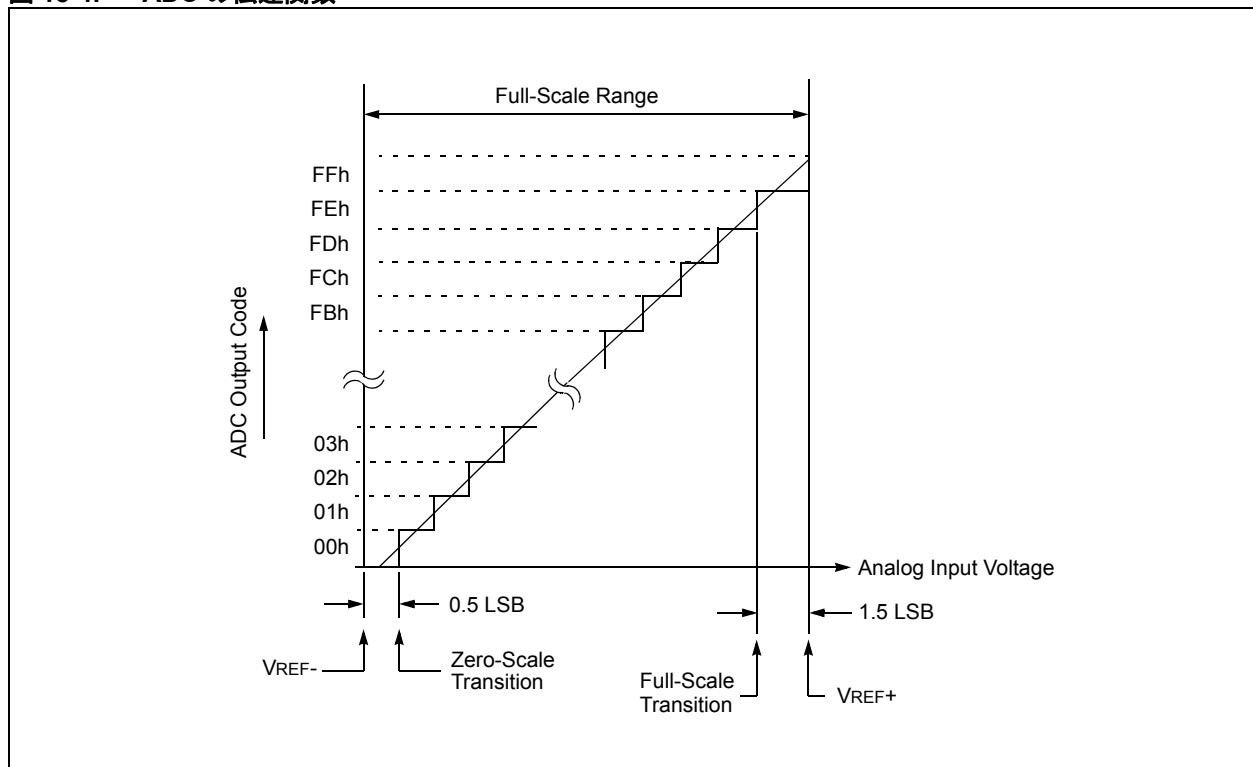


図 15-4: ADC の伝達関数



# PIC10(L)F320/322

表 15-2: ADC 関連レジスタのまとめ

| レジスタ名  | Bit 7      | Bit 6  | Bit 5  | Bit 4    | Bit 3  | Bit 2  | Bit 1      | Bit 0  | レジスタ内<br>容記載<br>ページ |
|--------|------------|--------|--------|----------|--------|--------|------------|--------|---------------------|
| ADCON  | ADCS<2:0>  |        |        | CHS<2:0> |        |        | GO/DONE    | ADON   | 96                  |
| ADRES  | ADRES<7:0> |        |        |          |        |        |            |        | 97                  |
| ANSELA | —          | —      | —      | —        | —      | ANSA2  | ANSA1      | ANSA0  | 78                  |
| FVRCON | FVREN      | FVRRDY | TSEN   | TSRNG    | —      | —      | ADFVR<1:0> |        | 86                  |
| INTCON | GIE        | PEIE   | TMR0IE | INTE     | IOCIE  | TMR0IF | INTF       | IOCIF  | 46                  |
| PIE1   | —          | ADIE   | —      | NCO1IE   | CLC1IE | —      | TMR2IE     | —      | 47                  |
| PIR1   | —          | ADIF   | —      | NCO1IF   | CLC1IF | —      | TMR2IF     | —      | 48                  |
| TRISA  | —          | —      | —      | —        | —      | TRISA2 | TRISA1     | TRISA0 | 77                  |

凡例： x = 未知、u = 不変、— = 未実装であり「0」として読み出されます。q = 条件によって変わります。  
網掛け部分は ADC モジュールでは使用しません。



## 16.1.3 ソフトウェアでプログラム可能なプリスケアラ

ソフトウェアでプログラム可能なプリスケアラが1つ用意されており、Timer0と共に使用できます。プリスケアラの割り当ては OPTION\_REG レジスタの PSA ビットによって制御します。プリスケアラを Timer0 に割り当てるには、PSA ビットを「0」にクリアする必要があります。

Timer0 モジュールのプリスケアラは、1:2 から 1:256 までの 8 つの設定が可能であり、OPTION\_REG レジスタの PS<2:0> ビットで選択します。

プリスケアラ値の読み書きはできません。プリスケアラを Timer0 モジュールに割り当てると、TMR0 レジスタに対するあらゆる書き込み命令がプリスケアラをクリアします。

## 16.1.4 TIMER0 の割り込み

TMR0 レジスタが FFh から 00h にオーバーフローすると、Timer0 は割り込みを生成します。Timer0 割り込みの有効/無効にかかわらず、TMR0 レジスタがオーバーフローするたびに、INTCON レジスタの TMR0IF 割り込みフラグビットがセットされます。TMR0IF ビットは、ソフトウェアでのみクリアできます。Timer0 割り込みを有効にするには、INTCON レジスタの TMR0IE ビットをセットします。

|              |                                                              |
|--------------|--------------------------------------------------------------|
| <b>Note:</b> | スリープ中はTimer0タイマが停止しているため、Timer0 の割り込みによってプロセッサを復帰させる事はできません。 |
|--------------|--------------------------------------------------------------|

## 16.1.5 8 ビット カウンタ モードの同期

8 ビット カウンタ モードの場合、T0CKI ピンに印加されるインクリメント エッジは命令クロックに同期している必要があります。同期を確立するには、命令クロックの Q2 と Q4 のサイクルでプリスケアラ出力をサンプリングします。外部クロック源のHigh/Low期間は、[セクション 24.0「電氣的仕様」](#)に記載されたタイミング要件を満たす必要があります。

レジスタ 16-1: OPTION\_REG: OPTION レジスタ

| R/W-1/u | R/W-1/u | R/W-1/u | R/W-1/u | R/W-1/u | R/W-1/u | R/W-1/u | R/W-1/u |
|---------|---------|---------|---------|---------|---------|---------|---------|
| WPUEN   | INTEDG  | T0CS    | T0SE    | PSA     | PS<2:0> |         |         |
| bit 7   |         |         |         |         |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変      x = ビットは未知      -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

- bit 7      **WPUEN:** 弱プルアップ イネーブルビット<sup>(1)</sup>  
1 = 弱プルアップを無効にする  
0 = 各 PORT ラッチの値に応じて弱プルアップを有効にする
- bit 6      **INTEDG:** 割り込みエッジ選択ビット  
1 = INT ピンの立ち上がりエッジで割り込み  
0 = INT ピンの立ち下がりエッジで割り込み
- bit 5      **T0CS:** TMR0 クロック源選択ビット  
1 = T0CKI ピンの遷移  
0 = 内部命令サイクルクロック (Fosc/4)
- bit 4      **T0SE:** TMR0 信号源エッジ選択ビット  
1 = T0CKI ピンの High から Low への遷移時にインクリメントする  
0 = T0CKI ピンの Low から High への遷移時にインクリメントする
- bit 3      **PSA:** プリスケアラ割り当てビット  
1 = プリスケアラは非アクティブで Timer0 モジュールに影響を与えない  
0 = プリスケアラを Timer0 モジュールに割り当てる
- bit 2-0      **PS<2:0>:** プリスケアラ比選択ビット

**ビット値 TMR0 比**

|     |         |
|-----|---------|
| 000 | 1 : 2   |
| 001 | 1 : 4   |
| 010 | 1 : 8   |
| 011 | 1 : 16  |
| 100 | 1 : 32  |
| 101 | 1 : 64  |
| 110 | 1 : 128 |
| 111 | 1 : 256 |

**Note 1:**  $\overline{\text{MCLR}} = 1$  の場合、 $\overline{\text{WPUEN}}$  は  $\overline{\text{MCLR}}$  入力のプルアップを無効にしません。

表 16-1: TIMER0 関連レジスタのまとめ

| レジスタ名      | Bit 7             | Bit 6  | Bit 5  | Bit 4 | Bit 3 | Bit 2   | Bit 1  | Bit 0  | レジスタ内容<br>記載ページ |
|------------|-------------------|--------|--------|-------|-------|---------|--------|--------|-----------------|
| INTCON     | GIE               | PEIE   | TMR0IE | INTE  | IOCFE | TMR0IF  | INTF   | IOCF   | 46              |
| OPTION_REG | WPUEN             | INTEDG | T0CS   | T0SE  | PSA   | PS<2:0> |        |        | 103             |
| TMR0       | Timer0 モジュール レジスタ |        |        |       |       |         |        |        | 46              |
| TRISA      | —                 | —      | —      | —     | —     | TRISA2  | TRISA1 | TRISA0 | 77              |

**凡例:** — = 未実装であり「0」として読み出されます。u = 不変、x = 未知です。  
網掛け部分は Timer0 モジュールでは使用しません。

# PIC10(L)F320/322

---

NOTES:

## 17.0 TIMER2 モジュール

Timer2 モジュールは 8 ビットのタイマで、以下の特長を備えています。

- 8 ビットのタイマレジスタ (TMR2)
- 8 ビットの周期レジスタ (PR2)
- TMR2/PR2 一致割り込み
- ソフトウェアでプログラム可能なプリスケアラ (1:1、1:4、1:64)
- ソフトウェアでプログラム可能なポストスケアラ (1:1 ~ 1:16)

Timer2 のブロック図は、[図 17-1](#) を参照してください。

### 17.1 Timer2 の動作

Timer2 モジュールへのクロック入力には、システム命令クロック (Fosc/4) を使います。クロックは Timer2 のプリスケアラに入力されます。このプリスケアラには 1:1、1:4、1:64 のプリスケール オプションがあります。このプリスケアラの出力を、TMR2 レジスタのインクリメントに使用します。

TMR2 と PR2 の値を常に比較して、一致しているかどうかを判断します。TMR2 の値は 00h から、PR2 の値に一致するまでインクリメントします。値が一致すると、以下の 2 つの処理が実行されます。

- 次のインクリメント サイクルで TMR2 を 00h にリセットする
- Timer2 ポストスケアラをインクリメントする

Timer2/PR2 コンパレータの一致出力は、続いて Timer2 ポストスケアラに入力されます。このポストスケアラには 1:1 ~ 1:16 のポストスケール オプションがあります。Timer2 ポストスケアラの出力は、PIR1 レジスタの TMR2IF 割り込みフラグビットをセットするために使います。

TMR2 および PR2 レジスタは、両方共読み書きできます。全てのリセットによって、TMR2 レジスタは 00h に設定され、PR2 レジスタは FFh に設定されます。

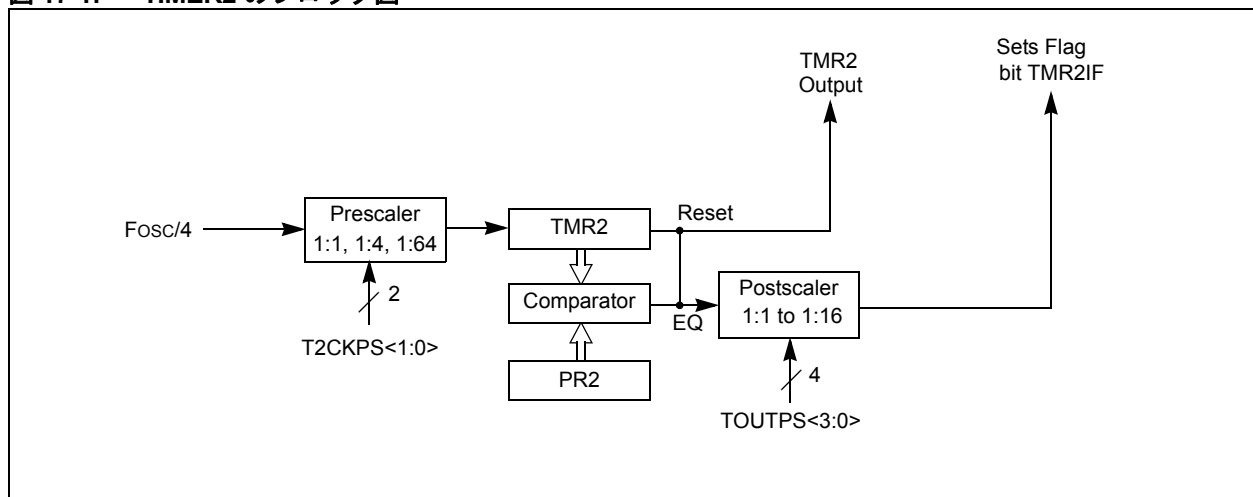
Timer2 を ON にするには、T2CON レジスタの TMR2ON ビットを「1」にセットします。Timer2 を OFF にするには、TMR2ON ビットを「0」にクリアします。

Timer2 プリスケアラは T2CON レジスタの T2CKPS ビットによって制御します。Timer2 ポストスケアラは T2CON レジスタの TOUTPS ビットによって制御します。プリスケアラ カウンタとポストスケアラ カウンタは以下の場合にクリアされます。

- TMR2 への書き込みが発生した
- T2CON への書き込みが発生した
- 何らかのデバイスリセット (パワーオン リセット、MCLR リセット、ウォッチドッグ タイマ リセット、ブラウンアウト リセット) が発生した

**Note:** T2CON レジスタに書き込んでも TMR2 はクリアされません。

図 17-1: TIMER2 のブロック図



# PIC10(L)F320/322

レジスタ 17-1: T2CON: TIMER2 制御レジスタ

|       |             |         |         |         |         |             |         |
|-------|-------------|---------|---------|---------|---------|-------------|---------|
| U-0   | R/W-0/0     | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0     | R/W-0/0 |
| —     | TOUTPS<3:0> |         |         |         | TMR2ON  | T2CKPS<1:0> |         |
| bit 7 |             |         |         |         |         |             | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7      **未実装:** 「0」として読み出し

bit 6-3      **TOUTPS<3:0>:** Timer2 出力ポストスケーラ選択ビット

1111 = 1:16 ポストスケーラを選択する  
1110 = 1:15 ポストスケーラを選択する  
1101 = 1:14 ポストスケーラを選択する  
1100 = 1:13 ポストスケーラを選択する  
1011 = 1:12 ポストスケーラを選択する  
1010 = 1:11 ポストスケーラを選択する  
1001 = 1:10 ポストスケーラを選択する  
1000 = 1:9 ポストスケーラを選択する  
0111 = 1:8 ポストスケーラを選択する  
0110 = 1:7 ポストスケーラを選択する  
0101 = 1:6 ポストスケーラを選択する  
0100 = 1:5 ポストスケーラを選択する  
0011 = 1:4 ポストスケーラを選択する  
0010 = 1:3 ポストスケーラを選択する  
0001 = 1:2 ポストスケーラを選択する  
0000 = 1:1 ポストスケーラを選択する

bit 2      **TMR2ON:** Timer2 ON ビット

1 = Timer2 を ON にする  
0 = Timer2 を OFF にする

bit 1-0      **T2CKPS<1:0>:** Timer2 クロック プリスケアラ選択ビット

1x = 1:64 プリスケアラを選択する  
01 = 1:4 プリスケアラを選択する  
00 = 1:1 プリスケアラを選択する

表 17-1: TIMER2 関連レジスタのまとめ

| レジスタ名  | Bit 7              | Bit 6       | Bit 5  | Bit 4  | Bit 3  | Bit 2  | Bit 1       | Bit 0 | レジスタ<br>内容記載<br>ページ |
|--------|--------------------|-------------|--------|--------|--------|--------|-------------|-------|---------------------|
| INTCON | GIE                | PEIE        | TMR0IE | INTE   | IOCIE  | TMR0IF | INTF        | IOCIF | 46                  |
| PIE1   | —                  | ADIE        | —      | NCO1IE | CLC1IE | —      | TMR2IE      | —     | 47                  |
| PIR1   | —                  | ADIF        | —      | NCO1IF | CLC1IF | —      | TMR2IF      | —     | 48                  |
| PR2    | Timer2 モジュール周期レジスタ |             |        |        |        |        |             |       | 105                 |
| TMR2   | Timer2 モジュール レジスタ  |             |        |        |        |        |             |       | 105                 |
| T2CON  | —                  | TOUTPS<3:0> |        |        |        | TMR2ON | T2CKPS<1:0> |       | 106                 |

**凡例:** x = 未知、u = 不変です。— = 未実装であり「0」として読み出されます。  
網掛け部分は Timer2 モジュールでは使用しません。

## 18.0 パルス幅変調 (PWM) モジュール

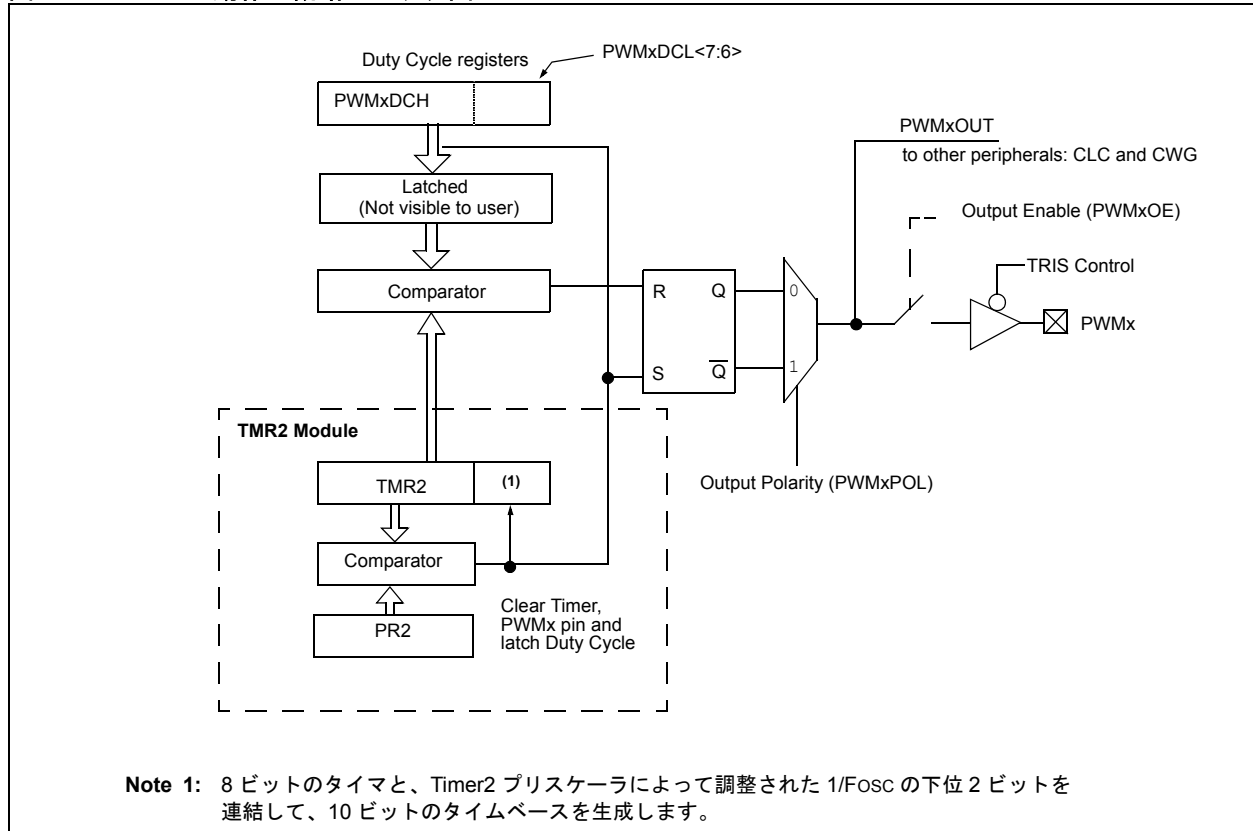
PWMモジュールは、以下のレジスタで設定するデューティ サイクル、周期、分解能によって決まる、パルス幅変調信号を生成します。

- PR2
- T2CON
- PWMxDCH
- PWMxDCL
- PWMxCON

図 18-1 に、PWM 動作の概略ブロック図を示します。

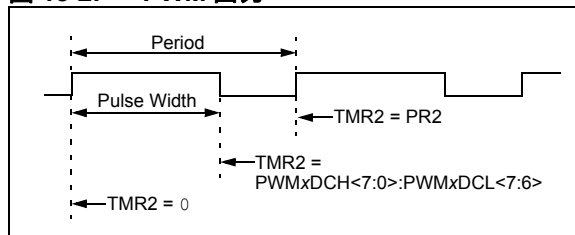
図 18-2 に、PWM 信号の代表的な波形を示します。

図 18-1: PWM 動作の概略ブロック図



このモジュールを PWM 動作用に設定する手順については、[セクション 18.1.9「PWMx ピンを使う PWM 動作の設定」](#)を参照してください。

図 18-2: PWM 出力



# PIC10(L)F320/322

## 18.1 PWMx のピン設定

PWM の出力は全て、PORT データラッチと多重化されます。ユーザは、対応する TRIS ビットをクリアする事で、ピンを出力として設定する必要があります。

**Note:** PWMxOE ビットをクリアすると、PWMx ピンの制御が無効になります。

### 18.1.1 基本動作

PWM モジュールは、分解能 10 ビットの出力を生成します。Timer2 と PR2 によって PWM の周期を設定します。PWMxDCL と PWMxDCH レジスタによってデューティ サイクルを設定します。周期は全ての PWM モジュールで共通ですが、デューティ サイクルは個々のモジュールごとに制御されます。

**Note:** Timer2 のポストスケールは PWM 周波数の決定に使用しません。このポストスケールは、サーボ更新レートを PWM 出力と異なる周波数にする場合に使えます。

Timer2 に関連する全ての PWM 出力は、TMR2 がクリアされた時点でセットされます。各 PWMx は、対応する PWMxDCH (8 MSb) と PWMxDCL<7:6> レジスタ (2 LSb) で指定された値と、TMR2 が等しくなった時点でクリアされます。この値が PR2 の値以上の場合、PWM 出力は一切クリアされません (100% のデューティ サイクル)。

**Note:** PWMxDCH レジスタと PWMxDCL レジスタはダブルバッファ構成です。バッファは Timer2 が PR2 に一致した時点で更新されます。タイマが一致する前に両方のレジスタが更新されるように注意する必要があります。

### 18.1.2 PWM 出力の極性

PWMxCON レジスタの PWMxPOL ビットをセットすると、出力の極性が反転します。

### 18.1.3 PWM の周期

PWM の周期は Timer2 の PR2 レジスタによって指定します。PWM の周期は、式 18-1 で計算できます。

#### 式 18-1: PWM の周期

$$PWM\ Period = [(PR2) + 1] \cdot 4 \cdot TOSC \cdot (TMR2\ Prescale\ Value)$$

**Note:**  $TOSC = 1/FOSC$

TMR2 と PR2 が等しくなると、直後のインクリメントサイクルで以下の 3 つのイベントが実行されます。

- TMR2 がクリアされる
- PWM 出力がアクティブになる  
(例外: PWM デューティ サイクル = 0% の場合、PWM 出力は非アクティブのままです。)
- PWMxDCH と PWMxDCL レジスタの値がバッファにラッチされる

**Note:** Timer2 のポストスケールは PWM 動作に一切影響を与えません。

### 18.1.4 PWM のデューティ サイクル

PWM のデューティ サイクルは、PWMxDCH と PWMxDCL のレジスタペアに 10 ビットの値を書き込んで設定します。PWMxDCH レジスタには上位 8 ビット、PWMxDCL<7:6> には下位 2 ビットを格納します。PWMxDCH レジスタと PWMxDCL レジスタは、いつでも書き込み可能です。

PWM のパルス幅の計算には、式 18-2 を使用します。

PWM のデューティ サイクル比の計算には、式 18-3 を使用します。

#### 式 18-2: パルス幅

$$Pulse\ Width = (PWMxDCH:PWMxDCL<7:6>) \cdot TOSC \cdot (TMR2\ Prescale\ Value)$$

**Note:**  $TOSC = 1/FOSC$

#### 式 18-3: デューティ サイクル比

$$Duty\ Cycle\ Ratio = \frac{(PWMxDCH:PWMxDCL<7:6>)}{4(PR2 + 1)}$$

8 ビットタイマの TMR2 レジスタと、Timer2 プリスケールによって調整された  $1/FOSC$  の下位 2 ビットを連結して、10 ビットのタイムベースを生成します。Timer2 のプリスケールが 1:1 に設定されている場合はシステムクロックが使われます。

## 18.1.5 PWM の分解能

分解能は、1 周期に設定可能なデューティ サイクル数を決定します。例えば、分解能 10 ビットの場合は 1024 通りのデューティ サイクル、分解能 8 ビットの場合は 256 通りのデューティ サイクルを設定できます。

PR2 が 255 の場合、PWM の最大分解能は 10 ビットです。式 18-4 に示すように、分解能は PR2 レジスタの値に応じて決まります。

### 式 18-4: PWM の 分解能

$$Resolution = \frac{\log[4(PR2 + 1)]}{\log(2)} \text{ bits}$$

Note: パルス幅の値が周期より大きい場合、対応する PWM ピンの状態は変化しません。

表 18-1: PWM の周波数と分解能の例 (Fosc = 20 MHz)

| PWM の周波数            | 0.31 kHz | 4.88 kHz | 19.53 kHz | 78.12 kHz | 156.3 kHz | 208.3 kHz |
|---------------------|----------|----------|-----------|-----------|-----------|-----------|
| タイマのプリスケアラ (1、4、64) | 64       | 4        | 1         | 1         | 1         | 1         |
| PR2 の値              | 0xFF     | 0xFF     | 0xFF      | 0x3F      | 0x1F      | 0x17      |
| 最大分解能 (ビット)         | 10       | 10       | 10        | 8         | 7         | 6.6       |

表 18-2: PWM の周波数と分解能の例 (Fosc = 8 MHz)

| PWM の周波数            | 0.31 kHz | 4.90 kHz | 19.61 kHz | 76.92 kHz | 153.85 kHz | 200.0 kHz |
|---------------------|----------|----------|-----------|-----------|------------|-----------|
| タイマのプリスケアラ (1、4、64) | 64       | 4        | 1         | 1         | 1          | 1         |
| PR2 の値              | 0x65     | 0x65     | 0x65      | 0x19      | 0x0C       | 0x09      |
| 最大分解能 (ビット)         | 8        | 8        | 8         | 6         | 5          | 5         |

## 18.1.6 スリープモード中の動作

スリープモード中、TMR2 レジスタはインクリメントせず、モジュールの状態は変化しません。値を駆動している PWMx ピンは、引き続きその値を駆動します。デバイスが復帰すると、TMR2 は直前の状態からインクリメントを再開します。

## 18.1.7 システムクロック周波数の変更

PWM の周波数はシステムクロック周波数から生成されます (Fosc)。システムクロック周波数を変更すると、PWM の周波数も変化します。詳細は[セクション 4.0「オシレータ モジュール」](#)を参照してください。

## 18.1.8 リセットの影響

何らかのリセットが発生すると、強制的に全てのポートが入力モードとなり、PWM レジスタはリセット状態に戻ります。

## 18.1.9 PWMx ピンを使う PWM 動作の設定

PWMx ピンを使う PWM 動作用にモジュールを設定するには、以下の手順を実行します。

1. 対応する TRIS ビットをセットして PWMx ピンの出力ドライバを無効にする。
2. PWMxCON レジスタをクリアする。
3. PR2 レジスタに PWM 周期の値を読み込む。
4. PWMxDCH レジスタと、PWMxDCL レジスタの bit <7:6> をクリアする。
5. Timer2 を設定して起動する。
  - PIR1 レジスタの TMR2IF 割り込みフラグビットをクリアする (以下の Note 参照)。
  - T2CON レジスタの T2CKPS ビットに Timer2 のプリスケール値をセットする。
  - T2CON レジスタの TMR2ON ビットをセットして Timer2 を有効にする。
6. PWM 出力ピンを有効にして、Timer2 がオーバーフローし、PIR1 レジスタの TMR2IF ビットがセットされるまで待機する (以下の Note 参照)。
7. 対応する TRIS ビットをクリアすると共に、PWMxCON レジスタの PWMxOE ビットをセットして、PWMx ピンの出力ドライバを有効にする。
8. PWMxCON レジスタに適切な値を読み込んで PWM モジュールを設定する。

**Note 1:** PWM 出力の最初のデューティ サイクルと周期に欠けが生じないようにするには、設定手順を上記の順序に従って実行する必要があります。完全な PWM 信号で開始する必要がある場合、手順 4 の代わりに手順 8 を実行します。

**2:** PWM を使わない場合、PWMx ピン出力を無効にします。

## 18.2 PWM レジスタの定義

レジスタ 18-1: PWMxCON: PWM 制御レジスタ

|         |         |         |         |       |     |     |     |
|---------|---------|---------|---------|-------|-----|-----|-----|
| R/W-0/0 | R/W-0/0 | R-0/0   | R/W-0/0 | U-0   | U-0 | U-0 | U-0 |
| PWMxEN  | PWMxOE  | PWMxOUT | PWMxPOL | —     | —   | —   | —   |
| bit 7   |         |         |         | bit 0 |     |     |     |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7      **PWMxEN:** PWM モジュール イネーブルビット  
1 = PWM モジュールを有効にする  
0 = PWM モジュールを無効にする

bit 6      **PWMxOE:** PWM モジュール出力イネーブルビット  
1 = PWMx ピンの出力を有効にする  
0 = PWMx ピンの出力を無効にする

bit 5      **PWMxOUT:** PWM モジュール出力値ビット

bit 4      **PWMxPOL:** PWMx 出力極性選択ビット  
1 = PWM 出力をアクティブ Low にする  
0 = PWM 出力をアクティブ High にする

bit 3-0      **未実装:** 「0」として読み出し

# PIC10(L)F320/322

**レジスタ 18-2: PWMxDCH: PWM デューティ サイクル上位ビット**

|              |         |         |         |         |         |         |         |
|--------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-x/u      | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
| PWMxDCH<7:0> |         |         |         |         |         |         |         |
| bit 7        |         |         |         | bit 0   |         |         |         |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-0      **PWMxDCH<7:0>**: PWM デューティ サイクル上位ビット  
PWM デューティ サイクルの上位ビットです。下位 2 ビットは PWMxDCL レジスタに格納します。

**レジスタ 18-3: PWMxDCL: PWM デューティ サイクル下位ビット**

|              |         |     |     |       |     |     |     |
|--------------|---------|-----|-----|-------|-----|-----|-----|
| R/W-x/u      | R/W-x/u | U-0 | U-0 | U-0   | U-0 | U-0 | U-0 |
| PWMxDCL<7:6> |         | —   | —   | —     | —   | —   | —   |
| bit 7        |         |     |     | bit 0 |     |     |     |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-6      **PWMxDCL<7:6>**: PWM デューティ サイクル下位ビット  
PWM デューティ サイクルの下位ビットです。上位ビットは PWMxDCH レジスタに格納します。

bit 5-0      **未実装**: 「0」として読み出し

**表 18-3: PWM 関連レジスタのまとめ**

| レジスタ名   | Bit 7              | Bit 6       | Bit 5   | Bit 4   | Bit 3 | Bit 2  | Bit 1       | Bit 0  | レジスタ<br>内容記載<br>ページ |
|---------|--------------------|-------------|---------|---------|-------|--------|-------------|--------|---------------------|
| ANSELA  | —                  | —           | —       | —       | —     | ANSA2  | ANSA1       | ANSA0  | 78                  |
| LATA    | —                  | —           | —       | —       | —     | LATA2  | LATA1       | LATA0  | 78                  |
| PORTA   | —                  | —           | —       | —       | RA3   | RA2    | RA1         | RA0    | 77                  |
| PR2     | Timer2 モジュール周期レジスタ |             |         |         |       |        |             |        | 105                 |
| PWM1CON | PWM1EN             | PWM1OE      | PWM1OUT | PWM1POL | —     | —      | —           | —      | 111                 |
| PWM1DCH | PWM1DCH<7:0>       |             |         |         |       |        |             |        | 112                 |
| PWM1DCL | PWM1DCL<7:6>       |             | —       | —       | —     | —      | —           | —      | 112                 |
| PWM2CON | PWM2EN             | PWM2OE      | PWM2OUT | PWM2POL | —     | —      | —           | —      | 111                 |
| PWM2DCH | PWM2DCH<7:0>       |             |         |         |       |        |             |        | 112                 |
| PWM2DCL | PWM2DCL<7:6>       |             | —       | —       | —     | —      | —           | —      | 112                 |
| T2CON   | —                  | TOUTPS<3:0> |         |         |       | TMR2ON | T2CKPS<1:0> |        | 106                 |
| TMR2    | Timer2 モジュール レジスタ  |             |         |         |       |        |             |        | 105                 |
| TRISA   | —                  | —           | —       | —       | —     | TRISA2 | TRISA1      | TRISA0 | 77                  |

**凡例:** — = 未実装であり「0」として読み出されます。u = 不変、x = 未知です。  
網掛け部分は PWM では使用しません。

## 19.0 構成可能なロジックセル (CLC)

構成可能なロジックセル (CLCx) は、ソフトウェア実行速度の制約を受けずに動作する、プログラム可能なロジック機能を提供します。ロジックセルは、8 つの入力信号の任意の組み合わせを選択し、この選択された入力を構成可能なゲートによって 4 本のロジックラインに集約します。このラインによって、8 つの選択可能な単一出力ロジック機能の 1 つを駆動します。

入力源は以下の組み合わせです。

- I/O ピン 2 本
- 内部クロック
- 周辺機能
- レジスタビット

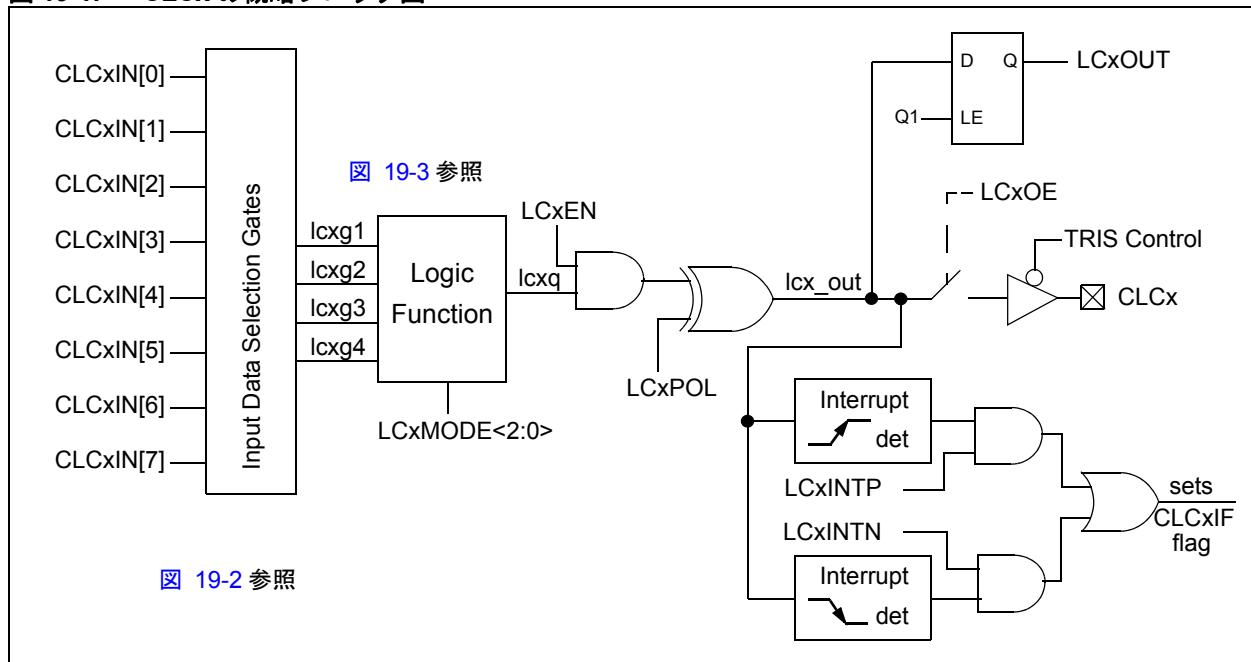
出力は、チップ内部で周辺機能または出力ピンに接続できます。

CLCx内の信号の流れを示す概略図 [図 19-1](#) を参照してください。

以下のような構成が可能です。

- 組み合わせロジック
  - AND
  - NAND
  - AND-OR
  - AND-OR- 反転
  - OR-XOR
  - OR-XNOR
- ラッチ
  - S-R ラッチ
  - セット / リセット付き同期 D ラッチ
  - セット / リセット付き透過 D ラッチ
  - リセット付き同期 J-K ラッチ

**図 19-1: CLCx の概略ブロック図**



# PIC10(L)F320/322

## 19.1 CLCx の設定

CLCxモジュールのプログラムは、ロジック信号フローの4つの段を設定する事によって行います。4つの段とは以下の通りです。

- データの選択
- データのゲーティング
- ロジック機能の選択
- 出力極性

各段は、対応する CLCx 特殊機能レジスタに書き込む事で実行時に設定します。この方式は、プログラム実行中に動作を停止せずにロジックを再構成できるという利点があります。

### 19.1.1 データの選択

構成可能ロジックへの入力として8つの信号を使用できます。4つの8入力マルチプレクサによって、次段に通過させる入力を選択します。

データ入力は CLCxSEL0 レジスタと CLCxSEL1 レジスタ(それぞれレジスタ 19-3とレジスタ 19-4)によって選択します。

データの選択は、図 19-2 の左側に示した4つのマルチプレクサによって実行されます。この図では、データ入力を通し番号による総称入力名によって表記しています。

表 19-1 に、総称入力名と各 CLC モジュールの実際の信号の対応を示します。lcxd1 ~ lcxd4 という見出しの列は、選択されたデータ入力に対する MUX 出力を示します。D1S ~ D4S は、それぞれ MUX 選択入力コード LCxD1S<2:0> ~ LCxD4S<2:0> の略号です。ある列で1つのデータ入力を選択すると、その列の他の全ての入力が除外されます。

**Note:** 電源投入時、データ選択は未定義の状態です。

表 19-1: CLCx データ入力選択

| データ入力     | lcxd1<br>D1S | lcxd2<br>D2S | lcxd3<br>D3S | lcxd4<br>D4S | CLC 1    |
|-----------|--------------|--------------|--------------|--------------|----------|
| CLCxIN[0] | 000          | 000          | 000          | 000          | CLCx     |
| CLCxIN[1] | 001          | 001          | 001          | 001          | CLCxIN1  |
| CLCxIN[2] | 010          | 010          | 010          | 010          | CLCxIN2  |
| CLCxIN[3] | 011          | 011          | 011          | 011          | PWM1     |
| CLCxIN[4] | 100          | 100          | 100          | 100          | PWM2     |
| CLCxIN[5] | 101          | 101          | 101          | 101          | NCOx     |
| CLCxIN[6] | 110          | 110          | 110          | 110          | Fosc     |
| CLCxIN[7] | 111          | 111          | 111          | 111          | LFINTOSC |

### 19.1.2 データのゲーティング

入力マルチプレクサの出力は、データのゲーティング段を通して、所定のロジック機能に入力されます。各データゲートは、選択した4つの入力の任意の組み合わせを送出できます。

**Note:** 電源投入時、データのゲーティングは未定義の状態です。

ゲート段の機能は、単なる信号の切り換えにとどまりません。ゲートは、各入力信号を反転または非反転データとして送出するよう設定できます。送出された信号は、各ゲートで互いに AND 演算されます。各ゲートの出力は、ロジック機能段に入力する前に反転できます。

ゲーティング回路は本質的には1-4入力のAND/NAND/OR/NOR ゲートです。全ての入力が反転信号で、出力も反転する場合、ゲートは有効な全てのデータ入力の論理和 (OR) になります。入力と出力が反転信号ではない場合、ゲートは有効な全てのデータ入力の論理積 (AND) になります。

表 19-2 に、ゲートロジック選択ビットによってゲート1から得られる基本ロジックを示します。表は4入力変数のロジックを示していますが、各ゲートで3入力以下を使用する設定も可能です。入力を1つも選択しない場合、出力はゲート出力極性ビットに応じて0または1になります。

表 19-2: データのゲーティング ロジック

| CLCxGLS0 | LCxGyPOL | ゲートロジック |
|----------|----------|---------|
| 0x55     | 1        | AND     |
| 0x55     | 0        | NAND    |
| 0xAA     | 1        | NOR     |
| 0xAA     | 0        | OR      |
| 0x00     | 0        | ロジック 0  |
| 0x00     | 1        | ロジック 1  |

入力の非反転値と反転値の両方を選択する事は可能ですが、推奨できません。両方を選択した場合のゲート出力は他の入力にかかわらず0ですが、ロジックグリッチ(過渡動作によるパルス)が発生する可能性があります。チャンネルの出力を0または1にする必要がある場合に推奨する手法は、全てのゲートビットを0にセットした上でゲート極性ビットによって必要なレベルに設定するという方法です。

データのゲーティングは、ロジックゲート選択レジスタによって、以下のように設定します。

- ゲート 1: CLCxGLS0 (レジスタ 19-5)
- ゲート 2: CLCxGLS1 (レジスタ 19-6)
- ゲート 3: CLCxGLS2 (レジスタ 19-7)
- ゲート 4: CLCxGLS3 (レジスタ 19-8)

レジスタ番号の接尾辞はゲート番号とは異なります。これは、このモジュールの他のバリエーションが同じレジスタで複数のゲートを選択する場合があるためです。

図 19-2 の右側に、データのゲーティングを示します。1つのゲートについてのみ詳細を示しました。残りの3つのゲートも、そのゲートを有効にするデータインネブル信号を除いて同様に設定できます。

## 19.1.3 ロジック機能

以下の 8 つのロジック機能を使用できます。

- AND-OR
- OR-XOR
- AND
- S-R ラッチ
- セット / リセット付き D フリップフロップ
- リセット付き D フリップフロップ
- リセット付き J-K フリップフロップ
- セット / リセット付き透過ラッチ

図 19-3 にロジック機能を示します。各ロジック機能は 4 入力 1 出力です。4 つの入力は、前段の 4 つのデータゲート出力です。出力は反転段に入力され、そこから他の周辺機能、出力ピンに送出するか、CLCx 自体に戻されます。

## 19.1.4 出力極性

構成可能なロジックセルの最終段は出力極性段です。CLCxCONレジスタのLCxPOLビットをセットすると、ロジック段からの出力信号が反転されます。割り込みを有効にした状態で極性を変更すると、出力の遷移によって割り込みが発生します。

## 19.1.5 CLCx の設定手順

CLCx を設定するには、以下の手順を実行します。

- LCxEN ビットをクリアして CLCx を無効にする。
- CLCxSEL0 レジスタと CLCxSEL1 レジスタによって、必要な入力を選択する (表 19-1 参照)。
- 関連する ANSEL ビットを全てクリアする。
- 入力に関連する TRIS ビットを全てセットする。
- 出力に関連する TRIS ビットを全てクリアする。
- CLCxGLS0、CLCxGLS1、CLCxGLS2、CLCxGLS3 レジスタによって、4 つのゲートを通してよう選択した入力を有効にする。
- CLCxPOL レジスタの LCxPOLy ビットによって、ゲート出力の極性を選択する。
- CLCxCON レジスタの LCxMODE<2:0> ビットによって、ロジック機能を選択する。
- CLCxPOL レジスタの LCxPOL ビットによって、ロジック出力極性を選択する (この手順は、前述のゲート出力極性の手順と組み合わせる事ができる)。
- CLCx ピンを駆動する場合、CLCxCON レジスタの LCxOE ビットをセットすると共に、その出力に対応する TRIS ビットもクリアする必要がある。
- 割り込みが必要な場合、以下のビットをセットする。
  - 立ち上がりイベントの場合、CLCxCON レジスタの LCxINTP ビットをセットする。
  - 立ち下がりイベントの場合、CLCxCON レジスタの LCxINTN ビットをセットする。
  - 対応する PIE レジスタの CLCxIE ビットをセットする。
  - INTCON レジスタの GIE ビットと PEIE ビットをセットする。
- CLCxCON レジスタの LCxEN ビットをセットして CLCx を有効にする。

## 19.2 CLCx 割り込み

適切な割り込みイネーブルをセットすると、CLCx の出力値の変化に応じた割り込みが生成されます。この目的のために、各 CLC は立ち上がりエッジの検出機能と立ち下がりエッジの検出機能を備えています。

いずれかのエッジ検出機能がトリガされ、対応するイネーブルビットがセットされている場合、対応する PIR レジスタの CLCxIF ビットがセットされます。LCxINTP ビットは立ち上がりエッジ割り込みを、LCxINTN ビットは立ち下がりエッジ割り込みを有効にします。いずれのビットも CLCxCON レジスタに含まれます。

割り込みを完全に有効にするには、以下のビットをセットします。

- CLCxCON レジスタの LCxON ビット
- 対応する PIE レジスタの CLCxIE ビット
- CLCxCON レジスタの LCxINTP ビット (立ち上がりエッジ検出の場合)
- CLCxCON レジスタの LCxINTN ビット (立ち下がりエッジ検出の場合)
- INTCON レジスタの PEIE および GIE ビット

対応する PIR レジスタの CLCxIF ビットは、割り込みサービスの一部としてソフトウェアでクリアする必要があります。このフラグがクリアされている間に次のエッジが検出された場合、クリアシーケンスの完了後もフラグはセットされたままです。

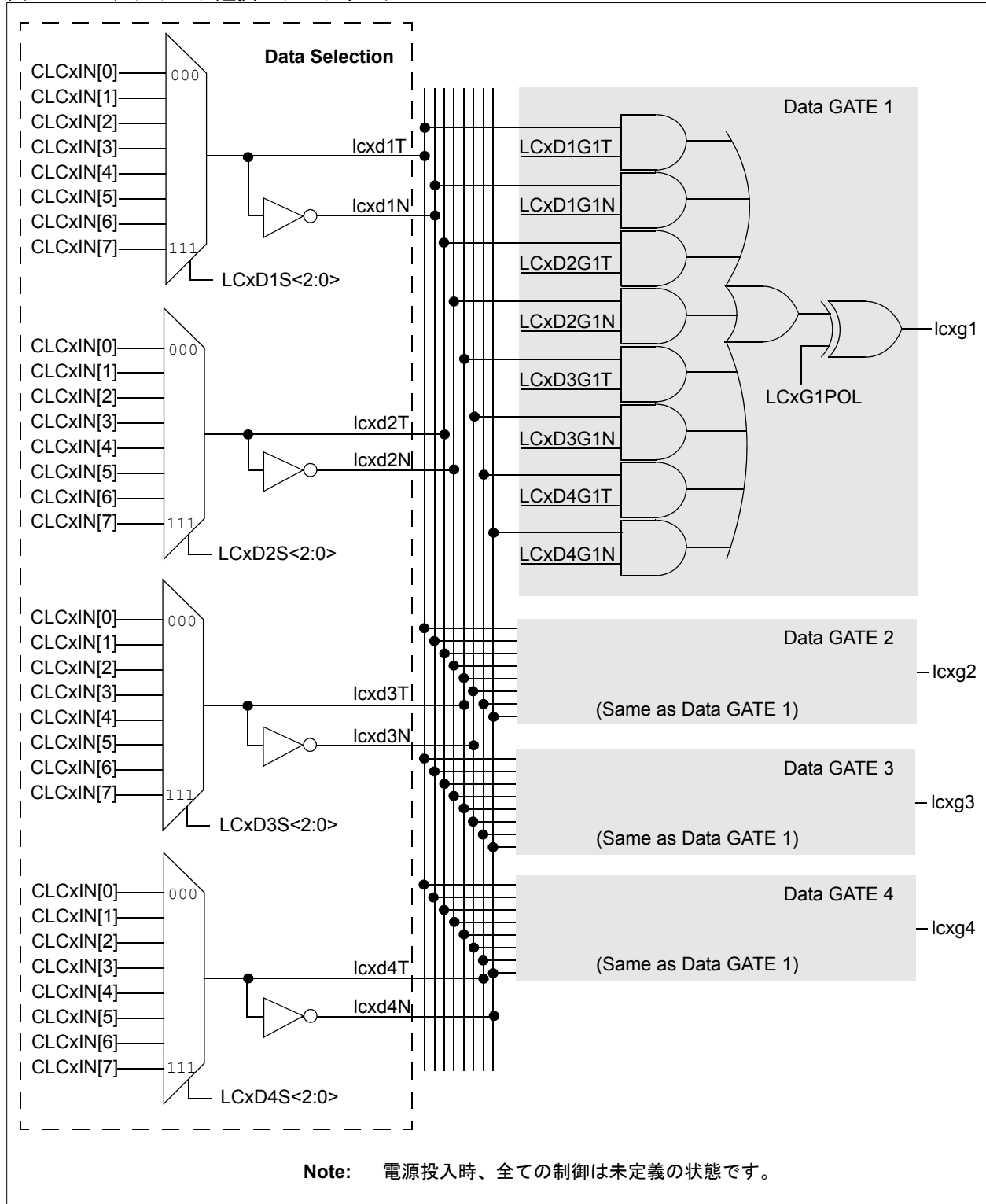
## 19.3 リセットの効果

CLCxCON レジスタはリセットによって 0 にクリアされます。その他全ての選択とゲーティングの値は変化しません。

## 19.4 スリープ時の動作

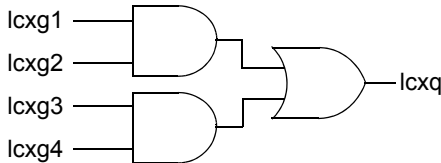
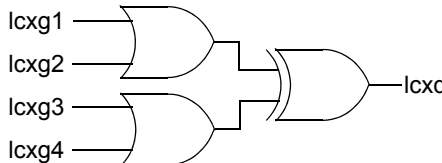
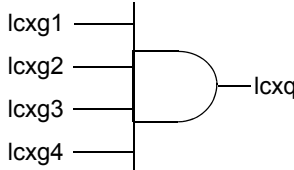
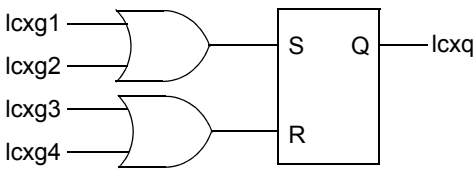
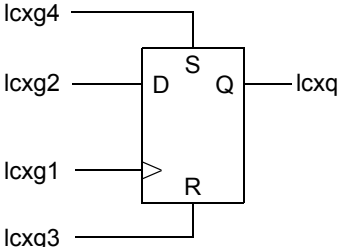
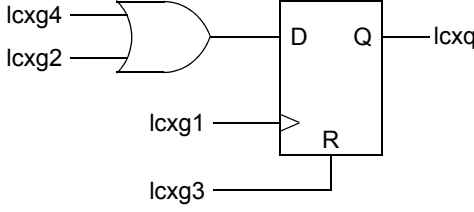
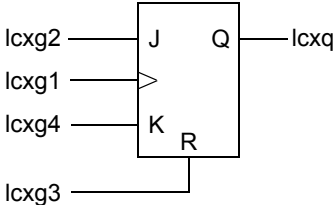
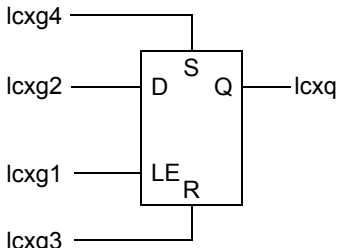
選択、ゲーティング、ロジック機能はスリープの影響を受けません。源信号もスリープの影響を受けないのであれば、スリープ中も CLC の動作は継続します。

図 19-2: 入力データ選択とゲーティング



# PIC10(L)F320/322

図 19-3: プログラマブル ロジック機能

|                                                                                                                                                                                |                                                                                                                                                                                       |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p><b>AND - OR</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 000</math></p>                           | <p><b>OR - XOR</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 001</math></p>                                 |
| <p><b>4-Input AND</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 010</math></p>                        | <p><b>S-R Latch</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 011</math></p>                                |
| <p><b>1-Input D Flip-Flop with S and R</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 100</math></p> | <p><b>2-Input D Flip-Flop with R</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 101</math></p>             |
| <p><b>J-K Flip-Flop with R</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 110</math></p>             | <p><b>1-Input Transparent Latch with S and R</b></p>  <p><math>LCxMODE&lt;2:0&gt;= 111</math></p> |

## 19.5 CLC 制御レジスタ

レジスタ 19-1: CLCxCON: 構成可能なロジックセル制御レジスタ

| R/W-0/0 | R/W-0/0 | R-0/0  | R/W-0/0 | R/W-0/0 | R/W-0/0      | R/W-0/0 | R/W-0/0 |
|---------|---------|--------|---------|---------|--------------|---------|---------|
| LCxEN   | LCxOE   | LCxOUT | LCxINTP | LCxINTN | LCxMODE<2:0> |         |         |
| bit 7   |         |        |         |         |              |         | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  |                                         |

|         |                                                                                                                                                                                                                                                                                                                                   |
|---------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 7   | <b>LCxEN:</b> 構成可能なロジックセル イネーブルビット<br>1 = 構成可能なロジックセルを有効にして入力信号を組み合わせる<br>0 = 構成可能なロジックセルを無効にしてロジック 0 を出力する                                                                                                                                                                                                                       |
| bit 6   | <b>LCxOE:</b> 構成可能なロジックセル出力イネーブルビット<br>1 = 構成可能なロジックセルのポートピン出力を有効にする<br>0 = 構成可能なロジックセルのポートピン出力を無効にする                                                                                                                                                                                                                             |
| bit 5   | <b>LCxOUT:</b> 構成可能なロジックセル データ出力ビット<br>読み出し専用: LCxPOL による操作後のロジックセル出力データ (lcx_out 配線よりサンプリング)                                                                                                                                                                                                                                     |
| bit 4   | <b>LCxINTP:</b> 構成可能なロジックセル立ち上がりエッジ割り込みイネーブルビット<br>1 = lcx_out に立ち上がりエッジが発生した場合に CLCxIF をセットする<br>0 = CLCxIF をセットしない                                                                                                                                                                                                              |
| bit 3   | <b>LCxINTN:</b> 構成可能なロジックセル立ち下がりエッジ割り込みイネーブルビット<br>1 = lcx_out に立ち下がりエッジが発生した場合に CLCxIF をセットする<br>0 = CLCxIF をセットしない                                                                                                                                                                                                              |
| bit 2-0 | <b>LCxMODE&lt;2:0&gt;:</b> 構成可能なロジックセル機能モードビット<br>111 = セルを 1 入力のセット / リセット付き透過ラッチに設定する<br>110 = セルをリセット付き J-K フリップフロップに設定する<br>101 = セルをリセット付き 2 入力 D フリップフロップに設定する<br>100 = セルをセット / リセット付き 1 入力 D フリップフロップに設定する<br>011 = セルをセット / リセットラッチに設定する<br>010 = セルを 4 入力 AND に設定する<br>001 = セルを OR-XOR に設定する<br>000 = セルを AND-OR に設定する |

# PIC10(L)F320/322

## レジスタ 19-2: CLCxPOL: 信号極性制御レジスタ

| R/W-x/u | U-0 | U-0 | U-0 | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  |
|---------|-----|-----|-----|----------|----------|----------|----------|
| LCxPOL  | —   | —   | —   | LCxG4POL | LCxG3POL | LCxG2POL | LCxG1POL |
| bit 7   |     |     |     | bit 0    |          |          |          |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

- bit 7      **LCxPOL:** LCOUT 極性制御ビット  
1 = ロジックセルの出力を反転する  
0 = ロジックセルの出力を反転しない
- bit 6-4      **未実装:** 「0」として読み出し
- bit 3      **LCxG4POL:** ゲート 4 出力極性制御ビット  
1 = ロジックセルへの入力時にゲート 4 の出力を反転する  
0 = ゲート 4 の出力を反転しない
- bit 2      **LCxG3POL:** ゲート 3 出力極性制御ビット  
1 = ロジックセルへの入力時にゲート 3 の出力を反転する  
0 = ゲート 3 の出力を反転しない
- bit 1      **LCxG2POL:** ゲート 2 出力極性制御ビット  
1 = ロジックセルへの入力時にゲート 2 の出力を反転する  
0 = ゲート 2 の出力を反転しない
- bit 0      **LCxG1POL:** ゲート 1 出力極性制御ビット  
1 = ロジックセルへの入力時にゲート 1 の出力を反転する  
0 = ゲート 1 の出力を反転しない

**レジスタ 19-3: CLCxSEL0: マルチプレクサ データ 1/2 選択レジスタ**

| U-0   | R/W-x/u     | R/W-x/u | R/W-x/u | U-0   | R/W-x/u     | R/W-x/u | R/W-x/u |
|-------|-------------|---------|---------|-------|-------------|---------|---------|
| —     | LCxD2S<2:0> |         |         | —     | LCxD1S<2:0> |         |         |
| bit 7 |             |         |         | bit 0 |             |         |         |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7      **未実装:** 「0」として読み出し  
bit 6-4      **LCxD2S<2:0>:** 入力データ 2 選択制御ビット <sup>(1)</sup>  
111 = lcx2d に CLCxIN[7] を選択する  
110 = lcx2d に CLCxIN[6] を選択する  
101 = lcx2d に CLCxIN[5] を選択する  
100 = lcx2d に CLCxIN[4] を選択する  
011 = lcx2d に CLCxIN[3] を選択する  
010 = lcx2d に CLCxIN[2] を選択する  
001 = lcx2d に CLCxIN[1] を選択する  
000 = lcx2d に CLCxIN[0] を選択する  
bit 3      **未実装:** 「0」として読み出し  
bit 2-0      **LCxD1S<2:0>:** 入力データ 1 選択制御ビット <sup>(1)</sup>  
111 = lcx1d に CLCxIN[7] を選択する  
110 = lcx1d に CLCxIN[6] を選択する  
101 = lcx1d に CLCxIN[5] を選択する  
100 = lcx1d に CLCxIN[4] を選択する  
011 = lcx1d に CLCxIN[3] を選択する  
010 = lcx1d に CLCxIN[2] を選択する  
001 = lcx1d に CLCxIN[1] を選択する  
000 = lcx1d に CLCxIN[0] を選択する

**Note 1:** 入力に対応する信号名は、表 19-1 を参照してください。

# PIC10(L)F320/322

## レジスタ 19-4: CLCxSEL1: マルチプレクサ データ 3/4 選択レジスタ

| U-0   | R/W-x/u     | R/W-x/u | R/W-x/u | U-0   | R/W-x/u     | R/W-x/u | R/W-x/u |
|-------|-------------|---------|---------|-------|-------------|---------|---------|
| —     | LCxD4S<2:0> |         |         | —     | LCxD3S<2:0> |         |         |
| bit 7 |             |         |         | bit 0 |             |         |         |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

bit 7              **未実装:** 「0」として読み出し

bit 6-4           **LCxD4S<2:0>:** 入力データ 4 選択制御ビット <sup>(1)</sup>

111 = lcx4 に CLCxIN[7] を選択する  
110 = lcx4 に CLCxIN[6] を選択する  
101 = lcx4 に CLCxIN[5] を選択する  
100 = lcx4 に CLCxIN[4] を選択する  
011 = lcx4 に CLCxIN[3] を選択する  
010 = lcx4 に CLCxIN[2] を選択する  
001 = lcx4 に CLCxIN[1] を選択する  
000 = lcx4 に CLCxIN[0] を選択する

bit 3              **未実装:** 「0」として読み出し

bit 2-0           **LCxD3S<2:0>:** 入力データ 3 選択制御ビット <sup>(1)</sup>

111 = lcx3 に CLCxIN[7] を選択する  
110 = lcx3 に CLCxIN[6] を選択する  
101 = lcx3 に CLCxIN[5] を選択する  
100 = lcx3 に CLCxIN[4] を選択する  
011 = lcx3 に CLCxIN[3] を選択する  
010 = lcx3 に CLCxIN[2] を選択する  
001 = lcx3 に CLCxIN[1] を選択する  
000 = lcx3 に CLCxIN[0] を選択する

**Note 1:** 入力に対応する信号名は、表 19-1 を参照してください。

## レジスタ 19-5: CLCxGLS0: ゲート 1 ロジック選択レジスタ

| R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  |
|----------|----------|----------|----------|----------|----------|----------|----------|
| LCxG1D4T | LCxG1D4N | LCxG1D3T | LCxG1D3N | LCxG1D2T | LCxG1D2N | LCxG1D1T | LCxG1D1N |
| bit 7    |          |          |          |          |          |          | bit 0    |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

- bit 7      **LCxG1D4T:** ゲート 1 データ 4 True (非反転) ビット  
             1 = lcxg1D4T を lcxg1 にゲーティングする  
             0 = lcxg1D4T を lcxg1 にゲーティングしない
- bit 6      **LCxG1D4N:** ゲート 1 データ 4 Negated (反転) ビット  
             1 = lcxg1D4N を lcxg1 にゲーティングする  
             0 = lcxg1D4N を lcxg1 にゲーティングしない
- bit 5      **LCxG1D3T:** ゲート 1 データ 3 True (非反転) ビット  
             1 = lcxg1D3T を lcxg1 にゲーティングする  
             0 = lcxg1D3T を lcxg1 にゲーティングしない
- bit 4      **LCxG1D3N:** ゲート 1 データ 3 Negated (反転) ビット  
             1 = lcxg1D3N を lcxg1 にゲーティングする  
             0 = lcxg1D3N を lcxg1 にゲーティングしない
- bit 3      **LCxG1D2T:** ゲート 1 データ 2 True (非反転) ビット  
             1 = lcxg1D2T を lcxg1 にゲーティングする  
             0 = lcxg1D2T を lcxg1 にゲーティングしない
- bit 2      **LCxG1D2N:** ゲート 1 データ 2 Negated (反転) ビット  
             1 = lcxg1D2N を lcxg1 にゲーティングする  
             0 = lcxg1D2N を lcxg1 にゲーティングしない
- bit 1      **LCxG1D1T:** ゲート 1 データ 1 True (非反転) ビット  
             1 = lcxg1D1T を lcxg1 にゲーティングする  
             0 = lcxg1D1T を lcxg1 にゲーティングしない
- bit 0      **LCxG1D1N:** ゲート 1 データ 1 Negated (反転) ビット  
             1 = lcxg1D1N を lcxg1 にゲーティングする  
             0 = lcxg1D1N を lcxg1 にゲーティングしない

# PIC10(L)F320/322

## レジスタ 19-6: CLCxGLS1: ゲート 2 ロジック選択レジスタ

| R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  |
|----------|----------|----------|----------|----------|----------|----------|----------|
| LCxG2D4T | LCxG2D4N | LCxG2D3T | LCxG2D3N | LCxG2D2T | LCxG2D2N | LCxG2D1T | LCxG2D1N |
| bit 7    |          |          |          |          |          |          | bit 0    |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

- bit 7      **LCxG2D4T:** ゲート 2 データ 4 True (非反転) ビット  
1 = lcx4T を lcxg2 にゲーティングする  
0 = lcx4T を lcxg2 にゲーティングしない
- bit 6      **LCxG2D4N:** ゲート 2 データ 4 Negated (反転) ビット  
1 = lcx4N を lcxg2 にゲーティングする  
0 = lcx4N を lcxg2 にゲーティングしない
- bit 5      **LCxG2D3T:** ゲート 2 データ 3 True (非反転) ビット  
1 = lcx3T を lcxg2 にゲーティングする  
0 = lcx3T を lcxg2 にゲーティングしない
- bit 4      **LCxG2D3N:** ゲート 2 データ 3 Negated (反転) ビット  
1 = lcx3N を lcxg2 にゲーティングする  
0 = lcx3N を lcxg2 にゲーティングしない
- bit 3      **LCxG2D2T:** ゲート 2 データ 2 True (非反転) ビット  
1 = lcx2T を lcxg2 にゲーティングする  
0 = lcx2T を lcxg2 にゲーティングしない
- bit 2      **LCxG2D2N:** ゲート 2 データ 2 Negated (反転) ビット  
1 = lcx2N を lcxg2 にゲーティングする  
0 = lcx2N を lcxg2 にゲーティングしない
- bit 1      **LCxG2D1T:** ゲート 2 データ 1 True (非反転) ビット  
1 = lcx1T を lcxg2 にゲーティングする  
0 = lcx1T を lcxg2 にゲーティングしない
- bit 0      **LCxG2D1N:** ゲート 2 データ 1 Negated (反転) ビット  
1 = lcx1N を lcxg2 にゲーティングする  
0 = lcx1N を lcxg2 にゲーティングしない

## レジスタ 19-7: CLCxGLS2: ゲート 3 ロジック選択レジスタ

| R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  |
|----------|----------|----------|----------|----------|----------|----------|----------|
| LCxG3D4T | LCxG3D4N | LCxG3D3T | LCxG3D3N | LCxG3D2T | LCxG3D2N | LCxG3D1T | LCxG3D1N |
| bit 7    |          |          |          |          |          |          | bit 0    |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

- bit 7      **LCxG3D4T:** ゲート 3 データ 4 True (非反転) ビット  
           1 = lcxg3D4T を lcxg3 にゲーティングする  
           0 = lcxg3D4T を lcxg3 にゲーティングしない
- bit 6      **LCxG3D4N:** ゲート 3 データ 4 Negated (反転) ビット  
           1 = lcxg3D4N を lcxg3 にゲーティングする  
           0 = lcxg3D4N を lcxg3 にゲーティングしない
- bit 5      **LCxG3D3T:** ゲート 3 データ 3 True (非反転) ビット  
           1 = lcxg3D3T を lcxg3 にゲーティングする  
           0 = lcxg3D3T を lcxg3 にゲーティングしない
- bit 4      **LCxG3D3N:** ゲート 3 データ 3 Negated (反転) ビット  
           1 = lcxg3D3N を lcxg3 にゲーティングする  
           0 = lcxg3D3N を lcxg3 にゲーティングしない
- bit 3      **LCxG3D2T:** ゲート 3 データ 2 True (非反転) ビット  
           1 = lcxg3D2T を lcxg3 にゲーティングする  
           0 = lcxg3D2T を lcxg3 にゲーティングしない
- bit 2      **LCxG3D2N:** ゲート 3 データ 2 Negated (反転) ビット  
           1 = lcxg3D2N を lcxg3 にゲーティングする  
           0 = lcxg3D2N を lcxg3 にゲーティングしない
- bit 1      **LCxG3D1T:** ゲート 3 データ 1 True (非反転) ビット  
           1 = lcxg3D1T を lcxg3 にゲーティングする  
           0 = lcxg3D1T を lcxg3 にゲーティングしない
- bit 0      **LCxG3D1N:** ゲート 3 データ 1 Negated (反転) ビット  
           1 = lcxg3D1N を lcxg3 にゲーティングする  
           0 = lcxg3D1N を lcxg3 にゲーティングしない

# PIC10(L)F320/322

## レジスタ 19-8: CLCxGLS3: ゲート 4 ロジック選択レジスタ

| R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  | R/W-x/u  |
|----------|----------|----------|----------|----------|----------|----------|----------|
| LCxG4D4T | LCxG4D4N | LCxG4D3T | LCxG4D3N | LCxG4D2T | LCxG4D2N | LCxG4D1T | LCxG4D1N |
| bit 7    |          |          |          |          |          |          | bit 0    |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット          「0」= ビットはクリア

- bit 7      **LCxG4D4T:** ゲート 4 データ 4 True (非反転) ビット  
1 = lcx4T を lcxg4 にゲーティングする  
0 = lcx4T を lcxg4 にゲーティングしない
- bit 6      **LCxG4D4N:** ゲート 4 データ 4 Negated (反転) ビット  
1 = lcx4N を lcxg4 にゲーティングする  
0 = lcx4N を lcxg4 にゲーティングしない
- bit 5      **LCxG4D3T:** ゲート 4 データ 3 True (非反転) ビット  
1 = lcx3T を lcxg4 にゲーティングする  
0 = lcx3T を lcxg4 にゲーティングしない
- bit 4      **LCxG4D3N:** ゲート 4 データ 3 Negated (反転) ビット  
1 = lcx3N を lcxg4 にゲーティングする  
0 = lcx3N を lcxg4 にゲーティングしない
- bit 3      **LCxG4D2T:** ゲート 4 データ 2 True (非反転) ビット  
1 = lcx2T を lcxg4 にゲーティングする  
0 = lcx2T を lcxg4 にゲーティングしない
- bit 2      **LCxG4D2N:** ゲート 4 データ 2 Negated (反転) ビット  
1 = lcx2N を lcxg4 にゲーティングする  
0 = lcx2N を lcxg4 にゲーティングしない
- bit 1      **LCxG4D1T:** ゲート 4 データ 1 True (非反転) ビット  
1 = lcx1T を lcxg4 にゲーティングする  
0 = lcx1T を lcxg4 にゲーティングしない
- bit 0      **LCxG4D1N:** ゲート 4 データ 1 Negated (反転) ビット  
1 = lcx1N を lcxg4 にゲーティングする  
0 = lcx1N を lcxg4 にゲーティングしない

表 19-3: CLCx 関連レジスタのまとめ

| レジスタ名    | Bit 7    | Bit 6       | Bit 5    | Bit 4    | Bit 3    | Bit 2        | Bit 1    | Bit 0    | レジスタ<br>内容記載<br>ページ |
|----------|----------|-------------|----------|----------|----------|--------------|----------|----------|---------------------|
| CLC1CON  | LC1EN    | LC1OE       | LC1OUT   | LC1INTP  | LC1INTN  | LC1MODE<2:0> |          |          | 119                 |
| CLC1GLS0 | LC1G1D4T | LC1G1D4N    | LC1G1D3T | LC1G1D3N | LC1G1D2T | LC1G1D2N     | LC1G1D1T | LC1G1D1N | 123                 |
| CLC1GLS1 | LC1G2D4T | LC1G2D4N    | LC1G2D3T | LC1G2D3N | LC1G2D2T | LC1G2D2N     | LC1G2D1T | LC1G2D1N | 124                 |
| CLC1GLS2 | LC1G3D4T | LC1G3D4N    | LC1G3D3T | LC1G3D3N | LC1G3D2T | LC1G3D2N     | LC1G3D1T | LC1G3D1N | 125                 |
| CLC1GLS3 | LC1G4D4T | LC1G4D4N    | LC1G4D3T | LC1G4D3N | LC1G4D2T | LC1G4D2N     | LC1G4D1T | LC1G4D1N | 126                 |
| CLC1POL  | LC1POL   | —           | —        | —        | LC1G4POL | LC1G3POL     | LC1G2POL | LC1G1POL | 120                 |
| CLC1SEL0 | —        | LC1D2S<2:0> |          |          | —        | LC1D1S<2:0>  |          |          | 121                 |
| CLC1SEL1 | —        | LC1D4S<2:0> |          |          | —        | LC1D3S<2:0>  |          |          | 122                 |
| INTCON   | GIE      | PEIE        | TMR0IE   | INTE     | IOCIE    | TMR0IF       | INTF     | IOCIF    | 46                  |
| PIE1     | —        | ADIE        | —        | NCO1IE   | CLC1IE   | —            | TMR2IE   | —        | 47                  |
| PIR1     | —        | ADIF        | —        | NCO1IF   | CLC1IF   | —            | TMR2IF   | —        | 48                  |
| TRISA    | —        | —           | —        | —        | —        | TRISA2       | TRISA1   | TRISA0   | 77                  |

凡例： — = 未実装であり「0」として読み出されます。網掛け部分は CLC モジュールでは使用しません。

# PIC10(L)F320/322

---

NOTES:

## 20.0 数値制御オシレータ (NCO) モジュール

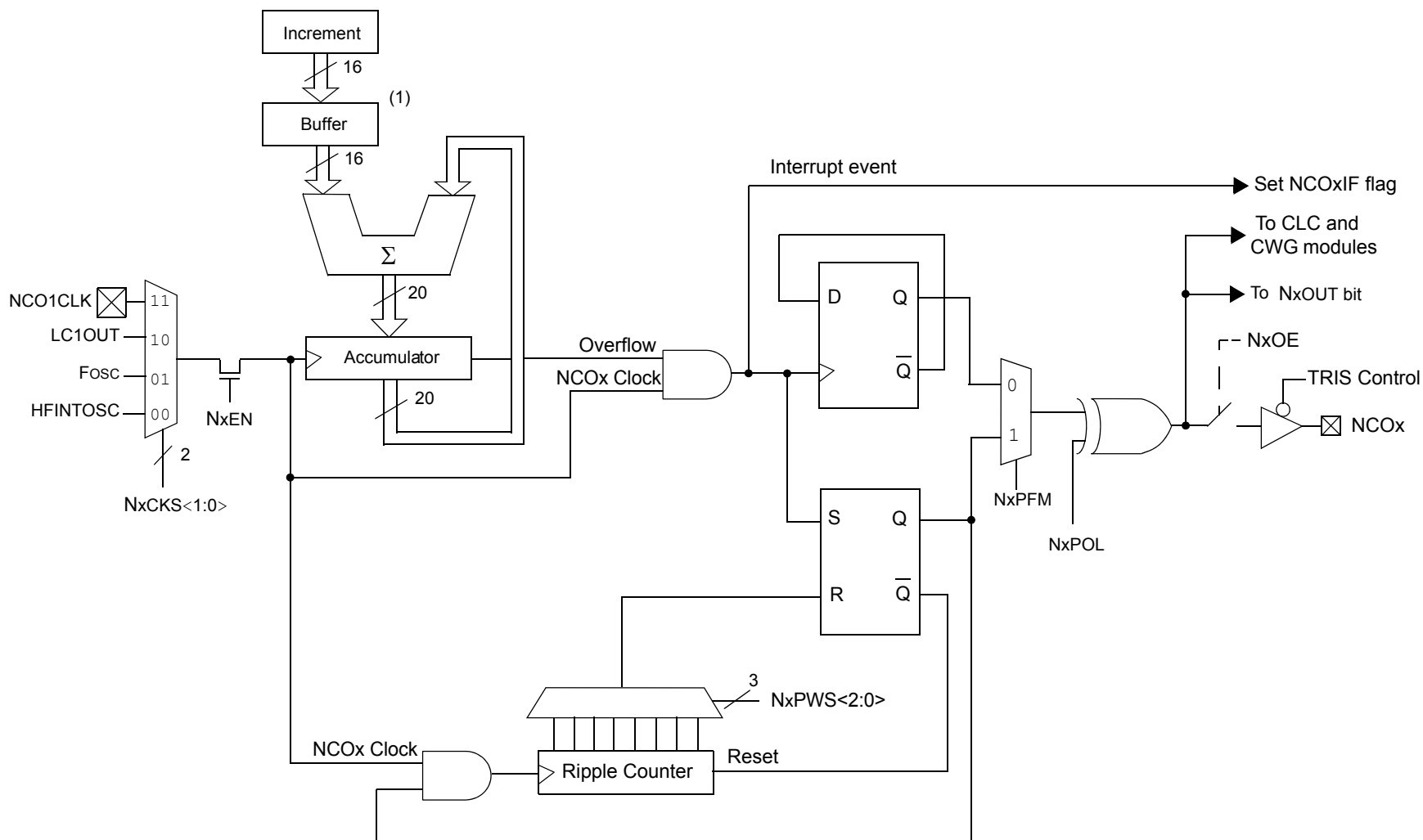
数値制御オシレータ (NCOx) モジュールは、インクリメント値を加算する事で生じるオーバーフローを使って入力周波数を分周するタイマです。単純なカウンタ駆動のタイマに比べてこの加算による方法が有利な点は、分周器の値によって分周の分解能が変化しない事です。NCOx が最も効果を発揮するのは、周波数の精度と、固定デューティ サイクルにおける細かい分解能が必要なアプリケーションです。

NCOx は以下の特長があります。

- 16 ビット インクリメント機能
- 固定デューティ サイクル (FDC) モード
- パルス周波数 (PF) モード
- 出力パルス幅制御
- 複数のクロック入力ソース
- 出力の極性制御
- 割り込み機能

図 20-1 に、NCOx モジュールの概略ブロック図を示します。

図 20-1: 数値制御オシレータ (NCOx) モジュールの概略ブロック図



**Note 1:** インクリメントレジスタは、はじめに NCOx モジュールを無効にする事なく値を変更できるようにダブルバッファ構成を採用しています。ここでは参考のために示しています。このバッファにはユーザはアクセスできません。

## 20.1 NCOx の動作

NCOx は、固定値をアキュムレータに繰り返し加算する事で動作します。加算は入力クロックレートで実行されます。アキュムレータは周期的にオーバーフローしてキャリーを発生します。これが NCOx の生 (raw) 出力です。これによって、実質的に加算値とアキュムレータの最大値の比率によって入力クロック周波数が分周されます。式 20-1 を参照してください。

NCOx 出力をパルスストレッチまたはフリップフロップのトグルによってさらに変調する事も可能です。変調された NCOx 出力は、チップ内部の他の周辺機能と、必要に応じてピン出力に分配されます。アキュムレータのオーバーフローは割り込みも発生させます。

NCOx 出力は瞬時周波数を発生させ、これが不確定性を招く恐れがあります。この出力は、瞬時周波数を平均化して不確定性を低減する処理を受信側の回路 (CWG または外部の共振コンバータ回路) に委ねています。

### 20.1.1 NCOx のクロック源

NCOx では、以下のクロック源を使用できます。

- HFINTOSC
- Fosc
- LC1OUT
- NCO1CLK ピン

NCOx クロック源は、NCOxCLK レジスタの NxCKS<1:0> ビットで選択します。

### 20.1.2 アキュムレータ

アキュムレータは 20 ビットのレジスタです。アキュムレータへの読み書きは、以下の 3 つのレジスタで行います。

- NCOxACCL
- NCOxACCH
- NCOxACCU

### 20.1.3 加算器

NCOx の加算器はフルアダーです。選択されているクロック源とは非同期で動作します。入力クロックの立ち上がりエッジで、前回の加算結果とインクリメント値の和がアキュムレータ値を上書きします。

### 20.1.4 インクリメント レジスタ

インクリメント値は、2 つの 8 ビットレジスタに格納され、16 ビットのインクリメントが可能です。2 つのレジスタは以下の通りです (LSB、MSB の順)。

- NCOxINCL
- NCOxINCH

いずれのレジスタも読み書き可能です。インクリメント レジスタは、はじめに NCOx モジュールを無効にする事なく値を変更できるようにダブルバッファ構成を採用しています。

モジュールを無効にするとバッファへの読み込みはただちに実行されます。上位レジスタへの書き込みをはじめに行う必要があります。なぜなら、その後の下位のインクリメント レジスタへの書き込みを実行した後に、バッファが NCOx 動作に同期して読み込まれるからです。

**Note:** インクリメント バッファ レジスタにはユーザはアクセスできません。

### 式 20-1:

$$F_{OVERFLOW} = \frac{NCO \text{ Clock Frequency} \times \text{Increment Value}}{2^n}$$

$n$  = アキュムレータの幅 (ビット)

## 20.2 固定デューティ サイクル (FDC) モード

固定デューティ サイクル (FDC) モードでは、アキュムレータがオーバーフローするたびに出力がトグルします。インクリメント値が一定の場合、これにより 50% のデューティ サイクルが得られます。詳細は [図 20-2](#) を参照してください。

FDC モードは、NCOxCON レジスタの NxPFM ビットをクリアする事で選択します。

## 20.3 パルス周波数 (PF) モード

パルス周波数 (PF) モードでは、アキュムレータがオーバーフローするたびに、1 クロック周期以上の期間、出力がアクティブになります。詳細は、[セクション 20.3.1「出力パルス幅制御」](#)を参照してください。クロック期間が終了すると、出力は非アクティブ状態に戻ります。これによって、パルス出力が得られます。

出力がアクティブになるのは、オーバーフロー イベント直後のクロック立ち上がりエッジです。詳細は [図 20-2](#) を参照してください。

アクティブと非アクティブ状態の値は、NCOxCON レジスタの極性ビット NxPOL によって決まります。

PF モードは、NCOxCON レジスタの NxPFM ビットをセットする事で選択します。

### 20.3.1 出力パルス幅制御

PF モードの動作では、出力のアクティブ状態の期間を複数のクロック周期幅によって変更できます。パルス幅は NCOxCLK レジスタの NxPWS<2:0> ビットで選択します。

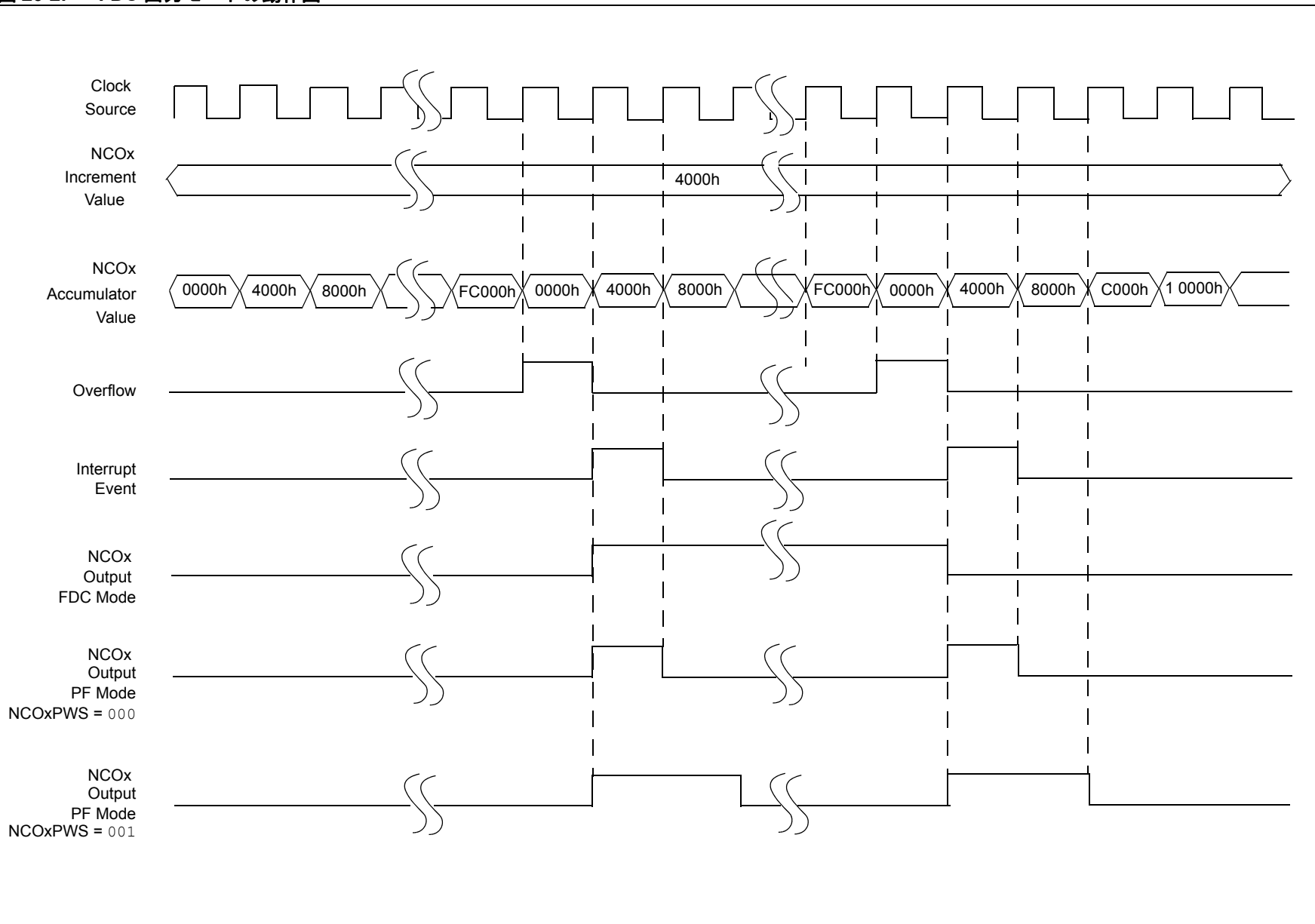
選択したパルス幅がアキュムレータのオーバーフローの時間枠よりも大きい場合、NCOx 動作は定義されません。

## 20.4 出力の極性制御

NCOx モジュールの最終段は出力極性段です。NCOxCON レジスタの NxPOL ビットで出力の極性を選択します。割り込みを有効にした状態で極性を変更すると、出力の遷移によって割り込みが発生します。

NCOx の出力は、ソースコードまたは他の周辺機能によってチップ内部で使用できます。それには、NCOxCON レジスタの NxOUT ビット (読み出し専用) を読み出します。

図 20-2: FDC 出力モードの動作図



## 20.5 割り込み

アキュムレータがオーバーフローすると、PIR1 レジスタの NCOx 割り込みフラグビット NCOxIF がセットされます。この割り込みイベントを有効にするには、以下のビットをセットする必要があります。

- NCOxCON レジスタの NxEN ビット
- PIE1 レジスタの NCOxIE ビット
- INTCON レジスタの PEIE ビット
- INTCON レジスタの GIE ビット

割り込みは、割り込みサービスルーチンで NCOxIF ビットをクリアする事によって、ソフトウェアで解除する必要があります。

## 20.6 リセットの効果

NCOx レジスタはいずれもリセットによって 0 にクリアされます。

## 20.7 スリープ中の動作

NCO モジュールはシステムクロックから独立して動作します。選択されているクロック源がアクティブであれば、スリープ中でも動作を続けます。

NCOモジュールが有効で、クロック源としてHFINTOSCを選択している場合、システムクロック源にかかわらず、HFINTOSC はスリープ中でもアクティブ状態を維持します。

言い換えれば、システムクロックと NCO クロック源の両方に HFINTOSC を選択しており、NCO が有効の場合、CPU はスリープ時にアイドル状態に移行しますが、NCO は動作を継続して HFINTOSC はアクティブ状態を維持します。

このような状況は、スリープ中の消費電流に直接影響を与えます。

## 20.8 NCOx 制御レジスタ

レジスタ 20-1: NCOxCON: NCOx 制御レジスタ

| R/W-0/0 | R/W-0/0 | R-0/0 | R/W-0/0 | U-0 | U-0 | U-0 | R/W-0/0 |
|---------|---------|-------|---------|-----|-----|-----|---------|
| NxEN    | NxOE    | NxOUT | NxPOL   | —   | —   | —   | NxPFM   |
| bit 7   |         |       |         |     |     |     | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  |                                         |

|         |                                                                                                  |
|---------|--------------------------------------------------------------------------------------------------|
| bit 7   | <b>NxEN:</b> NCOx イネーブルビット<br>1 = NCOx モジュールを有効にする<br>0 = NCOx モジュールを無効にする                       |
| bit 6   | <b>NxOE:</b> NCOx 出力イネーブルビット<br>1 = NCOx 出力ピンを有効にする<br>0 = NCOx 出力ピンを無効にする                       |
| bit 5   | <b>NxOUT:</b> NCOx 出力ビット<br>1 = NCOx 出力が High である<br>0 = NCOx 出力が Low である                        |
| bit 4   | <b>NxPOL:</b> NCOx 極性ビット<br>1 = NCOx 出力信号をアクティブ High にする<br>0 = NCOx 出力信号をアクティブ Low にする          |
| bit 3-1 | <b>未実装:</b> 「0」として読み出し                                                                           |
| bit 0   | <b>NxPFM:</b> NCOx パルス周波数モードビット<br>1 = NCOx をパルス周波数モードで動作させる<br>0 = NCOx を固定デューティ サイクル モードで動作させる |

レジスタ 20-2: NCOxCLK: NCOx 入カクロック制御レジスタ

| R/W-0/0    | R/W-0/0 | R/W-0/0 | U-0 | U-0 | U-0 | R/W-0/0    | R/W-0/0 |
|------------|---------|---------|-----|-----|-----|------------|---------|
| NxPWS<2:0> |         |         | —   | —   | —   | NxCKS<1:0> |         |
| bit 7      |         |         |     |     |     |            | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  |                                         |

|         |                                                                                                                                                                                                                                                       |
|---------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 7-5 | <b>NxPWS&lt;2:0&gt;:</b> NCOx 出力パルス幅選択ビット (1, 2)<br>111 = NCOx クロック 128 周期<br>110 = NCOx クロック 64 周期<br>101 = NCOx クロック 32 周期<br>100 = NCOx クロック 16 周期<br>011 = NCOx クロック 8 周期<br>010 = NCOx クロック 4 周期<br>001 = NCOx クロック 2 周期<br>000 = NCOx クロック 1 周期 |
| bit 4-2 | <b>未実装:</b> 「0」として読み出し                                                                                                                                                                                                                                |
| bit 1-0 | <b>NxCKS&lt;1:0&gt;:</b> NCOx クロック源選択ビット<br>11 = NCO1CLK<br>10 = LC1OUT<br>01 = FOSC<br>00 = HFINTOSC (16 MHz)                                                                                                                                        |

**Note 1:** NxPWS が適用されるのはパルス周波数モードによる動作の場合のみです。  
**2:** NCOx パルス幅が NCOx のオーバーフロー周期よりも長い場合、動作は未定義の状態です。

# PIC10(L)F320/322

## レジスタ 20-3: NCOxACCCL: NCOx アキュムレータ レジスタ - 下位バイト

|              |         |         |         |         |         |         |         |
|--------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-0/0      | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| NCOxACC<7:0> |         |         |         |         |         |         |         |
| bit 7        |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-0      **NCOxACC<7:0>**: NCOx アキュムレータ、下位バイト

**Note 1:** NxPWS が適用されるのはパルス周波数モードによる動作の場合のみです。

2: NCOx パルス幅が NCOx のオーバーフロー周期よりも長い場合、動作は未定義の状態です。

## レジスタ 20-4: NCOxACCCH: NCOx アキュムレータ レジスタ - 上位バイト

|               |         |         |         |         |         |         |         |
|---------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-0/0       | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| NCOxACC<15:8> |         |         |         |         |         |         |         |
| bit 7         |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-0      **NCOxACC<15:8>**: NCOx アキュムレータ、上位バイト

## レジスタ 20-5: NCOxACCU: NCOx アキュムレータ レジスタ - 最上位バイト

|       |     |     |     |                |         |         |         |
|-------|-----|-----|-----|----------------|---------|---------|---------|
| U-0   | U-0 | U-0 | U-0 | R/W-0/0        | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| —     | —   | —   | —   | NCOxACC<19:16> |         |         |         |
| bit 7 |     |     |     |                |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア

bit 7-4      **未実装**: 「0」として読み出し

bit 3-0      **NCOxACC<19:16>**: NCOx アキュムレータ、最上位バイト

## レジスタ 20-6: NCOxINCL: NCOx インクリメント レジスタ - 下位バイト

|              |         |         |         |         |         |         |         |
|--------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-0/0      | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-1/1 |
| NCOxINC<7:0> |         |         |         |         |         |         |         |
| bit 7        |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

bit 7-0      **NCOxINC<7:0>**: NCOx インクリメント、下位バイト

## レジスタ 20-7: NCOxINCH: NCOx インクリメント レジスタ - 上位バイト

|               |         |         |         |         |         |         |         |
|---------------|---------|---------|---------|---------|---------|---------|---------|
| R/W-0/0       | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 |
| NCOxINC<15:8> |         |         |         |         |         |         |         |
| bit 7         |         |         |         |         |         |         | bit 0   |

### 凡例:

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
 u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
 「1」= ビットはセット          「0」= ビットはクリア

bit 7-0      **NCOxINC<15:8>**: NCOx インクリメント、上位バイト

# PIC10(L)F320/322

表 20-1: NCOx 関連レジスタのまとめ

| レジスタ名    | Bit 7          | Bit 6   | Bit 5        | Bit 4   | Bit 3           | Bit 2   | Bit 1      | Bit 0   | レジスタ<br>内容記載<br>ページ |
|----------|----------------|---------|--------------|---------|-----------------|---------|------------|---------|---------------------|
| CLC1SEL0 | —              | LC1D2S2 | LC1D2S1      | LC1D2S0 | —               | LC1D1S2 | LC1D1S1    | LC1D1S0 | <a href="#">121</a> |
| CLC1SEL1 | —              | LC1D4S2 | LC1D4S1      | LC1D4S0 | —               | LC1D3S2 | LC1D3S1    | LC1D3S0 | <a href="#">122</a> |
| CWG1CON1 | G1ASDLB<1:0>   |         | G1ASDLA<1:0> |         | —               | —       | G1IS<1:0>  |         | <a href="#">150</a> |
| INTCON   | GIE            | PEIE    | TMR0IE       | INTE    | IOCIE           | TMR0IF  | INTF       | IOCIF   | <a href="#">46</a>  |
| NCO1ACCH | NCO1ACCH<15:8> |         |              |         |                 |         |            |         | <a href="#">136</a> |
| NCO1ACCL | NCO1ACCL<7:0>  |         |              |         |                 |         |            |         | <a href="#">136</a> |
| NCO1ACCU | —              |         |              |         | NCO1ACCU<19:16> |         |            |         | <a href="#">136</a> |
| NCO1CLK  | N1PWS<2:0>     |         |              | —       | —               | —       | N1CKS<1:0> |         | <a href="#">135</a> |
| NCO1CON  | N1EN           | N1OE    | N1OUT        | N1POL   | —               | —       | —          | N1PFM   | <a href="#">135</a> |
| NCO1INCH | NCO1INCH<15:8> |         |              |         |                 |         |            |         | <a href="#">137</a> |
| NCO1INCL | NCO1INCL<7:0>  |         |              |         |                 |         |            |         | <a href="#">137</a> |
| PIE1     | —              | ADIE    | —            | NCO1IE  | CLC1IE          | —       | TMR2IE     | —       | <a href="#">47</a>  |
| PIR1     | —              | ADIF    | —            | NCO1IF  | CLC1IF          | —       | TMR2IF     | —       | <a href="#">48</a>  |
| TRISA    | —              | —       | —            | —       | —               | TRISA2  | TRISA1     | TRISA0  | <a href="#">77</a>  |

凡例: x = 未知、u = 不変です。— = 未実装であり「0」として読み出されます。q = 条件によって変わります。  
網掛け部分は NCO モジュールでは使用しません。

## 21.0 相補波形ジェネレータ (CWG) モジュール

相補波形ジェネレータ (CWG) は、選択した入力源からデッドバンド遅延を伴う相補波形を生成します。

CWG モジュールは以下の特長があります。

- 選択可能なデッドバンド クロック源制御
- 選択可能な入力源
- 出力のイネーブル制御
- 出力の極性制御
- 独立した 6 ビットの立ち上がりおよび立ち下がりエッジ デッドバンド カウンタによるデッドバンド制御
- 以下の機能を備えた自動シャットダウン制御：
  - 選択可能なシャットダウン信号源
  - 自動再起動イネーブル
  - 自動シャットダウン ピン オーバーライド制御

図 21-1: CWG のブロック図

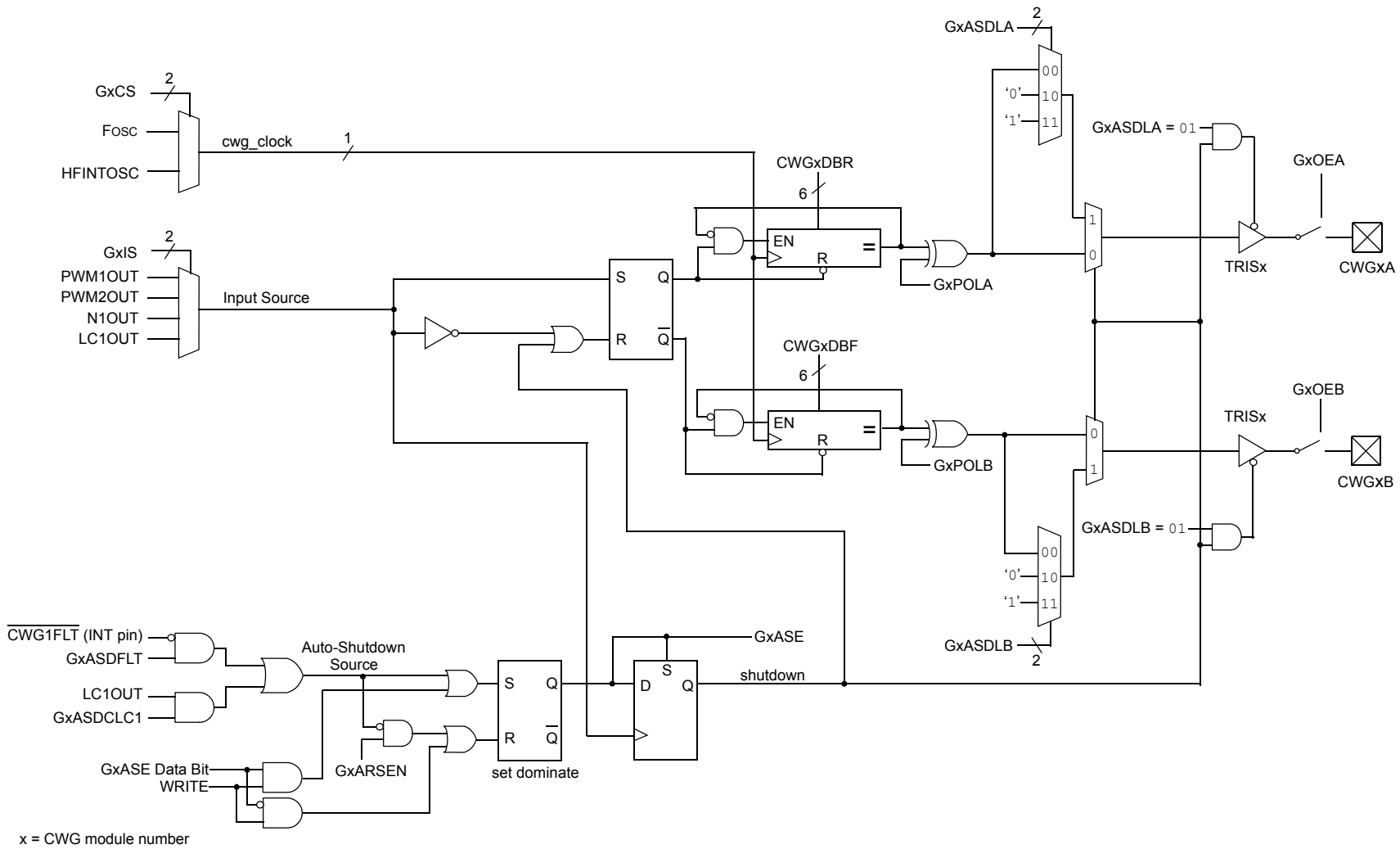
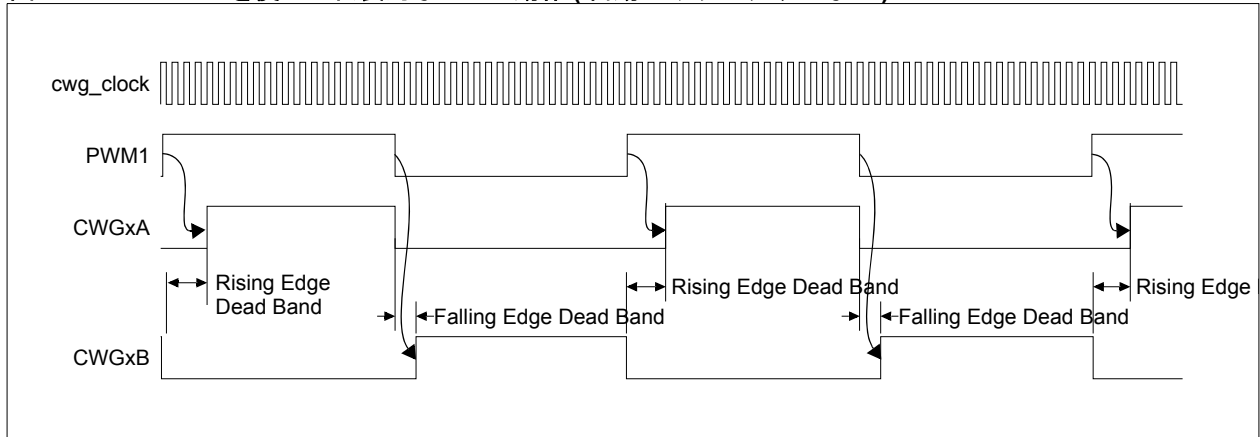


図 21-2: PWM1 を使った代表的な CWG 動作 (自動シャットダウンなし)



## 21.1 基本動作

CWG は選択可能な 4 つの入力源のいずれか 1 つから、2 出力の相補波形を生成します。

各出力の OFF から ON への遷移を、もう一方の出力の ON から OFF への遷移に対して遅延させ、これによってどちらの出力にも駆動されない遅延期間を作ります。この期間をデッドタイムと呼び、[セクション 21.5「デッドバンド制御」](#)で説明します。[図 21-2](#)に、単一入力信号から生成した、デッドバンドを伴う代表的な動作波形を示します。

回路障害、またはフィードバック イベントの到達が遅すぎるか全く到達しない可能性に対して保護が必要な場合があります。そのような場合、障害条件が損傷を引き起こす前にアクティブな駆動を中止する必要があります。この動作を自動シャットダウンと呼び、[セクション 21.9「自動シャットダウン制御」](#)で説明します。

## 21.2 クロック源

CWG モジュールではクロック源を 1 つまたは 2 つ選択できます。

- Fosc (システムクロック)
- HFINTOSC (16 MHz のみ)

クロック源は、CWGxCON0 レジスタ ([レジスタ 21-1](#)) の G1CS0 ビットによって選択します。

## 21.3 選択可能な入力源

CWG は、相補波形を生成するために以下 4 つの入力源を使います。

- PWM1
- PWM2
- N1OUT
- LC1OUT

入力源は CWGxCON1 レジスタ ([レジスタ 21-2](#)) の GxIS<1:0> ビットによって選択します。

## 21.4 出力制御

CWG モジュールの有効化直後の相補駆動回路は、CWGxA と CWGxB 駆動の両方がクリアされた状態に設定されます。

### 21.4.1 出力イネーブル

各 CWG 出力ピンには、個別の出力イネーブル制御があります。出力イネーブルは、CWGxCON0 レジスタの GxOEA および GxOEB ビットによって選択します。出力イネーブル制御がクリアされている場合、本モジュールはピンに対していかなる制御も行いません。出力イネーブルがセットされている場合、オーバーライド値またはアクティブな PWM の波形が、ポートの優先度選択に従ってピンに印加されます。出力ピンのイネーブルは、モジュールのイネーブルビット GxEN によって決まります。GxEN がクリアされている場合、CWG 出力が有効になり、CWG 駆動レベルは変化しません。

### 21.4.2 極性制御

CWG の各出力の極性は、個別に選択できます。出力極性ビットをセットすると、対応する出力はアクティブ High になります。出力極性ビットをクリアすると、対応する出力はアクティブ Low になります。しかし、極性はオーバーライド レベルに影響を与えません。出力極性は、CWGxCON0 レジスタの GxPOLA と GxPOLB ビットによって選択します。

## 21.5 デッドバンド制御

デッドバンド制御は、電源切り換え時の貫通電流を防止するために、オーバーラップのない出力信号を提供します。CWG は、6 ビットのデッドバンド カウンタを 2 つ備えています。一方のデッドバンド カウンタは入力源制御の立ち上がりエッジ用で、もう一方は立ち下がりエッジ用です。

デッドバンドは、CWG クロック周期のカウントをゼロから立ち上がりまたは立ち下がりデッドバンド カウンタ レジスタの値までカウントして、タイミングを制御します。CWGxDBR と CWGxDBF レジスタを参照してください ([それぞれレジスタ 21-4 とレジスタ 21-5](#))。

## 21.6 立ち上がりエッジ デッドバンド

立ち上がりエッジ デッドバンドは、CWGxB 出力の OFF から CWGxA 出力の ON までを遅延させます。立ち上がりエッジのデッドバンド時間は、入力源信号が立ち上がった時点で始まります。この時点で CWGxB 出力はただちに OFF になり、立ち上がりエッジ デッドバンド遅延時間が開始します。立ち上がりエッジ デッドバンド遅延時間に達すると CWGxA 出力が ON になります。

入力源信号の立ち上がりエッジに対するデッドバンド間隔の継続期間は、CWGxDBR レジスタによって設定します。この継続期間は 0 ~ 64 カウントです。

デッドバンドは、常に入力源信号のエッジからカウントします。カウント値の 0 (ゼロ) は、デッドバンドが存在しない事を示します。

入力源信号がデッドバンド カウント完了までの期間持続しない場合、対応する出力には信号が一切現れません。

## 21.7 立ち下がリエッジ デッドバンド

立ち下がリエッジ デッドバンドは、CWGxA 出力の OFF から、CWGxB 出力の ON までを遅延させます。立ち下がリエッジのデッドバンド時間は、入力源信号が立ち下がった時点で始まります。この時点で CWGxA 出力はただちに OFF になり、立ち下がリエッジ デッドバンド遅延時間が開始します。立ち下がリエッジ デッドバンド遅延時間に達すると CWGxB 出力が ON になります。

入力源信号の立ち下がリエッジに対するデッドバンド間隔の継続期間は、CWGxDBF レジスタによって設定します。この継続期間は 0 ～ 64 カウントです。

デッドバンドは、常に入力源信号のエッジからカウントします。カウント値の 0 (ゼロ) は、デッドバンドが存在しない事を示します。

入力源信号がデッドバンド カウント完了までの期間持続しない場合、対応する出力には信号が一切現れません。

例は、[図 21-3](#) と [図 21-4](#) を参照してください。

## 21.8 デッドバンドの不確定性

入力源の立ち上がりエッジと立ち下がリエッジがデッドバンドカウンタをトリガする場合、入力は非同期である可能性があります。これによって、デッドバンド時間遅延に若干の不確定性が生じます。不確定性の最大値は、CWG のクロック周期に等しくなります。詳細は [式 21-1](#) を参照してください。

図 21-3: デッドバンドの動作、CWGxDBR = 01H、CWGxDBF = 02H

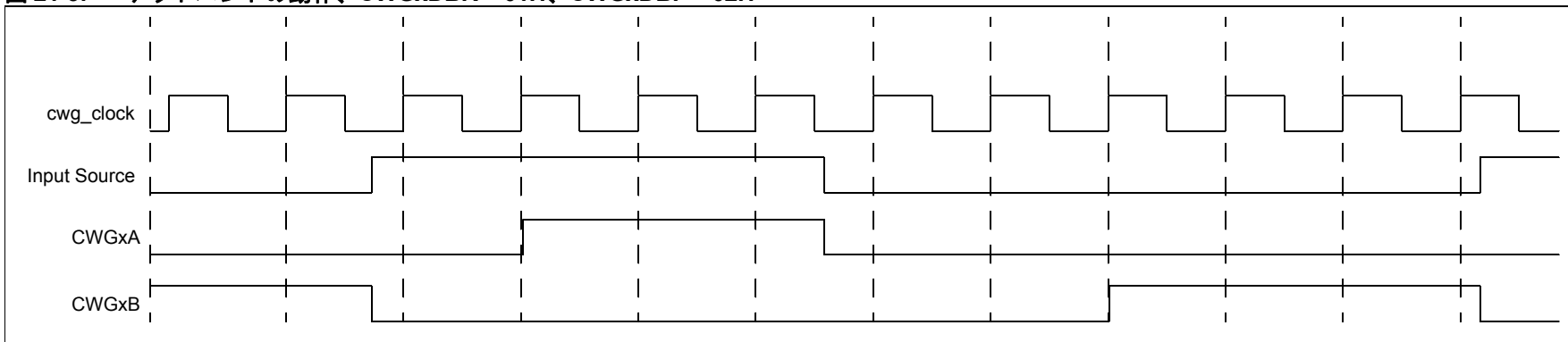
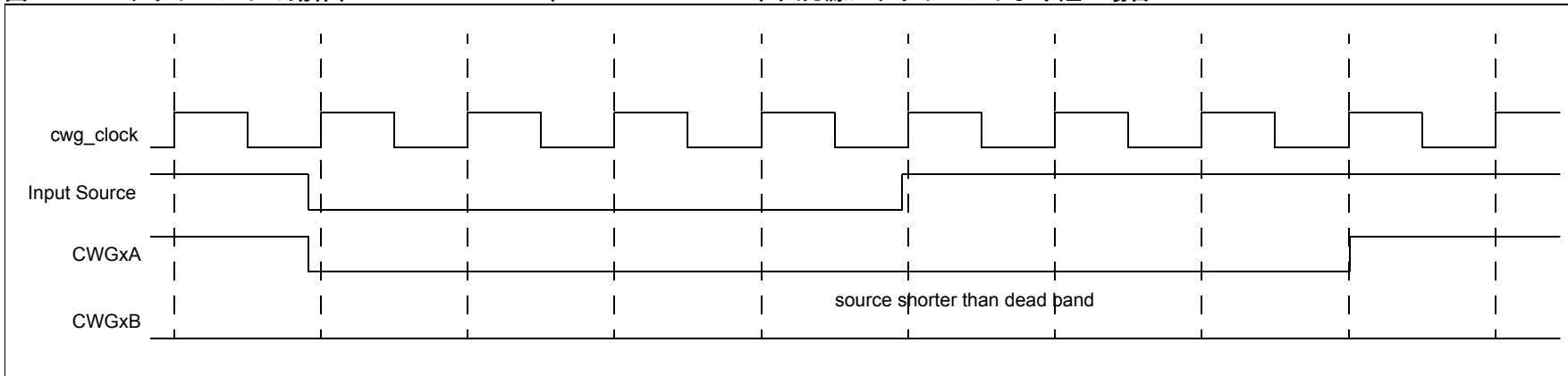


図 21-4: デッドバンドの動作、CWGxDBR = 03H、CWGxDBF = 04H、入力源がデッドバンドより短い場合



## 式 21-1: デッドバンド遅延時間の不確定性

$$T_{DEADBAND\_UNCERTAINTY} = \frac{1}{F_{cwg\_clock}}$$

## 例 21-1: デッドバンド遅延時間の不確定性

$$F_{cwg\_clock} = 16 \text{ MHz}$$

従って:

$$T_{DEADBAND\_UNCERTAINTY} = \frac{1}{F_{cwg\_clock}}$$

$$= \frac{1}{16 \text{ MHz}}$$

$$= 625 \text{ ns}$$

## 21.9 自動シャットダウン制御

自動シャットダウンとは、オーバーライド信号によって CWG 出力レベルをただちにオーバーライドして、回路を安全にシャットダウンする手法です。シャットダウン状態は、自動的にクリアする事も、ソフトウェアによってクリアするまでその状態を保持する事もできます。

### 21.9.1 シャットダウン

シャットダウン状態には、以下の 2 つの方法のいずれかによって移行できます。

- ソフトウェアによる
- 外部入力による

#### 21.9.1.1 ソフトウェアによるシャットダウン

CWGxCON2 レジスタの GxASE ビットをセットすると、CWG がシャットダウン状態に移行します。

自動再起動が無効の場合、GxASE ビットがセットされている限りシャットダウン状態が継続します。

自動再起動が有効の場合、GxASE ビットが自動的にクリアされ、次の立ち上がりエッジイベントから動作が再開します。図 21-6 を参照してください。

#### 21.9.1.2 外部入力源によるシャットダウン

外部シャットダウン入力は、障害条件時に CWG 動作を安全に一時停止する最速の方法です。選択されたシャットダウン入力のいずれかが High に遷移すると、CWG 出力はソフトウェアによる遅延なく、ただちに選択されたオーバーライド レベルに遷移します。シャットダウン条件は、以下の 2 つの入力源を組み合わせる事で生成できます。

- LC1OUT
- CWG1FLT

シャットダウン入力は、CWGxCON2 レジスタの GxASDS0 と GxASDS1 ビットによって選択します (レジスタ 21-3)。

**Note:** シャットダウン入力はエッジ センシティブではなく、レベル センシティブです。シャットダウン入力レベルが維持されている間は、自動シャットダウンを無効にしない限り、シャットダウン状態をクリアする事はできません。

## 21.10 スリープ中の動作

CWG モジュールはシステムクロックから独立して動作します。選択されているクロック源と入力源がアクティブであれば、スリープ中でも動作を続けます。

CWG モジュールが有効で、その入力源がアクティブであり、クロック源として HFINTOSC を選択している場合、システムクロック源にかかわらず、HFINTOSC はスリープ中でもアクティブ状態を維持します。

言い換えれば、システムクロックと CWG クロック源の両方に HFINTOSC を選択しており、CWG が有効で入力源がアクティブである場合、CPU はスリープ時にアイドル状態に移行しますが、CWG は動作を継続して HFINTOSC はアクティブ状態を維持します。

このような状況は、スリープ中の電流に直接影響を与えます。

## 21.11 CWG の設定

CWG を確実に同期して起動するよう適切に設定するには、以下の手順を実行します。

1. CWGxA と CWGxB に対応する TRIS 制御ビットが、いずれも入力として設定されていることを確認する。
2. GxEN ビットがまだクリアされていない場合、クリアする。
3. CWGxDBR と CWGxDBF レジスタに適切なデッドバンド時間を設定する。
4. CWGxCON2 自動シャットダウン レジスタを以下の通り設定する。
  - 適切なシャットダウン信号源を選択する。
  - 両方の出力オーバーライド値に必要なレベルを選択する (通常の起動もシャットダウン状態から開始するため、この設定は自動シャットダウンを使わない場合にも必要です)。
  - GxASE ビットをセットし、GxARSEN ビットをクリアする。
5. CWGxCON1 レジスタで入力源を選択する。
6. CWGxCON0 レジスタを以下の通り設定する。
  - クロック源を選択する。
  - 出力極性を選択する。
  - 使用する出力のイネーブルビットをセットする。
7. GxEN ビットをセットする。
8. 使用する CWGxA と CWGxB に対応する TRIS 制御ビットをクリアして、これらのピンを出力に設定する。
9. 自動再起動を使う場合、GxARSEN ビットをセットすると、GxASE ビットは自動的にクリアされる。自動再起動を使わない場合、GxASE ビットをクリアして CWG を起動する。

### 21.11.1 ピン オーバーライド レベル

シャットダウン入力が True の期間に出力ピンを駆動するレベルは、CWGxCON1 レジスタ (レジスタ 21-3) の GxASDLA と GxASDLB ビットによって制御します。GxASDLA は CWG1A のオーバーライドレベルを制御し、GxASDLB は CWG1B のオーバーライドレベルを制御します。制御ビットのロジックレベルは、シャットダウン時に出力を駆動するロジックレベルに一致します。極性制御はオーバーライドレベルには適用されません。

### 21.11.2 自動シャットダウンからの再起動

自動シャットダウン イベントが発生した場合、動作を再開するには以下の 2 つの方法があります。

- ソフトウェア制御
- 自動再起動

再起動の方法は CWGxCON2 レジスタの GxARSEN ビットによって選択します。図 21-5 と図 21-6 に、ソフトウェア制御および自動再起動による波形を示します。

#### 21.11.2.1 ソフトウェア制御による再起動

CWGxCON2 レジスタの GxARSEN ビットがクリアされている場合、CWG は自動シャットダウン イベントの発生後にソフトウェアによって再起動する必要があります。

CWG は、GxASE ビットのクリア後、最初の立ち上がりエッジイベントから動作を再開します。シャットダウン状態を解除するには、選択したシャットダウン入力の全てが Low である必要があります。それ以外の場合、GxASE ビットはセットされたままです。

#### 21.11.2.2 自動再起動

CWGxCON2 レジスタの GxARSEN ビットがセットされている場合、CWG は自動シャットダウン状態から自動的に再起動します。

シャットダウン イベントが解除された後、GxASE ビットが自動的にクリアされ、CWG は最初の立ち上がりエッジイベントから動作を再開します。

図 21-5: 自動再起動が無効 ( $GxARSEN = 0$ ) の場合のシャットダウン機能

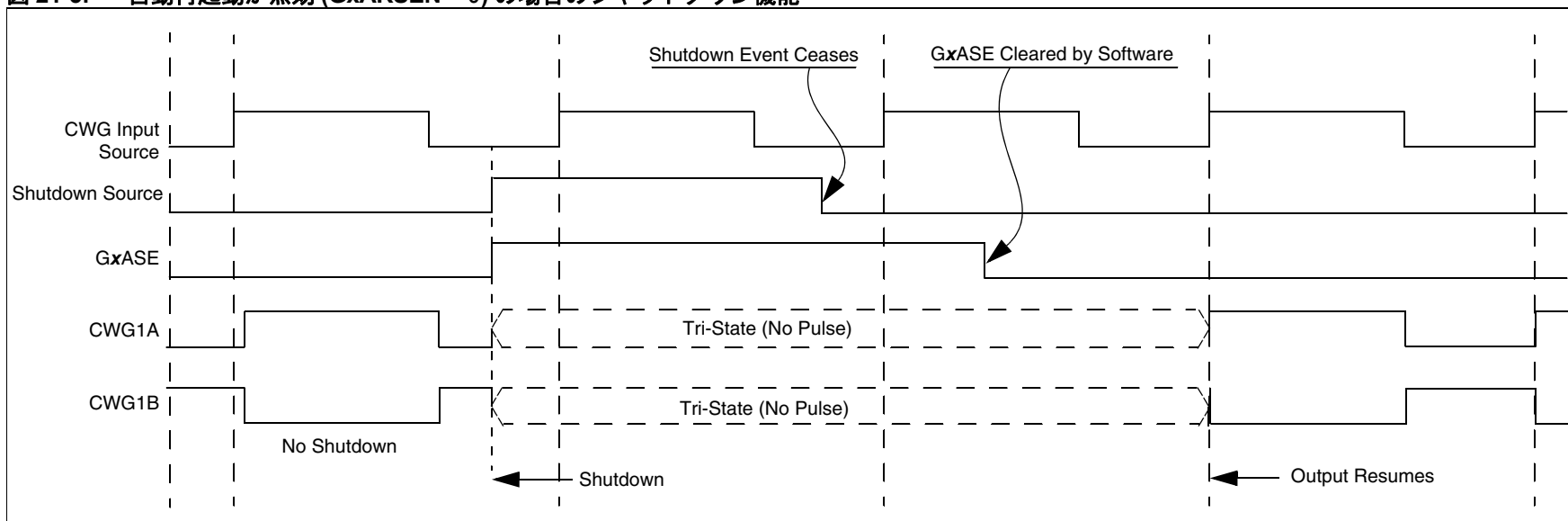
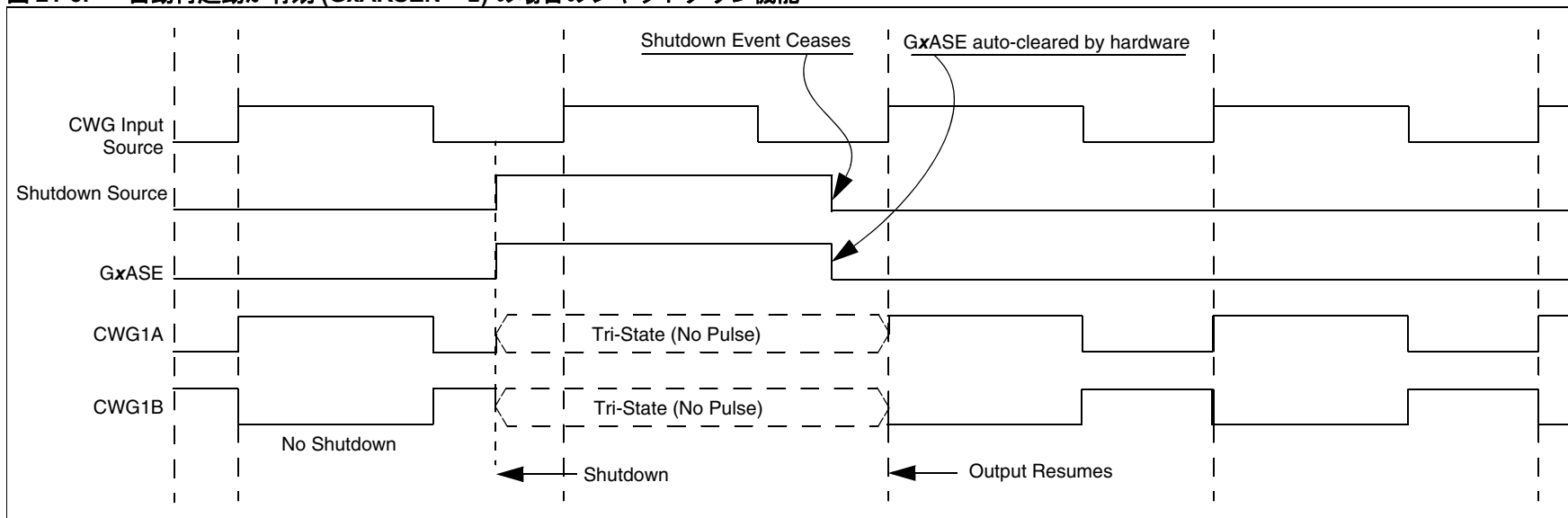


図 21-6: 自動再起動が有効 ( $GxARSEN = 1$ ) の場合のシャットダウン機能



## 21.12 CWG 制御レジスタ

レジスタ 21-1: CWGxCON0: CWG 制御レジスタ 0

|         |         |         |         |         |     |     |         |
|---------|---------|---------|---------|---------|-----|-----|---------|
| R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | R/W-0/0 | U-0 | U-0 | R/W-0/0 |
| GxEN    | GxOEB   | GxOEA   | GxPOLB  | GxPOLA  | —   | —   | GxCS0   |
| bit 7   |         |         |         |         |     |     | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

|         |                                                                                                      |
|---------|------------------------------------------------------------------------------------------------------|
| bit 7   | <b>GxEN:</b> CWGx イネーブルビット<br>1 = モジュールを有効にする<br>0 = モジュールを無効にする                                     |
| bit 6   | <b>GxOEB:</b> CWGxB 出力イネーブルビット<br>1 = 該当する I/O ピンで CWGxB を使用可能にする<br>0 = 該当する I/O ピンで CWGxB を使用不可にする |
| bit 5   | <b>GxOEA:</b> CWGxA 出力イネーブルビット<br>1 = 該当する I/O ピンで CWGxA を使用可能にする<br>0 = 該当する I/O ピンで CWGxA を使用不可にする |
| bit 4   | <b>GxPOLB:</b> CWGxB 出力極性ビット<br>1 = 出力を反転極性にする<br>0 = 出力を通常極性にする                                     |
| bit 3   | <b>GxPOLA:</b> CWGxA 出力極性ビット<br>1 = 出力を反転極性にする<br>0 = 出力を通常極性にする                                     |
| bit 2-1 | <b>未実装:</b> 「0」として読み出し                                                                               |
| bit 0   | <b>GxCS0:</b> CWGx クロック源選択ビット<br>1 = HFINTOSC<br>0 = FOSC                                            |

# PIC10(L)F320/322

## レジスタ 21-2: CWGxCON1: CWG 制御レジスタ 1

|              |         |              |         |     |     |           |         |
|--------------|---------|--------------|---------|-----|-----|-----------|---------|
| R/W-x/u      | R/W-x/u | R/W-x/u      | R/W-x/u | U-0 | U-0 | R/W-0/0   | R/W-0/0 |
| GxASDLB<1:0> |         | GxASDLA<1:0> |         | —   | —   | GxIS<1:0> |         |
| bit 7        |         |              |         |     |     |           | bit 0   |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

- bit 7-6 **GxASDLB<1:0>**: CWGx シャットダウン状態 CWGxB レベル  
 自動シャットダウン イベントが発生している場合 (GxASE = 1):  
 11 = GxPOLB ビットの設定にかかわらず CWGxB ピンを「1」に駆動する  
 10 = GxPOLB ビットの設定にかかわらず CWGxB ピンを「0」に駆動する  
 01 = CWGxB ピンを 3 ステートにする  
 00 = CWGxB ピンをデッドバンド遅延後に非アクティブ状態に駆動する。出力極性は GxPOLB によって制御したままとする
- bit 5-4 **GxASDLA<1:0>**: CWGx シャットダウン状態 CWGxA レベル  
 自動シャットダウン イベントが発生している場合 (GxASE = 1):  
 00 = CWGxA ピンをデッドバンド遅延後に非アクティブ状態に駆動する。出力極性は GxPOLA によって制御したままとする  
 01 = CWGxA ピンを 3 ステートにする  
 10 = GxPOLA ビットの設定にかかわらず CWGxA ピンを「0」に駆動する  
 11 = GxPOLA ビットの設定にかかわらず CWGxA ピンを「1」に駆動する
- bit 3-2 **未実装**: 「0」として読み出し
- bit 1-0 **GxIS<1:0>**: CWGx デッドバンド信号源選択ビット  
 11 = LC1OUT  
 10 = N1OUT  
 01 = PWM2OUT  
 00 = PWM1OUT

## レジスタ 21-3: CWGxCON2: CWG 制御レジスタ 2

|         |         |     |     |     |     |           |          |
|---------|---------|-----|-----|-----|-----|-----------|----------|
| R/W-0/0 | R/W-0/0 | U-0 | U-0 | U-0 | U-0 | R/W-0/0   | R/W-0/0  |
| GxASE   | GxARSEN | —   | —   | —   | —   | GxASDCLC1 | GxASDFLT |
| bit 7   |         |     |     |     |     | bit 0     |          |

### 凡例:

|               |               |                                         |
|---------------|---------------|-----------------------------------------|
| R = 読み出し可能ビット | W = 書き込み可能ビット | U = 未実装ビット、「0」として読み出し                   |
| u = ビットは不変    | x = ビットは未知    | -n/n = POR および BOR 時の値 / その他の全てのリセット時の値 |
| 「1」= ビットはセット  | 「0」= ビットはクリア  | q = 条件による                               |

|         |                                                                                                                                                          |
|---------|----------------------------------------------------------------------------------------------------------------------------------------------------------|
| bit 7   | <b>GxASE:</b> 自動シャットダウン イベント ステータスビット<br>1 = 自動シャットダウン イベントが発生した<br>0 = 自動シャットダウン イベントは発生していない                                                           |
| bit 6   | <b>GxARSEN:</b> 自動再起動イネーブルビット<br>1 = 自動再起動を有効にする<br>0 = 自動再起動を無効にする                                                                                      |
| bit 5-2 | <b>未実装:</b> 「0」として読み出し                                                                                                                                   |
| bit 1   | <b>GxASDCLC1:</b> CWG 自動シャットダウン信号源イネーブルビット 1<br>1 = LC1OUT が High の場合にシャットダウンする<br>0 = LC1OUT はシャットダウンに影響を与えない                                           |
| bit 0   | <b>GxASDFLT:</b> CWG 自動シャットダウン信号源イネーブルビット 0<br>1 = $\overline{\text{CWG1FLT}}$ 入力が Low の場合にシャットダウンする<br>0 = $\overline{\text{CWG1FLT}}$ はシャットダウンに影響を与えない |

# PIC10(L)F320/322

**レジスタ 21-4: CWGxDBR: 相補波形ジェネレータ (CWGx) 立ち上がりデッドバンド カウント レジスタ**

| U-0   | U-0 | R/W-x/u      | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
|-------|-----|--------------|---------|---------|---------|---------|---------|
| —     | —   | CWGxDBR<5:0> |         |         |         |         |         |
| bit 7 |     |              |         |         |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア      q = 条件による

bit 7-6      **未実装:** 「0」として読み出し

bit 5-0      **CWGxDBR<5:0>:** 相補波形ジェネレータ (CWGx) 立ち上がりカウントビット

11 1111 = デッドバンド カウントを 63 ~ 64 にする

11 1110 = デッドバンド カウントを 62 ~ 63 にする

•  
•  
•

00 0010 = デッドバンド カウントを 2 ~ 3 にする

00 0001 = デッドバンド カウントを 1 ~ 2 にする

00 0000 = デッドバンド カウントを 0 にする

**レジスタ 21-5: CWGxDBF: 相補波形ジェネレータ (CWGx) 立ち下がりデッドバンド カウント レジスタ**

| U-0   | U-0 | R/W-x/u      | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u | R/W-x/u |
|-------|-----|--------------|---------|---------|---------|---------|---------|
| —     | —   | CWGxDBF<5:0> |         |         |         |         |         |
| bit 7 |     |              |         |         |         |         | bit 0   |

**凡例:**

R = 読み出し可能ビット      W = 書き込み可能ビット      U = 未実装ビット、「0」として読み出し  
u = ビットは不変              x = ビットは未知              -n/n = POR および BOR 時の値 / その他の全てのリセット時の値  
「1」= ビットはセット      「0」= ビットはクリア      q = 条件による

bit 7-6      **未実装:** 「0」として読み出し

bit 5-0      **CWGxDBF<5:0>:** 相補波形ジェネレータ (CWGx) 立ち下がりカウントビット

11 1111 = デッドバンド カウントを 63 ~ 64 にする

11 1110 = デッドバンド カウントを 62 ~ 63 にする

•  
•  
•

00 0010 = デッドバンド カウントを 2 ~ 3 にする

00 0001 = デッドバンド カウントを 1 ~ 2 にする

00 0000 = デッドバンド カウントを 0 にする。デッドバンド生成がバイパスされる

表 21-1: CWG 関連レジスタのまとめ

| レジスタ名    | Bit 7        | Bit 6   | Bit 5        | Bit 4  | Bit 3  | Bit 2  | Bit 1     | Bit 0    | レジスタ<br>内容記載<br>ページ |
|----------|--------------|---------|--------------|--------|--------|--------|-----------|----------|---------------------|
| ANSELA   | —            | —       | —            | —      | —      | ANSA2  | ANSA1     | ANSA0    | <a href="#">78</a>  |
| CWG1CON0 | G1EN         | G1OEB   | G1OEA        | G1POLB | G1POLA | —      | —         | G1CS0    | <a href="#">149</a> |
| CWG1CON1 | G1ASDLB<1:0> |         | G1ASDLA<1:0> |        | —      | —      | G1IS<1:0> |          | <a href="#">150</a> |
| CWG1CON2 | G1ASE        | G1ARSEN | —            | —      | —      | —      | GxASDCLC1 | GxASDFLT | <a href="#">151</a> |
| CWG1DBF  | —            | —       | CWG1DBF<5:0> |        |        |        |           |          | <a href="#">152</a> |
| CWG1DBR  | —            | —       | CWG1DBR<5:0> |        |        |        |           |          | <a href="#">152</a> |
| LATA     | —            | —       | —            | —      | —      | LATA2  | LATA1     | LATA0    | <a href="#">78</a>  |
| TRISA    | —            | —       | —            | —      | —      | TRISA2 | TRISA1    | TRISA0   | <a href="#">77</a>  |

凡例： x = 未知、u = 不変です。— = 未実装であり「0」として読み出されます。  
網掛け部分は CWG では使用しません。

# PIC10(L)F320/322

---

NOTES:

## 22.0 IN-CIRCUIT SERIAL PROGRAMMING™ (ICSP™)

ICSP™ プログラミングを使うと、未プログラムのデバイスを使って回路基板を生産できます。組み立てプロセス後にプログラミングするため、最新ファームウェアまたはカスタム ファームウェアを使ってデバイスをプログラムできます。ICSP™ プログラミングには、以下の 5 本のピンが必要です。

- ICSPCLK
- ICSPDAT
- MCLR/VPP
- VDD
- VSS

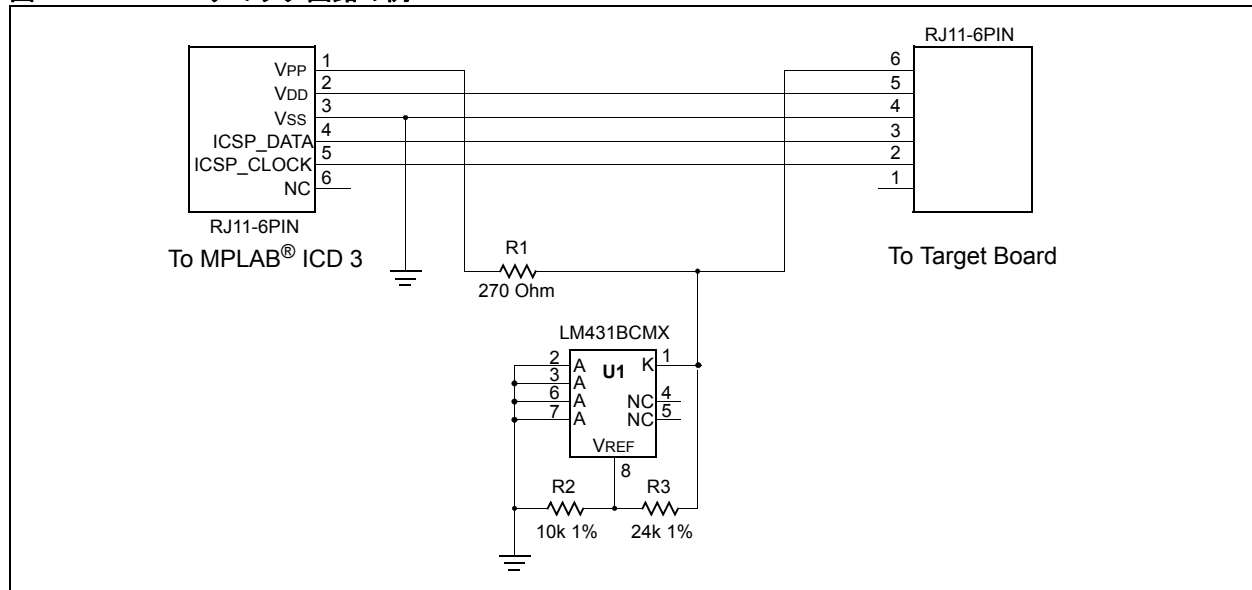
プログラム/ベリファイモードを使って、プログラムメモリ、ユーザ ID、コンフィグレーションワードをシリアル通信でプログラムします。ICSPDAT ピンはシリアルデータを転送用の双方向 I/O であり、ICSPCLK ピンはクロック入力です。ICSP™ の詳細は、『PIC16(L)F178X Memory Programming Specification』(DS41457) を参照してください。

一部のプログラマでは  $V_{IH}$  (9.0 V) を超える  $V_{PP}$  が発生するため、外部回路で  $V_{PP}$  電圧を抑える必要があります。回路の例は、[図 22-1](#) を参照してください。

### 22.1 高電圧プログラミング モード

ICSPCLK ピンと ICSPDAT ピンを Low に保持し、MCLR/VPP の電圧を  $V_{IH}$  にすると、デバイスは高電圧プログラミングモードに移行します。

図 22-1: VPP リミッタ回路の例



**Note:** MPLAB® ICD 3 は、PIC10(L)F320/322 の最大  $V_{PP}$  仕様を超える  $V_{PP}$  電圧が発生します。

# PIC10(L)F320/322

## 22.2 低電圧プログラミングモード

低電圧プログラミングモードでは、高電圧を使わずに VDD のみを使って PIC10(L)F320/322 をプログラムできます。コンフィグレーションワードの LVP ビットを「1」にセットすると、低電圧 ICSP プログラミングが有効になります。低電圧モードを無効にする場合、LVP ビットを「0」にセットします。

低電圧プログラミングモードに移行する手順は以下の通りです。

1.  $\overline{\text{MCLR}}$  を VIL にする。
2. 32 ビットのキーシーケンスを ICSPCLK のクロッキングと共に送る。

キーシーケンス完了後、プログラム/ペリファイモードを継続させたい期間、 $\overline{\text{MCLR}}$  を VIL に保持する必要があります。

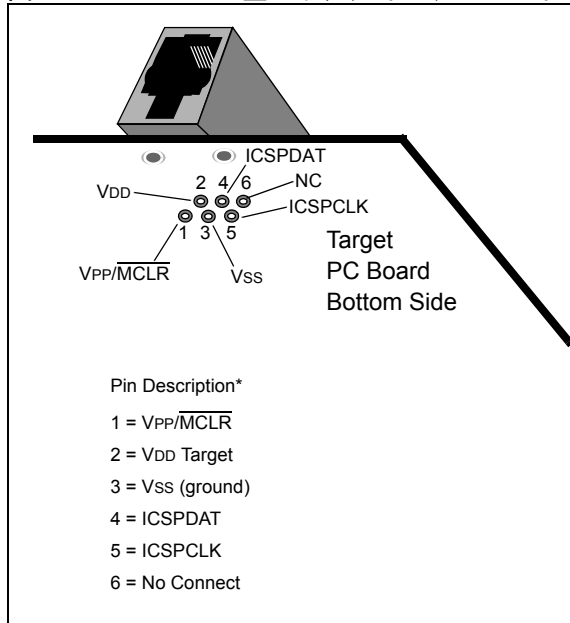
低電圧プログラミング有効時 (LVP = 1)、 $\overline{\text{MCLR}}$  リセット機能は自動的に有効になり、無効にできません。詳細は、[セクション 5.3「低消費電力ブラウンアウトリセット \(LPBOR\)」](#)を参照してください。

再度 LVP ビットを「0」にセットするには、高電圧プログラミングモードを使う必要があります。

## 22.3 一般的なプログラミングインターフェイス

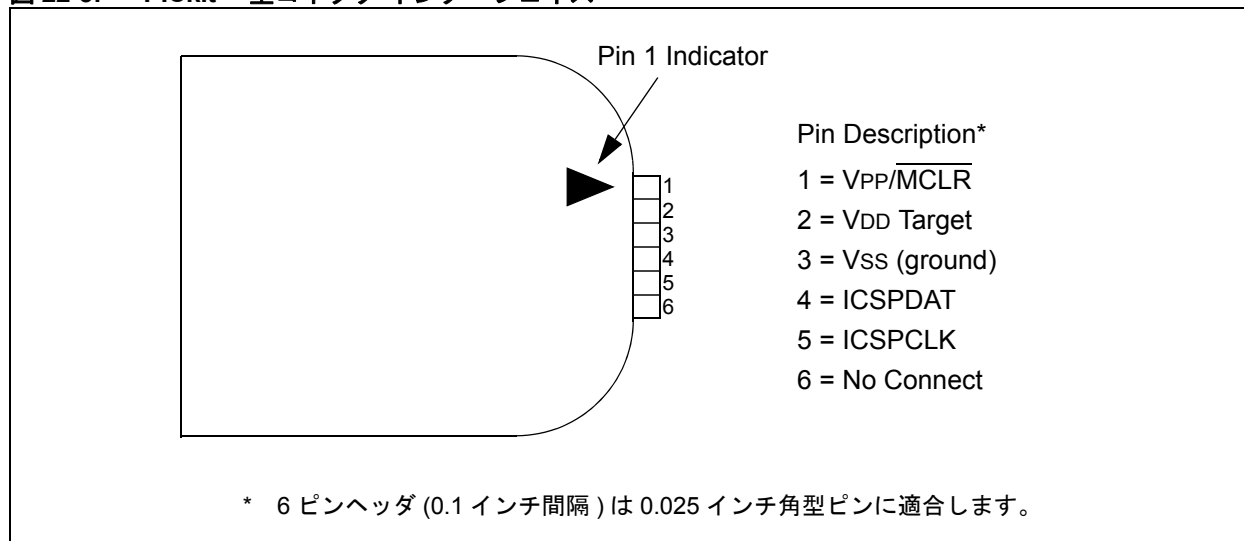
ターゲットデバイスへの接続は、通常は ICSP™ ヘッダを介して行います。開発ツールによく使われるコネクタは、6P6C (6 ピン、6 コネクタ) 構成の RJ-11 です。[図 22-2](#)を参照してください。

図 22-2: ICD RJ-11型コネクタ インターフェイス



また、PICKit™ プログラマによく使われるコネクタは、0.1 インチ間隔の標準 6 ピンヘッダです。[図 22-3](#)を参照してください。

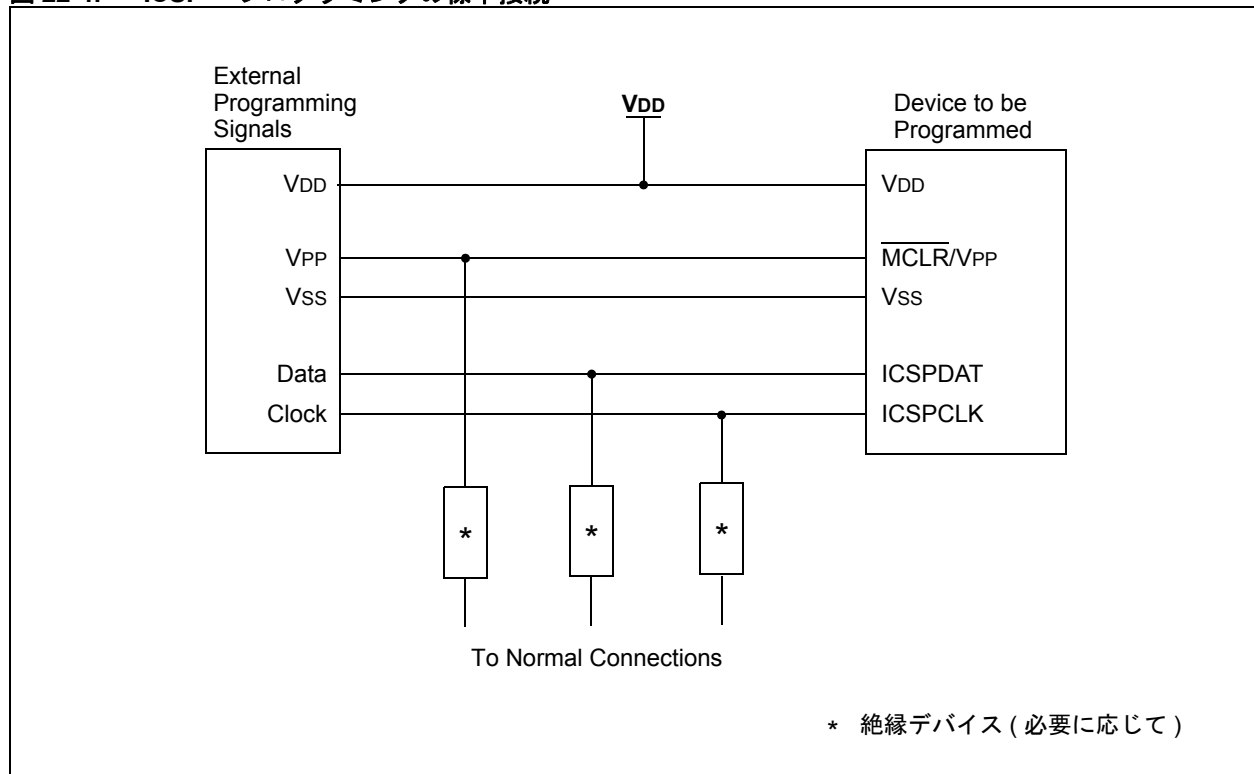
図 22-3: PICKit™ 型コネクタ インターフェイス



インターフェイスに関するその他の推奨事項は、プリント基板設計を行う前にご使用のデバイス プログラマのマニュアルを参照してください。

絶縁デバイスを使って、プログラミング ピンと他の回路を絶縁する事を推奨します。絶縁方法はアプリケーションによって異なり、抵抗、ダイオード等のデバイスや、ジャンパを使う事もあります。詳細は、[図 22-4](#)を参照してください。

**図 22-4: ICSP™ プログラミングの標準接続**



# PIC10(L)F320/322

---

NOTES:

## 23.0 命令セットの概要

PIC10(L)F320/322 の命令セットは、きわめて直交性が高く、以下の 3 つのカテゴリから構成されます。

- バイト指向命令
- ビット指向命令
- リテラルおよび制御命令

PIC16 の各命令は 14 ビットワードで表され、命令の種類を指定する 1 つのオペコードと、命令の動作をより詳細に指定する 1 つまたは複数のオペランドから成ります。図 23-1 に各カテゴリの命令の形式を示し、表 23-1 に各種オペコードのフィールドをまとめます。

表 23-2 に、MPASM™ アセンブラが認識する命令の一覧を示します。

バイト指向命令の場合、「f」はファイルレジスタの指定文字、「d」は結果格納先の指定文字を表します。ファイルレジスタの指定文字は、命令で使うファイルレジスタを指定します。

結果格納先の指定文字は、演算の結果を書き込む場所を指定します。「d」が 0 の場合、結果は W レジスタに書き込まれます。「d」が 1 の場合、結果は命令で指定したファイルレジスタに書き込まれます。

ビット指向命令の「b」はビットフィールドの指定文字であり、その演算によって影響を受けるビットを指定します。「f」は、そのビットが含まれるファイルのアドレスを表します。

リテラルおよび制御演算の「k」は 8 ビットまたは 11 ビットの定数つまりリテラル値を表します。

1 命令サイクルはオシレータの 4 周期分です。例えば、オシレータ周波数が 4 MHz の場合、公称命令実行時間は 1 μs です。全命令は 1 命令サイクルで実行されます。例外は、条件テストが真の場合、または命令の実行結果によりプログラム カウンタが変わる場合です。この場合、実行には 2 命令サイクルを要し、2 サイクル目は NOP として実行されます。

命令の例では、「0xhh」の形式で 16 進数を表しています。「h」は 16 進数の 1 桁を表します。

### 23.1 Read-Modify-Write 動作

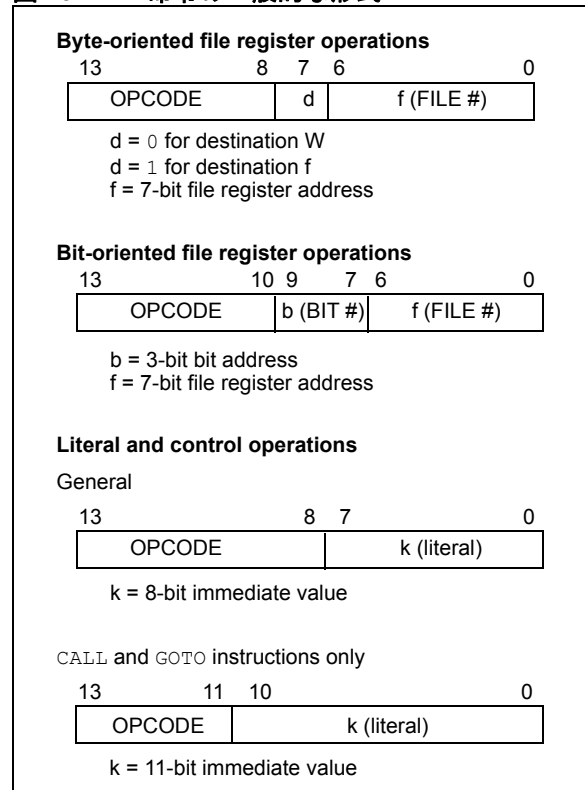
命令の一部としてファイルレジスタを指定する命令は、いずれも Read-Modify-Write (RMW) 動作を実行します。レジスタを読み出し、データを変更し、そして命令または格納先指定文字「d」のいずれかに従って結果を書き込みます。書き込み先がそのレジスタであっても読み出し動作を実行します。

例えば、CLRF PORTA 命令は、PORTA を読み出し、データビットを全てクリアし、その結果を PORTA に書き戻します。この例では、IOCIF フラグをセットする条件をクリアする事によって意図せぬ結果を招く場合があります。

表 23-1: オペコード フィールドの説明

| フィールド | 説明                                                                                                |
|-------|---------------------------------------------------------------------------------------------------|
| f     | レジスタファイル アドレス (0x00 ~ 0x7F)                                                                       |
| W     | ワーキングレジスタ (アキュムレータ)                                                                               |
| b     | 8 ビット ファイルレジスタ内のビット アドレス                                                                          |
| k     | リテラル フィールド、定数データまたはラベル                                                                            |
| x     | ドントケア ロケーション(= 0 または 1)。アセンブラは x = 0 としてコードを生成する。( マイクロチップ社の全ソフトウェア ツールとの互換性を確保するために この形式を推奨します。) |
| d     | 格納先を選択する。d = 0: 結果を W に格納する。<br>d = 1: 結果をファイルレジスタ f に格納する。<br>既定値は d = 1 である                     |
| PC    | プログラム カウンタ                                                                                        |
| TO    | タイムアウト ビット                                                                                        |
| C     | キャリービット                                                                                           |
| DC    | ディジット キャリービット                                                                                     |
| Z     | ゼロビット                                                                                             |
| PD    | パワーダウン ビット                                                                                        |

図 23-1: 命令の一般的な形式



# PIC10(L)F320/322

表 23-2: PIC10(L)F320/322 の命令セット

| ニーモニック、<br>オペランド |      | 説明                           | サイクル数 | 14 ビットオペコード |      |      |      | 影響を<br>受ける<br>ステータス                             | Notes   |
|------------------|------|------------------------------|-------|-------------|------|------|------|-------------------------------------------------|---------|
|                  |      |                              |       | MSb         |      | LSb  |      |                                                 |         |
| バイト指向ファイルレジスタ命令  |      |                              |       |             |      |      |      |                                                 |         |
| ADDWF            | f, d | Add W and f                  | 1     | 00          | 0111 | dfff | ffff | C, DC, Z                                        | 1, 2    |
| ANDWF            | f, d | AND W with f                 | 1     | 00          | 0101 | dfff | ffff | Z                                               | 1, 2    |
| CLRF             | f    | Clear f                      | 1     | 00          | 0001 | 1fff | ffff | Z                                               | 2       |
| CLRWF            | —    | Clear W                      | 1     | 00          | 0001 | 0xxx | xxxx | Z                                               |         |
| COMF             | f, d | Complement f                 | 1     | 00          | 1001 | dfff | ffff | Z                                               | 1, 2    |
| DECF             | f, d | Decrement f                  | 1     | 00          | 0011 | dfff | ffff | Z                                               | 1, 2    |
| DECFSZ           | f, d | Decrement f, Skip if 0       | 1(2)  | 00          | 1011 | dfff | ffff |                                                 | 1, 2, 3 |
| INCF             | f, d | Increment f                  | 1     | 00          | 1010 | dfff | ffff | Z                                               | 1, 2    |
| INCFSZ           | f, d | Increment f, Skip if 0       | 1(2)  | 00          | 1111 | dfff | ffff |                                                 | 1, 2, 3 |
| IORWF            | f, d | Inclusive OR W with f        | 1     | 00          | 0100 | dfff | ffff | Z                                               | 1, 2    |
| MOVF             | f, d | Move f                       | 1     | 00          | 1000 | dfff | ffff | Z                                               | 1, 2    |
| MOVWF            | f    | Move W to f                  | 1     | 00          | 0000 | 1fff | ffff |                                                 |         |
| NOP              | —    | No Operation                 | 1     | 00          | 0000 | 0xx0 | 0000 |                                                 |         |
| RLF              | f, d | Rotate Left f through Carry  | 1     | 00          | 1101 | dfff | ffff | C                                               | 1, 2    |
| RRF              | f, d | Rotate Right f through Carry | 1     | 00          | 1100 | dfff | ffff | C                                               | 1, 2    |
| SUBWF            | f, d | Subtract W from f            | 1     | 00          | 0010 | dfff | ffff | C, DC, Z                                        | 1, 2    |
| SWAPF            | f, d | Swap nibbles in f            | 1     | 00          | 1110 | dfff | ffff |                                                 | 1, 2    |
| XORWF            | f, d | Exclusive OR W with f        | 1     | 00          | 0110 | dfff | ffff | Z                                               | 1, 2    |
| ビット指向ファイルレジスタ命令  |      |                              |       |             |      |      |      |                                                 |         |
| BCF              | f, b | Bit Clear f                  | 1     | 01          | 00bb | bfff | ffff |                                                 | 1, 2    |
| BSF              | f, b | Bit Set f                    | 1     | 01          | 01bb | bfff | ffff |                                                 | 1, 2    |
| BTFSC            | f, b | Bit Test f, Skip if Clear    | 1 (2) | 01          | 10bb | bfff | ffff |                                                 | 3       |
| BTFSS            | f, b | Bit Test f, Skip if Set      | 1 (2) | 01          | 11bb | bfff | ffff |                                                 | 3       |
| リテラルおよび制御命令      |      |                              |       |             |      |      |      |                                                 |         |
| ADDLW            | k    | Add literal and W            | 1     | 11          | 111x | kkkk | kkkk | C, DC, Z                                        |         |
| ANDLW            | k    | AND literal with W           | 1     | 11          | 1001 | kkkk | kkkk | Z                                               |         |
| CALL             | k    | Call Subroutine              | 2     | 10          | 0kkk | kkkk | kkkk |                                                 |         |
| CLRWDT           | —    | Clear Watchdog Timer         | 1     | 00          | 0000 | 0110 | 0100 | $\overline{\text{TO}}$ , $\overline{\text{PD}}$ |         |
| GOTO             | k    | Go to address                | 2     | 10          | 1kkk | kkkk | kkkk |                                                 |         |
| IORLW            | k    | Inclusive OR literal with W  | 1     | 11          | 1000 | kkkk | kkkk | Z                                               |         |
| MOVLW            | k    | Move literal to W            | 1     | 11          | 00xx | kkkk | kkkk |                                                 |         |
| RETFIE           | —    | Return from interrupt        | 2     | 00          | 0000 | 0000 | 1001 |                                                 |         |
| RETLW            | k    | Return with literal in W     | 2     | 11          | 01xx | kkkk | kkkk |                                                 |         |
| RETURN           | —    | Return from Subroutine       | 2     | 00          | 0000 | 0000 | 1000 |                                                 |         |
| SLEEP            | —    | Go into Standby mode         | 1     | 00          | 0000 | 0110 | 0011 | $\overline{\text{TO}}$ , $\overline{\text{PD}}$ |         |
| SUBLW            | k    | Subtract W from literal      | 1     | 11          | 110x | kkkk | kkkk | C, DC, Z                                        |         |
| XORLW            | k    | Exclusive OR literal with W  | 1     | 11          | 1010 | kkkk | kkkk | Z                                               |         |

- Note 1:** I/O レジスタの値を同じ I/O レジスタによって変更する場合 (例: MOVF PORTA, 1)、これらのピンの入力レベルが使われます。例えば、入力ピンのデータラッチが「1」で、そのピンが外部デバイスによって low に駆動されている場合、データは「0」として上書きされます。
- 2:** この命令を TMR0 レジスタに対して実行した場合 (かつ、「d」の指定が可能な場合に d = 1 の場合)、Timer0 モジュールにプリスケアラが割り当てられているとプリスケアラもクリアされます。
- 3:** プログラム カウンタ (PC) が変更された場合、あるいは条件付きテストの結果が真の場合、命令実行には 2 サイクルが必要です。2 サイクル目は、NOP として実行されます。

## 23.2 命令の説明

### ADDLW Add literal and W

構文: [label] ADDLW k  
 オペランド:  $0 \leq k \leq 255$   
 動作:  $(W) + k \rightarrow (W)$   
 影響を受けるステータス: C, DC, Z  
 説明: W レジスタの内容を 8 ビットのリテラル「k」に加算し、結果を W レジスタに書き込みます。

### ADDWF Add W and f

構文: [label] ADDWF f,d  
 オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$   
 動作:  $(W) + (f) \rightarrow (\text{destination})$   
 影響を受けるステータス: C, DC, Z  
 説明: W レジスタとレジスタ「f」の内容を加算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

### ANDLW AND literal with W

構文: [label] ANDLW k  
 オペランド:  $0 \leq k \leq 255$   
 動作:  $(W) .\text{AND.} (k) \rightarrow (W)$   
 影響を受けるステータス: Z  
 説明: W レジスタの内容と 8 ビットのリテラル「k」で AND 演算します。結果は W レジスタに書き込まれます。

### ANDWF AND W with f

構文: [label] ANDWF f,d  
 オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$   
 動作:  $(W) .\text{AND.} (f) \rightarrow (\text{destination})$   
 影響を受けるステータス: Z  
 説明: W レジスタとレジスタ「f」で AND 演算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

### BCF Bit Clear f

構文: [label] BCF f,b  
 オペランド:  $0 \leq f \leq 127$   
 $0 \leq b \leq 7$   
 動作:  $0 \rightarrow (f<b>)$   
 影響を受けるステータス: なし  
 説明: レジスタ「f」のビット「b」をクリアします。

### BSF Bit Set f

構文: [label] BSF f,b  
 オペランド:  $0 \leq f \leq 127$   
 $0 \leq b \leq 7$   
 動作:  $1 \rightarrow (f<b>)$   
 影響を受けるステータス: なし  
 説明: レジスタ「f」のビット「b」をセットします。

### BTFSC Bit Test f, Skip if Clear

構文: [label] BTFSC f,b  
 オペランド:  $0 \leq f \leq 127$   
 $0 \leq b \leq 7$   
 動作: skip if  $(f<b>) = 0$   
 影響を受けるステータス: なし  
 説明: レジスタ「f」のビット「b」が「1」の場合、次の命令を実行します。レジスタ「f」のビット「b」が「0」の場合、次の命令を破棄し、代わりに NOP を実行して、2 サイクルの命令にします。

# PIC10(L)F320/322

## BTFSS Bit Test f, Skip if Set

構文: `[label] BTFSS f,b`  
オペランド:  $0 \leq f \leq 127$   
 $0 \leq b < 7$   
動作: skip if ( $f < b$ ) = 1  
影響を受けるステータス: なし  
説明: レジスタ「f」のビット「b」が「0」の場合、次の命令を実行します。ビット「b」が「1」の場合、次の命令を破棄し、代わりに NOP を実行して、2 サイクルの命令にします。

## CALL Call Subroutine

構文: `[label] CALL k`  
オペランド:  $0 \leq k \leq 2047$   
動作:  $(PC) + 1 \rightarrow TOS$ ,  
 $k \rightarrow PC<10:0>$ ,  
 $(PCLATH<4:3>) \rightarrow PC<12:11>$   
影響を受けるステータス: なし  
説明: サブルーチンを呼び出します。最初に、リターンアドレス ( $PC+1$ ) をスタックにプッシュします。11 ビットの即値アドレスを、PC ビット  $<10:0>$  に読み込みます。PC の上位ビットは、PCLATH から読み込みます。CALL は、2 サイクルの命令です。

## CLRF Clear f

構文: `[label] CLRF f`  
オペランド:  $0 \leq f \leq 127$   
動作:  $00h \rightarrow (f)$   
 $1 \rightarrow Z$   
影響を受けるステータス: Z  
説明: レジスタ「f」の内容をクリアして、Z ビットをセットします。

## CLRW Clear W

構文: `[label] CLRW`  
オペランド: なし  
動作:  $00h \rightarrow (W)$   
 $1 \rightarrow Z$   
影響を受けるステータス: Z  
説明: W レジスタをクリアします。0 ビット (Z) をセットします。

## CLRWDTClear Watchdog Timer

構文: `[label] CLRWDTClear Watchdog Timer`  
オペランド: なし  
動作:  $00h \rightarrow WDT$   
 $0 \rightarrow WDT \text{ prescaler}$ ,  
 $1 \rightarrow \overline{TO}$   
 $1 \rightarrow \overline{PD}$   
影響を受けるステータス:  $\overline{TO}$ ,  $\overline{PD}$   
説明: CLRWDTClear Watchdog Timer 命令はウォッチドッグタイマをリセットします。WDT のプリスケールもリセットします。ステータスビット  $\overline{TO}$  と  $\overline{PD}$  をセットします。

## COMF Complement f

構文: `[label] COMF f,d`  
オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$   
動作:  $(\bar{f}) \rightarrow (\text{destination})$   
影響を受けるステータス: Z  
説明: レジスタ「f」の内容の補数をとります。「d」が「0」の場合は結果が W レジスタに書き込まれ、「d」が「1」の場合は結果がレジスタ「f」に書き戻されます。

## DECF Decrement f

構文: `[label] DECF f,d`  
オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$   
動作:  $(f) - 1 \rightarrow (\text{destination})$   
影響を受けるステータス: Z  
説明: レジスタ「f」をデクリメントします。「d」が「0」の場合は結果が W レジスタに書き込まれ、「d」が「1」の場合は結果がレジスタ「f」に書き戻されます。

## DECFSZ Decrement f, Skip if 0

構文: `[label] DECFSZ f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(f) - 1 \rightarrow (\text{destination});$   
skip if result = 0

影響を受けるステータス: なし

説明: レジスタ「f」の内容をデクリメントします。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりにNOPを実行して、2サイクルの命令にします。

## INCFSZ Increment f, Skip if 0

構文: `[label] INCFSZ f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(f) + 1 \rightarrow (\text{destination}),$   
skip if result = 0

影響を受けるステータス: なし

説明: レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりにNOPを実行して、2サイクルの命令にします。

## GOTO Unconditional Branch

構文: `[label] GOTO k`

オペランド:  $0 \leq k \leq 2047$

動作:  $k \rightarrow \text{PC}<10:0>$   
 $\text{PCLATH}<4:3> \rightarrow \text{PC}<12:11>$

影響を受けるステータス: なし

説明: GOTOは無条件分岐です。11ビットの即値を、PCビット<10:0>に読み込みます。PCの上位ビットは、PCLATH<4:3>から読み込みます。GOTOは2サイクルの命令です。

## IORLW Inclusive OR literal with W

構文: `[label] IORLW k`

オペランド:  $0 \leq k \leq 255$

動作:  $(W) .\text{OR. } k \rightarrow (W)$

影響を受けるステータス: Z

説明: Wレジスタの内容と8ビットのリテラル「k」でOR演算します。結果はWレジスタに書き込まれます。

## INCF Increment f

構文: `[label] INCF f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(f) + 1 \rightarrow (\text{destination})$

影響を受けるステータス: Z

説明: レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

## IORWF Inclusive OR W with f

構文: `[label] IORWF f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(W) .\text{OR. } (f) \rightarrow (\text{destination})$

影響を受けるステータス: Z

説明: Wレジスタとレジスタ「f」でOR演算します。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

# PIC10(L)F320/322

| MOVF         | Move f                                                                                                                                                  |
|--------------|---------------------------------------------------------------------------------------------------------------------------------------------------------|
| 構文:          | [label] MOVF f,d                                                                                                                                        |
| オペランド:       | $0 \leq f \leq 127$<br>$d \in [0,1]$                                                                                                                    |
| 動作:          | $(f) \rightarrow (\text{destination})$                                                                                                                  |
| 影響を受けるステータス: | Z                                                                                                                                                       |
| 説明:          | レジスタ「f」の内容を、「d」のステータスに応じて格納先に移動します。<br>$d = 0$ の場合、格納先は W レジスタです。「d」= 「1」 の場合、格納先はファイルレジスタ「f」自身です。<br>ステータスフラグ Z は影響を受けるため、ファイルレジスタの検証には「d」= 「1」 を使います。 |
| ワード数:        | 1                                                                                                                                                       |
| サイクル数:       | 1                                                                                                                                                       |
| 例:           | <pre>MOVF    FSR,    0</pre><br>命令実行後<br>W = FSR レジスタの値<br>Z = 1                                                                                        |

| MOVLW        | Move literal to W                                     |
|--------------|-------------------------------------------------------|
| 構文:          | [label] MOVLW k                                       |
| オペランド:       | $0 \leq k \leq 255$                                   |
| 動作:          | $k \rightarrow (W)$                                   |
| 影響を受けるステータス: | なし                                                    |
| 説明:          | 8 ビットのリテラル「k」を W レジスタに読み込みます。「ドントケア」は「0」としてアセンブルされます。 |
| ワード数:        | 1                                                     |
| サイクル数:       | 1                                                     |
| 例:           | <pre>MOVLW    0x5A</pre><br>命令実行後<br>W = 0x5A         |

| MOVWF        | Move W to f                                                                                                        |
|--------------|--------------------------------------------------------------------------------------------------------------------|
| 構文:          | [label] MOVWF f                                                                                                    |
| オペランド:       | $0 \leq f \leq 127$                                                                                                |
| 動作:          | $(W) \rightarrow (f)$                                                                                              |
| 影響を受けるステータス: | なし                                                                                                                 |
| 説明:          | W レジスタから、レジスタ「f」にデータを移動します。                                                                                        |
| ワード数:        | 1                                                                                                                  |
| サイクル数:       | 1                                                                                                                  |
| 例:           | <pre>MOVWF    OPTION_REG</pre><br>命令実行前<br>OPTION_REG = 0xFF<br>W = 0x4F<br>命令実行後<br>OPTION_REG = 0x4F<br>W = 0x4F |

| NOP          | NOP            |
|--------------|----------------|
| 構文:          | [label] NOP    |
| オペランド:       | なし             |
| 動作:          | なし             |
| 影響を受けるステータス: | なし             |
| 説明:          | 何も実行しません。      |
| ワード数:        | 1              |
| サイクル数:       | 1              |
| 例:           | <pre>NOP</pre> |

## RETFIE Return from Interrupt

構文: `[label] RETFIE`

オペランド: なし

動作: TOS → PC,  
1 → GIE

影響を受けるステータス: なし

説明: 割り込み処理から復帰します。スタックがポップされ、Top-of-Stack (TOS) が PC に読み込まれます。グローバル割り込みイネーブルビット GIE (INTCON<7>) をセットして、割り込みを有効にします。これは 2 サイクルの命令です。

ワード数: 1

サイクル数: 2

例:

```

RETFIE
割り込み終了後
    PC = TOS
    GIE = 1

```

## RETLW Return with literal in W

構文: `[label] RETLW k`

オペランド:  $0 \leq k \leq 255$

動作:  $k \rightarrow (W)$ ;  
TOS → PC

影響を受けるステータス: なし

説明: 8 ビットのリテラル「k」を W レジスタに読み込みます。Top-of-Stack (リターンアドレス) をプログラム カウンタへ読み込みます。これは 2 サイクルの命令です。

ワード数: 1

サイクル数: 2

例:

```

CALL TABLE;W contains
                ;table offset
                ;value

GOTO DONE
TABLE
    .
    .
    ADDWF PC    ;W = offset
    RETLW k1    ;Begin table
    RETLW k2    ;
    .
    .
    .
    RETLW kn    ;End of table
DONE

```

命令実行前  
W = 0x07

命令実行後  
W = k8 の値

## RETURN Return from Subroutine

構文: `[label] RETURN`

オペランド: なし

動作: TOS → PC

影響を受けるステータス: なし

説明: サブルーチンから戻ります。スタックがポップされ、Top-of-Stack (TOS) がプログラム カウンタに読み込まれます。これは 2 サイクルの命令です。

# PIC10(L)F320/322

## RLF Rotate Left f through Carry

構文: [label] RLF f,d

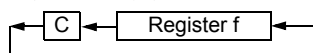
オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作: 下記参照

影響を受ける C

ステータス:

説明: レジスタ「f」の内容を、キャリーフラグを通して左回りに 1 ビット移動させます。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



ワード数: 1

サイクル数: 1

例: RLF REG1,0

命令実行前

REG1 = 1110 0110  
C = 0

命令実行後

REG1 = 1110 0110  
W = 1100 1100  
C = 1

## RRF Rotate Right f through Carry

構文: [label] RRF f,d

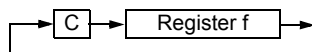
オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作: 下記参照

影響を受ける C

ステータス:

説明: レジスタ「f」の内容を、キャリーフラグを通して右回りに 1 ビット移動させます。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



## SLEEP Enter Sleep mode

構文: [label] SLEEP

オペランド: なし

動作: 00h → WDT,  
0 → WDT prescaler,  
1 →  $\overline{TO}$ ,  
0 →  $\overline{PD}$

影響を受ける  $\overline{TO}$ ,  $\overline{PD}$

ステータス:

説明: パワーダウン ステータスビット ( $\overline{PD}$ ) をクリアします。タイムアウト ステータスビット ( $\overline{TO}$ ) をセットします。ウォッチドッグ タイマとそのプリスケアラをクリアします。オシレータを停止させてプロセッサをスリープモードにします。

## SUBLW Subtract W from literal

構文: [label] SUBLW k

オペランド:  $0 \leq k \leq 255$

動作:  $k - (W) \rightarrow (W)$

影響を受ける C, DC, Z

ステータス:

説明: 8 ビットのリテラル「k」から W レジスタを減算します (2 の補数法)。結果は W レジスタに書き込まれます。

| 結果     | 条件                   |
|--------|----------------------|
| C = 0  | $W > k$              |
| C = 1  | $W \leq k$           |
| DC = 0 | $W<3:0> > k<3:0>$    |
| DC = 1 | $W<3:0> \leq k<3:0>$ |

## SUBWF Subtract W from f

構文: `[label] SUBWF f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(f) - (W) \rightarrow (\text{destination})$

影響を受けるステータス: C, DC, Z

説明: レジスタ「f」から、Wレジスタを減算します(2の補数法)。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

|        |                      |
|--------|----------------------|
| C = 0  | $W > f$              |
| C = 1  | $W \leq f$           |
| DC = 0 | $W<3:0> > f<3:0>$    |
| DC = 1 | $W<3:0> \leq f<3:0>$ |

## XORWF Exclusive OR W with f

構文: `[label] XORWF f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(W) .XOR. (f) \rightarrow (\text{destination})$

影響を受けるステータス: Z

説明: Wレジスタの内容とレジスタ「f」でXOR演算します。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

## SWAPF Swap Nibbles in f

構文: `[label] SWAPF f,d`

オペランド:  $0 \leq f \leq 127$   
 $d \in [0,1]$

動作:  $(f<3:0>) \rightarrow (\text{destination}<7:4>),$   
 $(f<7:4>) \rightarrow (\text{destination}<3:0>)$

影響を受けるステータス: なし

説明: レジスタ「f」の上位ニブルと下位ニブルを入れ換えます。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き込まれます。

## XORLW Exclusive OR literal with W

構文: `[label] XORLW k`

オペランド:  $0 \leq k \leq 255$

動作:  $(W) .XOR. k \rightarrow (W)$

影響を受けるステータス: Z

説明: Wレジスタの内容と8ビットのリテラル「k」でXOR演算します。結果はWレジスタに書き込まれます。

# PIC10(L)F320/322

---

NOTES:

## 24.0 電氣的仕様

### 絶対最大定格 (†)

|                                                      |                        |
|------------------------------------------------------|------------------------|
| 通電中の周囲温度 .....                                       | -40 ~ +125 °C          |
| 保管温度 .....                                           | -65 ~ +150 °C          |
| VSS に対する VDD の電圧 (PIC10F320/322) .....               | -0.3 ~ +6.5 V          |
| VSS に対する VDD の電圧 (PIC10LF320/322) .....              | -0.3 ~ +4.0 V          |
| VSS に対する MCLR の電圧 .....                              | -0.3 ~ +9.0 V          |
| VSS に対する他の全てのピンの電圧 .....                             | -0.3 V ~ (VDD + 0.3 V) |
| 総消費電力 (†) .....                                      | 800 mW                 |
| VSS ピンからの最大電流 (工業用温度レンジ: -40 °C ≤ TA ≤ +85 °C) ..... | 200 mA                 |
| VSS ピンからの最大電流 (拡張温度レンジ: -40 °C ≤ TA ≤ +125 °C) ..... | 120 mA                 |
| VDD ピンへの最大電流 (工業用温度レンジ: -40 °C ≤ TA ≤ +85 °C) .....  | 200 mA                 |
| VDD ピンへの最大電流 (拡張温度レンジ: -40 °C ≤ TA ≤ +125 °C) .....  | 120 mA                 |
| クランプ電流 IK (VPIN < 0 または VPIN > VDD) .....            | ± 20 mA                |
| I/O ピンごとの最大出力シンク電流 .....                             | 25 mA                  |
| I/O ピンごとの最大出力ソース電流 .....                             | 25 mA                  |

**Note 1:** 消費電力の計算式:  $P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$

† NOTICE: 上記の「絶対最大定格」を超えるストレスを加えると、デバイスに修復不能な損傷を与える可能性があります。絶対最大定格は定格ストレスのみを示すものであり、上記の状態または本仕様書の動作条件に示されている規定値を超える状態でデバイスが正常に機能する事を示すものではありません。最大定格の状態に長時間放置すると、デバイスの信頼性に影響を与える場合があります。

# PIC10(L)F320/322

図 24-1: PIC10F320/322 の電圧と周波数、 $-40\text{ }^{\circ}\text{C} \leq T_A \leq +125\text{ }^{\circ}\text{C}$

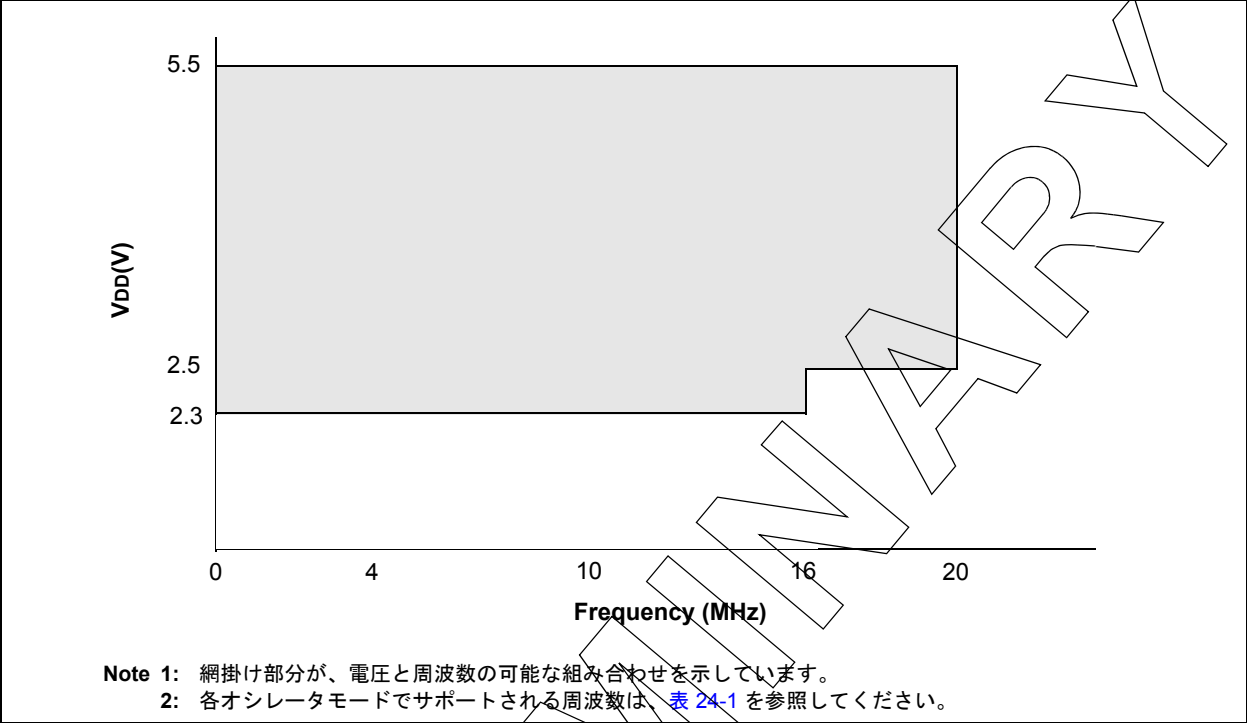
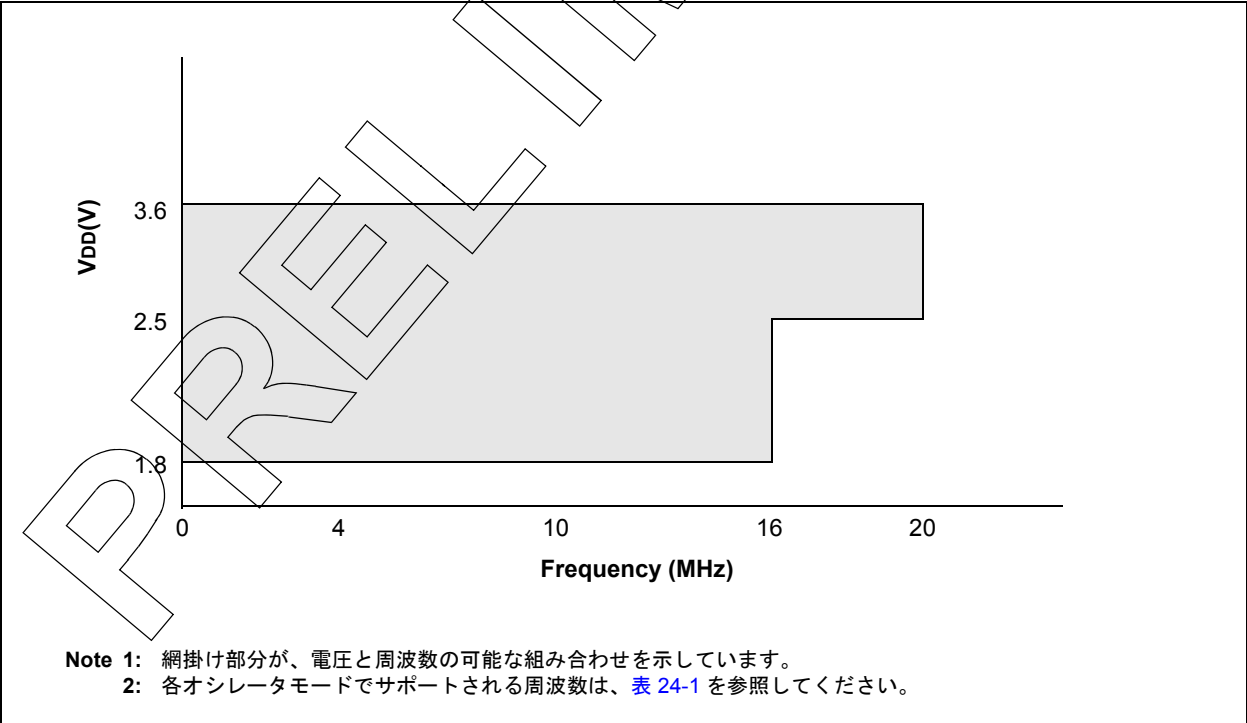


図 24-2: PIC10LF320/322 の電圧と周波数、 $-40\text{ }^{\circ}\text{C} \leq T_A \leq +125\text{ }^{\circ}\text{C}$



## 24.1 DC 特性 : PIC10(L)F320/322-I/E (工業用、拡張温度レンジ)

| PIC10LF320/322 |                                | 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ (工業用温度レンジ)<br>$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (拡張温度レンジ) |            |       |            |        |                                           |
|----------------|--------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|-------|------------|--------|-------------------------------------------|
| PIC10F320/322  |                                | 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ (工業用温度レンジ)<br>$-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (拡張温度レンジ) |            |       |            |        |                                           |
| パラメータ番号        | 記号                             | 特性                                                                                                                                                                  | 最小値        | 代表値†  | 最大値        | 単位     | 条件                                        |
| D001           | VDD                            | 電源電圧                                                                                                                                                                |            |       |            |        |                                           |
|                |                                | PIC10LF320/322                                                                                                                                                      | 1.8<br>2.5 | —     | 3.6<br>3.6 | V      | Fosc ≤ 16 MHz:<br>Fosc ≤ 20 MHz           |
| D001           |                                | PIC10F320/322                                                                                                                                                       | 2.3<br>2.5 | —     | 5.5<br>5.5 | V      | Fosc ≤ 16 MHz:<br>Fosc ≤ 20 MHz           |
| D002*          | VDR                            | RAM データ保持電圧 (1)                                                                                                                                                     |            |       |            |        |                                           |
|                |                                | PIC10LF320/322                                                                                                                                                      | 1.5        | —     | —          | V      | デバイスがスリープモードの場合                           |
| D002*          |                                | PIC10F320/322                                                                                                                                                       | 1.7        | —     | —          | V      | デバイスがスリープモードの場合                           |
|                | VPOR*                          | パワーオン リセット リリース電圧                                                                                                                                                   | —          | 1.6   | —          | V      |                                           |
|                | VPORR*                         | パワーオン リセット リアーム電圧                                                                                                                                                   |            |       |            |        |                                           |
|                |                                | PIC10LF320/322                                                                                                                                                      | —          | 0.8   | —          | V      | デバイスがスリープモードの場合                           |
|                |                                | PIC10F320/322                                                                                                                                                       | —          | 1.7   | —          | V      | デバイスがスリープモードの場合                           |
| D003           | VADFVR                         | ADC 用固定参照電圧への初期精度                                                                                                                                                   | -7         |       | 6          | %      | 1.024 V, VDD ≥ 2.5 V, 85 °C               |
|                |                                |                                                                                                                                                                     | -8         |       | 6          |        | 1.024 V, VDD ≥ 2.5 V, 125 °C              |
|                |                                |                                                                                                                                                                     | -7         |       | 6          |        | 2.048 V, VDD ≥ 2.5 V, 85 °C               |
|                |                                |                                                                                                                                                                     | -8         |       | 6          |        | 2.048 V, VDD ≥ 2.5 V, 125 °C              |
|                |                                |                                                                                                                                                                     | -7         |       | 6          |        | 4.096 V, VDD ≥ 4.75 V, 85 °C              |
|                |                                |                                                                                                                                                                     | -8         |       | 6          |        | 4.096 V, VDD ≥ 4.75 V, 125 °C             |
| D003C*         | TCVFVR                         | 固定参照電圧の温度係数                                                                                                                                                         | —          | -130  | —          | ppm/°C |                                           |
| D003D*         | $\Delta V_{FVR}/\Delta V_{IN}$ | 固定参照電圧のライン レギュレーション                                                                                                                                                 |            | 0.270 | —          | %/V    |                                           |
| D004*          | SVDD                           | 内部パワーオンリセット信号を確実にするための VDD 立ち上がり率                                                                                                                                   | 0.05       | —     | —          | V/ms   | 詳細は、セクション 5.1 「パワーオンリセット (POR)」を参照してください。 |

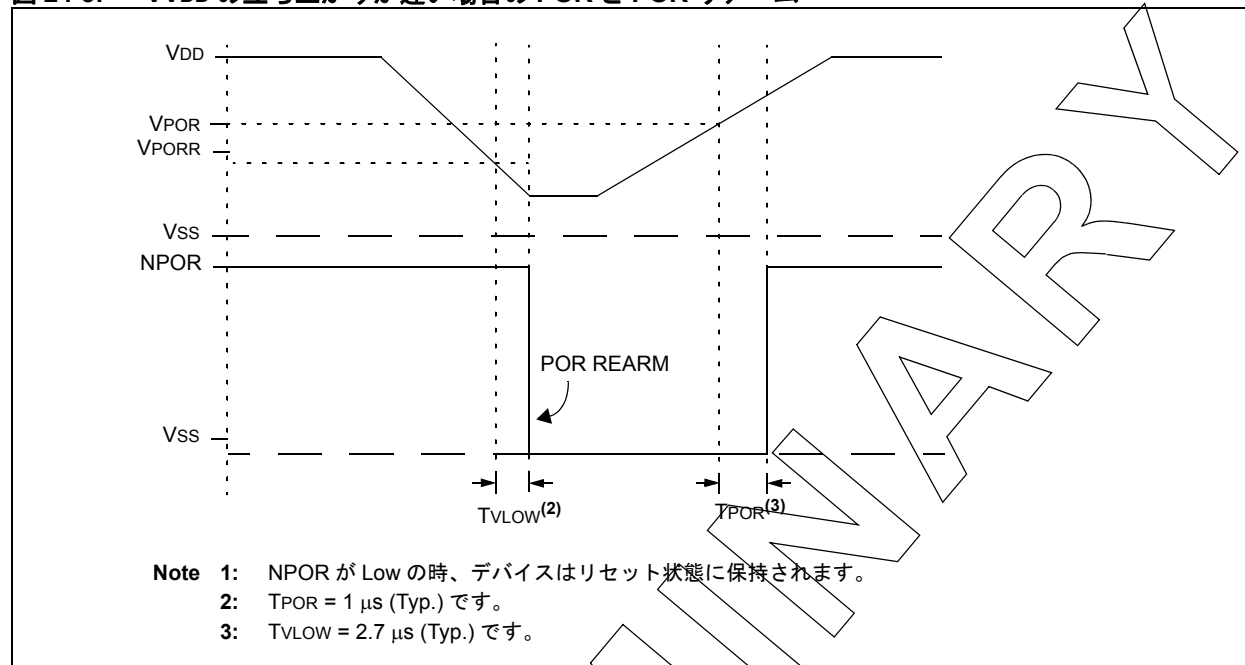
\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.3 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** これは、スリープモードで VDD を下げた時に RAM データを失わない最小値です。

# PIC10(L)F320/322

図 24-3: V<sub>DD</sub> の立ち上がりが遅い場合の POR と POR リアーム



## 24.2 DC 特性 : PIC10(L)F320/322-I/E (工業用、拡張温度レンジ)

| PIC10LF320/322 |                              |     | 標準動作条件 (特に記載のない限り)<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C (工業用温度レンジ)<br>-40 °C ≤ TA ≤ +125 °C (拡張温度レンジ) |     |    |     |                                     |
|----------------|------------------------------|-----|--------------------------------------------------------------------------------------------------|-----|----|-----|-------------------------------------|
| PIC10F320/322  |                              |     | 標準動作条件 (特に記載のない限り)<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C (工業用温度レンジ)<br>-40 °C ≤ TA ≤ +125 °C (拡張温度レンジ) |     |    |     |                                     |
| パラメータ<br>番号    | デバイス特性                       | 最小値 | 代表値 †                                                                                            | 最大値 | 単位 | 条件  |                                     |
|                |                              |     |                                                                                                  |     |    | VDD | Note                                |
|                | 消費電流 (IDD) <sup>(1, 2)</sup> |     |                                                                                                  |     |    |     |                                     |
| D009           | LDO レギュレータ                   | —   | 350                                                                                              | —   | μA | —   | EC または INTOSC (8 ~ 16 MHz)          |
|                |                              | —   | 5                                                                                                | —   | μA | —   | 省電力モードでスリープ時 (FVR と BOR を無効にする事が必要) |
| D013           |                              | —   | 140                                                                                              | —   | μA | 1.8 | Fosc = 500 kHz                      |
|                |                              | —   | 317                                                                                              | —   | μA | 3.0 | EC モード                              |
| D013           |                              | —   | 156                                                                                              | —   | μA | 2.3 | Fosc = 500 kHz                      |
|                |                              | —   | 336                                                                                              | —   | μA | 3.0 | EC モード                              |
|                |                              | —   | 384                                                                                              | —   | μA | 5.0 |                                     |
| D014           |                              | —   | 225                                                                                              | —   | μA | 1.8 | Fosc = 8 MHz                        |
|                |                              | —   | 475                                                                                              | —   | μA | 3.0 | EC モード                              |
| D014           |                              | —   | 250                                                                                              | —   | μA | 2.3 | Fosc = 8 MHz                        |
|                |                              | —   | 500                                                                                              | —   | μA | 3.0 | EC モード                              |
|                |                              | —   | 600                                                                                              | —   | μA | 5.0 |                                     |
| D015           |                              | —   | 3.4                                                                                              | —   | mA | 3.0 | Fosc = 20 MHz                       |
|                |                              | —   | 4.1                                                                                              | —   | mA | 3.6 | EC モード                              |
| D015           |                              | —   | 3.6                                                                                              | —   | mA | 3.0 | Fosc = 20 MHz                       |
|                |                              | —   | 3.9                                                                                              | —   | mA | 5.0 | EC モード                              |
| D016           |                              | —   | 7                                                                                                | —   | μA | 1.8 | Fosc = 32 kHz                       |
|                |                              | —   | 10                                                                                               | —   | μA | 3.0 | LFINTOSC モード、85 °C                  |
| D016           |                              | —   | 21                                                                                               | —   | μA | 2.3 | Fosc = 32 kHz                       |
|                |                              | —   | 27                                                                                               | —   | μA | 3.0 | LFINTOSC モード、85 °C                  |
|                |                              | —   | 28                                                                                               | —   | μA | 5.0 |                                     |
| D016A          |                              | —   | 8                                                                                                | —   | μA | 1.8 | Fosc = 32 kHz                       |
|                |                              | —   | 11                                                                                               | —   | μA | 3.0 | LFINTOSC モード、125 °C                 |

**Note 1:** アクティブ動作モードにおける IDD の計測値は、全て以下の条件でテストしています。CLKIN = 外部矩形波 (レールツーレール)、I/O ピンは全て 3 ステートで VDD にプル、MCLR = VDD、WDT 無効

**2:** 消費電流は、主に動作電圧と周波数の関数です。これ以外にも、I/O ピンの負荷とスイッチング レート、オシレータの種類、内部コードの実行パターン、温度等の要因によって変化します。

# PIC10(L)F320/322

## 24.2 DC 特性 : PIC10(L)F320/322-I/E (工業用、拡張温度レンジ) (続き)

| PIC10LF320/322 |                              |     | 標準動作条件 (特に記載のない限り)<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C (工業用温度レンジ)<br>-40 °C ≤ TA ≤ +125 °C (拡張温度レンジ) |     |    |     |                |
|----------------|------------------------------|-----|--------------------------------------------------------------------------------------------------|-----|----|-----|----------------|
| PIC10F320/322  |                              |     | 標準動作条件 (特に記載のない限り)<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C (工業用温度レンジ)<br>-40 °C ≤ TA ≤ +125 °C (拡張温度レンジ) |     |    |     |                |
| パラメータ<br>番号    | デバイス特性                       | 最小値 | 代表値 †                                                                                            | 最大値 | 単位 | 条件  |                |
|                |                              |     |                                                                                                  |     |    | VDD | Note           |
| D017           | 消費電流 (IDD) <sup>(1, 2)</sup> | —   | 130                                                                                              | —   | μA | 1.8 | Fosc = 500 kHz |
|                |                              | —   | 190                                                                                              | —   | μA | 3.0 | HFINTOSC モード   |
| D017           |                              | —   | 150                                                                                              | —   | μA | 2.3 | Fosc = 500 kHz |
|                |                              | —   | 210                                                                                              | —   | μA | 3.0 | HFINTOSC モード   |
|                |                              | —   | 270                                                                                              | —   | μA | 5.0 |                |
| D018           |                              | —   | 800                                                                                              | —   | μA | 1.8 | Fosc = 8 MHz   |
|                |                              | —   | 1300                                                                                             | —   | μA | 3.0 | HFINTOSC モード   |
| D018           |                              | —   | 0.85                                                                                             | —   | mA | 2.3 | Fosc = 8 MHz   |
|                |                              | —   | 1.4                                                                                              | —   | mA | 3.0 | HFINTOSC モード   |
|                |                              | —   | 1.6                                                                                              | —   | mA | 5.0 |                |
| D019           |                              | —   | 1.25                                                                                             | —   | mA | 1.8 | Fosc = 16 MHz  |
|                |                              | —   | 2.0                                                                                              | —   | mA | 3.0 | HFINTOSC モード   |
| D019           |                              | —   | 1.4                                                                                              | —   | mA | 2.3 | Fosc = 16 MHz  |
|                |                              | —   | 2.2                                                                                              | —   | mA | 3.0 | HFINTOSC モード   |
|                |                              | —   | 2.4                                                                                              | —   | mA | 5.0 |                |

- Note 1:** アクティブ動作モードにおける IDD の計測値は、全て以下の条件でテストしています。CLKIN = 外部矩形波 (レールツーレール)、I/O ピンは全て 3 ステートで VDD にプル、MCLR = VDD、WDT 無効
- Note 2:** 消費電流は、主に動作電圧と周波数の関数です。これ以外にも、I/O ピンの負荷とスイッチング レート、オシレータの種類、内部コードの実行パターン、温度等の要因によって変化します。

## 24.3 DC 特性 : PIC10(L)F320/322-I/E ( パワーダウン )

| PIC10LF320/322 |        |                                    | 標準動作条件 ( 特に記載のない限り )<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C ( 工業用温度レンジ )<br>-40 °C ≤ TA ≤ +125 °C ( 拡張温度レンジ ) |               |                |    |     |                                    |
|----------------|--------|------------------------------------|--------------------------------------------------------------------------------------------------------|---------------|----------------|----|-----|------------------------------------|
| PIC10F320/322  |        |                                    | 標準動作条件 ( 特に記載のない限り )<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C ( 工業用温度レンジ )<br>-40 °C ≤ TA ≤ +125 °C ( 拡張温度レンジ ) |               |                |    |     |                                    |
| パラメータ<br>番号    | デバイス特性 | 最小値                                | 代表値†                                                                                                   | 最大値<br>+85 °C | 最大値<br>+125 °C | 単位 | 条件  |                                    |
|                |        |                                    |                                                                                                        |               |                |    | VDD | Note                               |
|                |        | パワーダウン時のベース電流 (IPD) <sup>(2)</sup> |                                                                                                        |               |                |    |     |                                    |
| D023           |        | —                                  | 0.06                                                                                                   | —             | —              | μA | 1.8 | WDT、BOR、FVRは無効<br>周辺モジュールは全て非アクティブ |
|                |        | —                                  | 0.08                                                                                                   | —             | —              | μA | 3.0 |                                    |
| D023           |        | —                                  | 15                                                                                                     | —             | —              | μA | 2.3 | WDT、BOR、FVRは無効<br>周辺モジュールは全て非アクティブ |
|                |        | —                                  | 18                                                                                                     | —             | —              | μA | 3.0 |                                    |
|                |        | —                                  | 19                                                                                                     | —             | —              | μA | 5.0 |                                    |
| D024           |        | —                                  | 0.5                                                                                                    | —             | —              | μA | 1.8 | LPWDTの電流 (Note 1)                  |
|                |        | —                                  | 0.8                                                                                                    | —             | —              | μA | 3.0 |                                    |
| D024           |        | —                                  | 16                                                                                                     | —             | —              | μA | 2.3 | LPWDTの電流 (Note 1)                  |
|                |        | —                                  | 19                                                                                                     | —             | —              | μA | 3.0 |                                    |
|                |        | —                                  | 20                                                                                                     | —             | —              | μA | 5.0 |                                    |
| D025           |        | —                                  | 8.5                                                                                                    | —             | —              | μA | 1.8 | FVRの電流                             |
|                |        | —                                  | 8.5                                                                                                    | —             | —              | μA | 3.0 |                                    |
| D025           |        | —                                  | 32                                                                                                     | —             | —              | μA | 2.3 | FVRの電流                             |
|                |        | —                                  | 39                                                                                                     | —             | —              | μA | 3.0 |                                    |
|                |        | —                                  | 70                                                                                                     | —             | —              | μA | 5.0 |                                    |
| D026           |        | —                                  | 7.5                                                                                                    | —             | —              | μA | 3.0 | BORの電流 (Note 1)                    |
| D026           |        | —                                  | 34                                                                                                     | —             | —              | μA | 3.0 | BORの電流 (Note 1)                    |
|                |        | —                                  | 67                                                                                                     | —             | —              | μA | 5.0 |                                    |
| D028           |        | —                                  | 0.1                                                                                                    | —             | —              | μA | 1.8 | A/D電流 (Note 1, Note 3)、変換中でない      |
|                |        | —                                  | 0.1                                                                                                    | —             | —              | μA | 3.0 |                                    |
| D028           |        | —                                  | 16                                                                                                     | —             | —              | μA | 2.3 | A/D電流 (Note 1, Note 3)、変換中でない      |
|                |        | —                                  | 21                                                                                                     | —             | —              | μA | 3.0 |                                    |
|                |        | —                                  | 25                                                                                                     | —             | —              | μA | 5.0 |                                    |
| D029           |        | —                                  | 250                                                                                                    | —             | —              | μA | 1.8 | A/D電流 (Note 1, Note 3)、変換実行中       |
|                |        | —                                  | 250                                                                                                    | —             | —              | μA | 3.0 |                                    |
| D029           |        | —                                  | 280                                                                                                    | —             | —              | μA | 2.3 | A/D電流 (Note 1, Note 3)、変換実行中       |
|                |        | —                                  | 280                                                                                                    | —             | —              | μA | 3.0 |                                    |
|                |        | —                                  | 280                                                                                                    | —             | —              | μA | 5.0 |                                    |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

凡例： TBD = 未定

- Note 1:** 周辺モジュールの電流は、その周辺モジュールが有効時に消費する電流とベース IDD または IPD を合計したものです。周辺モジュールのみの Δ 電流は、この合計値からベース IDD または IPD 電流を減算して求める事ができます。消費電流の合計を求める際は、最大値を使ってください。
- 2:** スリープモード時のパワーダウン電流は、オシレータの種類にかかわらず一定です。パワーダウン電流は、デバイスをスリープモードに移行し、全ての I/O ピンをハイインピーダンス状態にして VDD に接続して計測しています。
- 3:** A/D オシレータの信号源は FRC です。

# PIC10(L)F320/322

## 24.4 DC 特性 : PIC10(L)F320/322-I/E

| DC 特性                                                          |      | 標準動作条件 (特に記載のない限り)<br>動作温度<br>-40 °C ≤ TA ≤ +85 °C (工業用温度レンジ)<br>-40 °C ≤ TA ≤ +125 °C (拡張温度レンジ) |                |             |                 |    |                                                                            |
|----------------------------------------------------------------|------|--------------------------------------------------------------------------------------------------|----------------|-------------|-----------------|----|----------------------------------------------------------------------------|
| パラメータ番号                                                        | 記号   | 特性                                                                                               | 最小値            | 代表値†        | 最大値             | 単位 | 条件                                                                         |
| D032<br>D032A<br>D033<br>D034<br>D040<br>D040A<br>D041<br>D042 | VIL  | <b>入力 Low 電圧</b>                                                                                 |                |             |                 |    |                                                                            |
|                                                                |      | I/O ポート:                                                                                         |                |             |                 |    |                                                                            |
|                                                                |      | TTL バッファ使用                                                                                       | —              | —           | 0.8             | V  | 4.5 V ≤ VDD ≤ 5.5 V                                                        |
|                                                                |      | —                                                                                                | —              | —           | 0.15 VDD        | V  | 1.8 V ≤ VDD ≤ 4.5 V                                                        |
|                                                                | VIH  | シュミットトリガ バッファ使用                                                                                  | —              | —           | 0.2 VDD         | V  | 2.0 V ≤ VDD ≤ 5.5 V                                                        |
|                                                                |      | MCLR                                                                                             | —              | —           | 0.2 VDD         | V  |                                                                            |
|                                                                |      | <b>入力 High 電圧</b>                                                                                |                |             |                 |    |                                                                            |
|                                                                |      | I/O ポート:                                                                                         |                |             |                 |    |                                                                            |
| D040<br>D040A<br>D041<br>D042                                  | VIH  | TTL バッファ使用                                                                                       | 2.0            | —           | —               | V  | 4.5 V ≤ VDD ≤ 5.5 V                                                        |
|                                                                |      | —                                                                                                | 0.25 VDD + 0.8 | —           | —               | V  | 1.8 V ≤ VDD ≤ 4.5 V                                                        |
|                                                                |      | シュミットトリガ バッファ使用                                                                                  | 0.8 VDD        | —           | —               | V  | 2.0 V ≤ VDD ≤ 5.5 V                                                        |
|                                                                |      | MCLR                                                                                             | 0.8 VDD        | —           | —               | V  |                                                                            |
| D060<br>D061                                                   | IIL  | <b>入力リーク電流<sup>(2)</sup></b>                                                                     |                |             |                 |    |                                                                            |
|                                                                |      | I/O ポート                                                                                          | —              | ± 5         | ± 125           | nA | VSS ≤ VPIN ≤ VDD、ピンは<br>ハイインピーダンス (85 °C 時)                                |
|                                                                |      | MCLR                                                                                             | —              | ± 5<br>± 50 | ± 1000<br>± 200 | nA | 125 °C<br>VSS ≤ VPIN ≤ VDD (85 °C 時)                                       |
| D070*                                                          | IPUR | <b>弱プルアップ電流</b>                                                                                  |                |             |                 |    |                                                                            |
|                                                                |      |                                                                                                  | 25<br>25       | 100<br>140  | 200<br>300      | μA | VDD = 3.3 V、VPIN = VSS<br>VDD = 5.0 V、VPIN = VSS                           |
| D080                                                           | VOL  | <b>出力 Low 電圧</b>                                                                                 |                |             |                 |    |                                                                            |
|                                                                |      | I/O ポート                                                                                          | —              | —           | 0.6             | V  | IOL = 8 mA、VDD = 5 V<br>IOL = 6 mA、VDD = 3.3 V<br>IOL = 1.8 mA、VDD = 1.8 V |
| D090                                                           | VOH  | <b>出力 High 電圧</b>                                                                                |                |             |                 |    |                                                                            |
|                                                                |      | I/O ポート                                                                                          | VDD - 0.7      | —           | —               | V  | IOH = 3.5 mA、VDD = 5 V<br>IOH = 3 mA、VDD = 3.3 V<br>IOH = 1 mA、VDD = 1.8 V |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** 負の電流値は、ピンによるソース電流として定義しています。

**2:** MCLR ピンのリーク電流は、印加する電圧レベルによって大きく変化します。仕様値のレベルは、通常の動作条件での値を表します。異なる入力電圧では、より大きなリーク電流が計測される事があります。

## 24.5 メモリ プログラミングの要件

| DC 特性       |        |                                      | 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |      |             |     |                       |
|-------------|--------|--------------------------------------|-------------------------------------------------------------------------------------|------|-------------|-----|-----------------------|
| パラメータ<br>番号 | 記号     | 特性                                   | 最小値                                                                                 | 代表値† | 最大値         | 単位  | 条件                    |
| D110        | VIHH   | プログラムメモリのプログラミング仕様<br>MCLR/VPP ピンの電圧 | 8.0                                                                                 | —    | 9.0         | V   | (Note 2, Note 3)      |
| D111        | IDDP   | プログラミング中の消費電流                        | —                                                                                   | —    | 10          | mA  |                       |
| D112        |        | バルク消去用 VDD                           | 2.7                                                                                 | —    | VDD<br>max. | V   |                       |
| D113        | VPEW   | 書き込みまたは行消去用 VDD                      | VDD<br>min.                                                                         | —    | VDD<br>max. | V   |                       |
| D114        | IPPPGM | 消去 / 書き込み時の MCLR/VPP の電流             | —                                                                                   | —    | 1.0         | mA  |                       |
| D115        | IDDPGM | 消去 / 書き込み時の VDD の電流                  | —                                                                                   | —    | 5.0         | mA  |                       |
| D121        | EP     | プログラム フラッシュメモリ<br>セル書き込み耐性           | 10K                                                                                 | —    | —           | E/W | -40 ~ +85 °C (Note 1) |
| D122        | VPR    | 読み出し用 VDD                            | VDD<br>min.                                                                         | —    | VDD<br>max. | V   |                       |
| D123        | TIW    | 自己タイマによる書き込みサイクル時間                   | —                                                                                   | 2    | 2.5         | ms  | 他の仕様値に違反して<br>いない場合   |
| D124        | TRETD  | 特性保持期間                               | 40                                                                                  | —    | —           | 年   |                       |

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

- Note 1:** 自己書き込みとブロック消去の場合です。  
**Note 2:** 単電源プログラミングが無効の場合のみ必要です。  
**Note 3:** MPLAB ICD 3 は、可変 VPP 出力をサポートしません。ICD 3 でプログラミングまたはデバッグする場合、ICD 3 VPP 電圧を制限する回路を ICD 3 とシステムの間に配置する必要があります。

# PIC10(L)F320/322

## 24.6 温度仕様

| 標準動作条件 (特に記載のない限り)         |                  |               |      |      |                                                          |
|----------------------------|------------------|---------------|------|------|----------------------------------------------------------|
| 動作温度 -40 °C ≤ TA ≤ +125 °C |                  |               |      |      |                                                          |
| パラメータ番号                    | 記号               | 特性            | 代表値  | 単位   | 条件                                                       |
| TH01                       | θJA              | 接合部 - 大気間熱抵抗  | 60   | °C/W | 6 ピン SOT-23 パッケージ                                        |
|                            |                  |               | 80   | °C/W | 8 ピン PDIP パッケージ                                          |
|                            |                  |               | 90   | °C/W | 8 ピン DFN パッケージ                                           |
| TH02                       | θJC              | 接合部 - ケース間熱抵抗 | 31.4 | °C/W | 6 ピン SOT-23 パッケージ                                        |
|                            |                  |               | 24   | °C/W | 8 ピン PDIP パッケージ                                          |
|                            |                  |               | 24   | °C/W | 8 ピン DFN パッケージ                                           |
| TH03                       | TJMAX            | 最高接合部温度       | 150  | °C   |                                                          |
| TH04                       | PD               | 電力損失          | —    | W    | PD = PINTERNAL + P <sub>I/O</sub>                        |
| TH05                       | PINTERNAL        | 内部消費電力        | —    | W    | PINTERNAL = IDD × VDD <sup>(1)</sup>                     |
| TH06                       | P <sub>I/O</sub> | I/O 消費電力      | —    | W    | P <sub>I/O</sub> = Σ (IOL × VOL) + Σ (IOH × (VDD - VOH)) |
| TH07                       | PDER             | ディレーティング後電力   | —    | W    | PDER = PDMAX (TJ - TA)/θJA <sup>(2)</sup>                |

**Note 1:** IDD は、出力ピンの負荷を駆動しないでチップのみを動作させた時の電流です。  
**2:** TA = 周囲温度です。  
**3:** TJ = 接合部温度です。

## 24.7 タイミングパラメータの記号

タイミングパラメータの記号は、以下のいずれかの形式で表します。

1. TppS2ppS
2. TppS

| T |     | T |    |
|---|-----|---|----|
| F | 周波数 | T | 時間 |

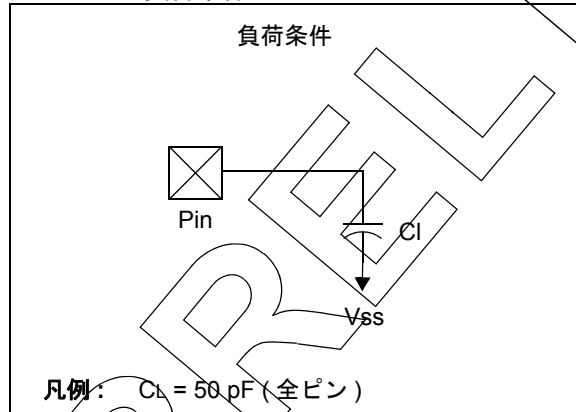
小文字 (pp) の種類と意味：

| pp |                   |     |                                     |
|----|-------------------|-----|-------------------------------------|
| cc | CCP1              | osc | CLKIN                               |
| ck | CLKR              | rd  | $\overline{RD}$                     |
| cs | $\overline{CS}$   | rw  | $\overline{RD}$ または $\overline{WR}$ |
| di | SDI               | sc  | $\overline{SCK}$                    |
| do | SDO               | ss  | $\overline{SS}$                     |
| dt | Data in           | t0  | T0CKI                               |
| io | I/O PORT          | t1  | T1CKI                               |
| mc | $\overline{MCLR}$ | wr  | $\overline{WR}$                     |

大文字の種類と意味：

| S |                          |   |                |
|---|--------------------------|---|----------------|
| F | Fall                     | P | Period         |
| H | High                     | R | Rise           |
| I | Invalid (High-impedance) | V | Valid          |
| L | Low                      | Z | High-impedance |

図 24-4: 負荷条件



# PIC10(L)F320/322

## 24.8 AC 特性 : PIC10(L)F320/322-I/E

図 24-5: クロック タイミング

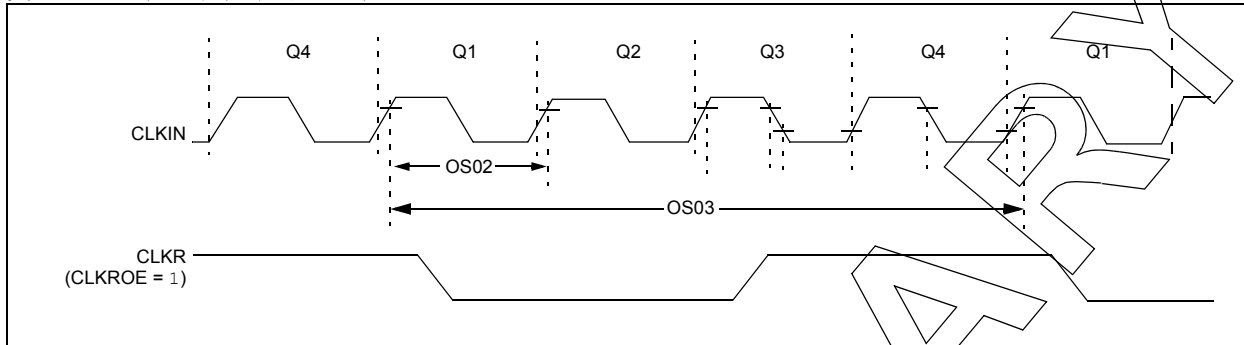


表 24-1: クロック オシレータのタイミング要件

| 標準動作条件 (特に記載のない限り)                                            |      |                             |       |      |          |     |              |
|---------------------------------------------------------------|------|-----------------------------|-------|------|----------|-----|--------------|
| 動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |      |                             |       |      |          |     |              |
| パラメータ<br>番号                                                   | 記号   | 特性                          | 最小値   | 代表値† | 最大値      | 単位  | 条件           |
| OS01                                                          | FOSC | 外部 CLKIN 周波数 <sup>(1)</sup> | DC    | —    | 20       | MHz | EC モード       |
| OS02                                                          | TOSC | 外部 CLKIN 周期 <sup>(1)</sup>  | 31.25 | —    | $\infty$ | ns  | EC オシレータモード  |
| OS03                                                          | Tcy  | 命令サイクル時間 <sup>(1)</sup>     | 200   | Tcy  | DC       | ns  | Tcy = 4/FOSC |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** 命令サイクル周期 (Tcy) は、入力オシレータのタイムベース周期の 4 倍です。全ての仕様値は、標準動作条件下でデバイスにコードを実行させた時の、特定オシレータタイプの特性データに基づいています。これらの仕様の制限値を超えるとオシレータの動作が不安定になったり、予測以上の電流を消費する事があります。全てのデバイスは、CLKIN ピンに外部クロックを入力した状態で「最小値」で動作をテストしています。外部クロック入力を使った場合、「最大値」のサイクル時間の制限値はいずれのデバイスの場合も「DC」(クロックなし)です。

表 24-2: オシレータのパラメータ

| 標準動作条件 (特に記載のない限り)                                            |         |                             |           |     |      |     |               |                                                                                   |
|---------------------------------------------------------------|---------|-----------------------------|-----------|-----|------|-----|---------------|-----------------------------------------------------------------------------------|
| 動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |         |                             |           |     |      |     |               |                                                                                   |
| パラメータ<br>番号                                                   | 記号      | 特性                          | 周波数<br>公差 | 最小値 | 代表値† | 最大値 | 単位            | 条件                                                                                |
| OS08                                                          | HFOSC   | 内部校正済み                      | $\pm 2\%$ | —   | 16.0 | —   | MHz           | $0^{\circ}\text{C} \leq T_A \leq +60^{\circ}\text{C}$ 、 $V_{DD} \geq 2.5\text{V}$ |
|                                                               |         | HFINTOSC 周波数 <sup>(1)</sup> | $\pm 3\%$ | —   | 16.0 | —   | MHz           | $60^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ 、 $V_{DD} \geq 2.5\text{V}$ |
|                                                               |         |                             | $\pm 5\%$ | —   | 16.0 | —   | MHz           | $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$                          |
| OS09                                                          | LFOSC   | 内部 LFINTOSC 周波数             | —         | —   | 31   | —   | kHz           | $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$                          |
| OS10*                                                         | TOSC ST | HFINTOSC スリープから<br>復帰時の起動時間 | —         | —   | 5    | 8   | $\mu\text{s}$ |                                                                                   |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** これらのオシレータ周波数公差を確保するには、デバイスのなるべく近くで VDD と VSS にデカップリング コンデンサを接続する必要があります。0.1  $\mu\text{F}$  のコンデンサと 0.01  $\mu\text{F}$  のコンデンサを並列に接続する事を推奨します。

図 24-6: CLKR と I/O タイミング

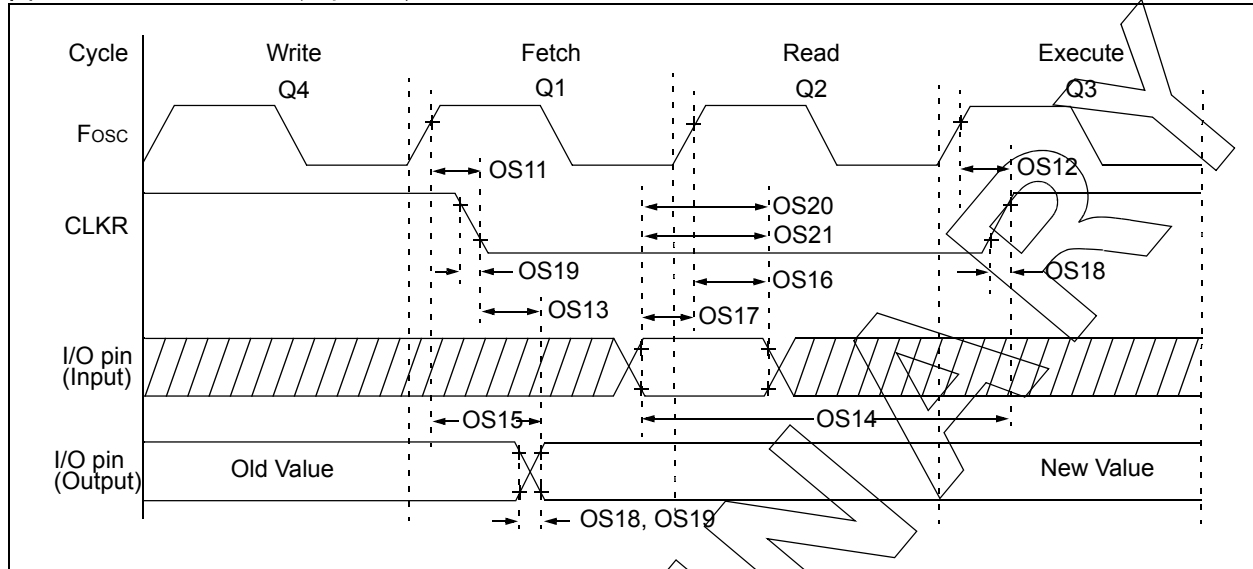


表 24-3: CLKR と I/O タイミング パラメータ

| 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |          |                                                 |               |          |          |    |                                  |
|-------------------------------------------------------------------------------------|----------|-------------------------------------------------|---------------|----------|----------|----|----------------------------------|
| パラメータ<br>番号                                                                         | 記号       | 特性                                              | 最小値           | 代表値†     | 最大値      | 単位 | 条件                               |
| OS11                                                                                | TosH2ckL | Fosc↑ ~ CLKR↓ <sup>(†)</sup>                    | —             | —        | 70       | ns | VDD = 3.3 ~ 5.0 V                |
| OS12                                                                                | TosH2ckH | Fosc↑ ~ CLKR↑ <sup>(†)</sup>                    | —             | —        | 72       | ns | VDD = 3.3 ~ 5.0 V                |
| OS13                                                                                | TckL2ioV | CLKR↓から有効なポート出力開始までの時間 <sup>(1)</sup>           | —             | —        | 20       | ns |                                  |
| OS14                                                                                | TioV2ckH | ポート入力有効からCLKR↑までの時間 <sup>(1)</sup>              | Tosc + 200 ns | —        | —        | ns |                                  |
| OS15                                                                                | TosH2ioV | Fosc↑ (Q1 サイクル) から有効なポート出力開始までの時間               | —             | 50       | 70*      | ns | VDD = 3.3 ~ 5.0 V                |
| OS16                                                                                | TosH2ioL | Fosc↑ (Q2 サイクル) からポート入力無効までの時間 (I/O のホールド時間)    | 50            | —        | —        | ns | VDD = 3.3 ~ 5.0 V                |
| OS17                                                                                | TioV2psH | ポート入力有効から Fosc↑ (Q2 サイクル) までの時間 (I/O のセットアップ時間) | 20            | —        | —        | ns |                                  |
| OS18                                                                                | TioR     | ポート出力立ち上がり時間                                    | —             | 40<br>15 | 72<br>32 | ns | VDD = 1.8 V<br>VDD = 3.3 ~ 5.0 V |
| OS19                                                                                | TioF     | ポート出力立ち下がり時間                                    | —             | 28<br>15 | 55<br>30 | ns | VDD = 1.8 V<br>VDD = 3.3 ~ 5.0 V |
| OS20*                                                                               | Tinp     | INT ピン入力の High または Low 時間                       | 25            | —        | —        | ns |                                  |
| OS21*                                                                               | Tioc     | 状態変化割り込みの新しい入力レベル時間                             | 25            | —        | —        | ns |                                  |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25 °C 時のものです。

**Note 1:** EC モードで CLKR 出力を 4 x Tosc として計測しています。

# PIC10(L)F320/322

図 24-7: リセット、ウォッチドッグ タイマ、パワーアップ タイマのタイミング

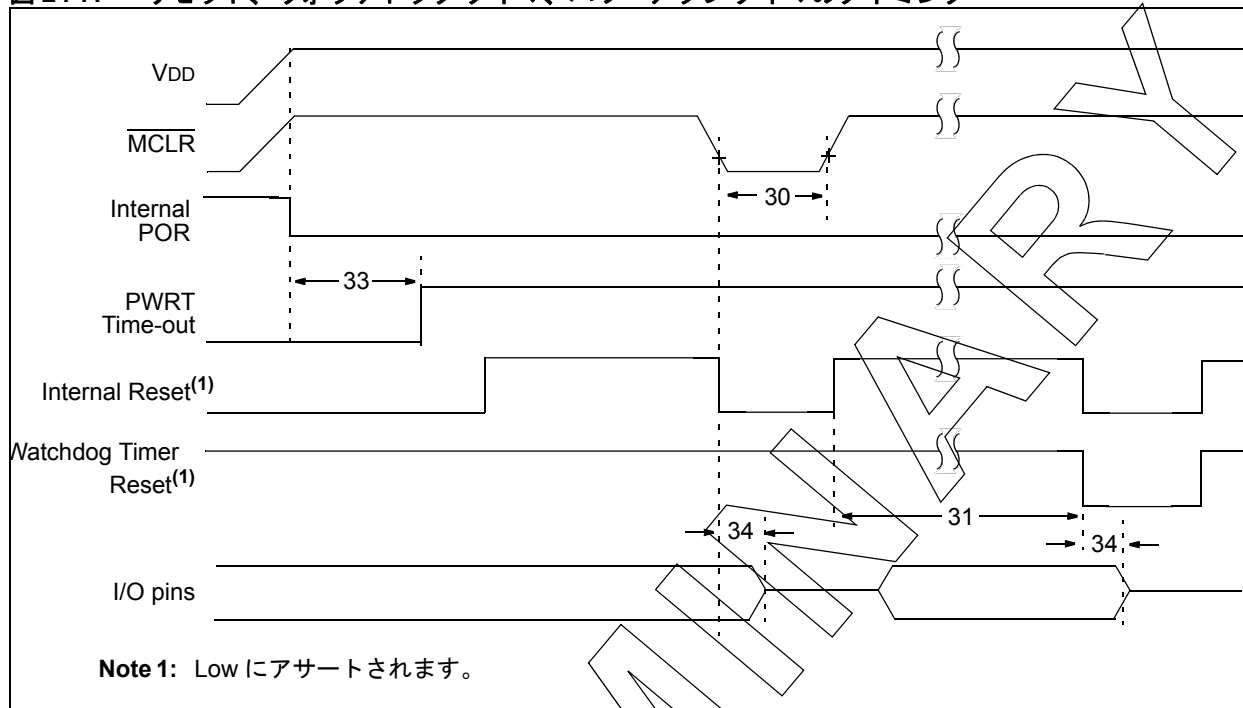


図 24-8: ブラウンアウト リセットのタイミングと特性

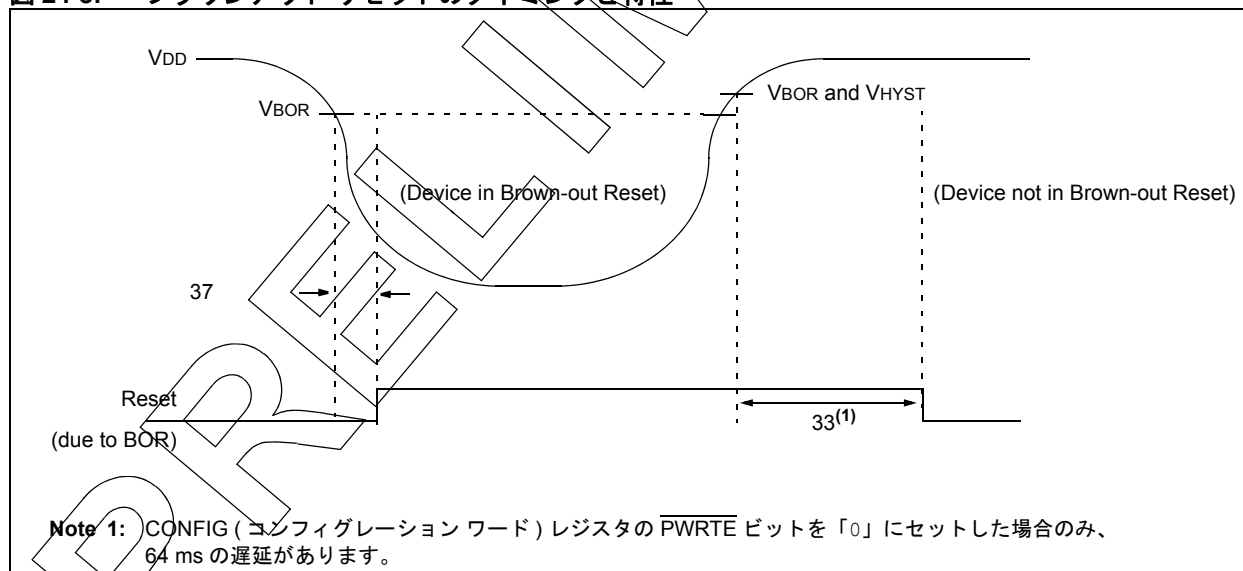


表 24-4: リセット、ウォッチドッグタイマ、パワーアップタイマ、ブラウンアウトリセットのパラメータ

| 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |        |                                                          |                     |                   |                     |                                |                                                                                                 |
|-------------------------------------------------------------------------------------|--------|----------------------------------------------------------|---------------------|-------------------|---------------------|--------------------------------|-------------------------------------------------------------------------------------------------|
| パラメータ番号                                                                             | 記号     | 特性                                                       | 最小値                 | 代表値†              | 最大値                 | 単位                             | 条件                                                                                              |
| 30                                                                                  | TMCL   | MCLR パルス幅 (Low)                                          | 2<br>5              | —<br>—            | —<br>—              | $\mu\text{s}$<br>$\mu\text{s}$ | $V_{DD} = 3.3 \sim 5\text{V}$ , $-40 \sim +85^{\circ}\text{C}$<br>$V_{DD} = 3.3 \sim 5\text{V}$ |
| 31                                                                                  | TWDTLP | 低消費電力ウォッチドッグ タイマ<br>タイムアウト時間                             | 10                  | 16                | 27                  | ms                             | $V_{DD} = 3.3 \sim 5\text{V}$<br>1:16 プリスケール使用                                                  |
| 33*                                                                                 | TPWRT  | パワーアップ タイマ時間、<br>PWRTE = 0                               | 40                  | 64                | 140                 | ms                             |                                                                                                 |
| 34*                                                                                 | TIOZ   | MCLR Low またはウォッチドッグ<br>タイマ リセットから I/O ハイイン<br>ピーダンスまでの時間 | —                   | —                 | 2.0                 | $\mu\text{s}$                  |                                                                                                 |
| 35                                                                                  | VBOR   | ブラウンアウト リセット電圧                                           | TBD<br>2.38<br>1.80 | 2.7<br>2.4<br>1.9 | TBD<br>2.73<br>2.11 | V<br>V<br>V                    | BORV = 2.7 V<br>BORV = 2.4 V (PIC10F320/322)<br>BORV = 1.9 V (PIC10LF320/322)                   |
| 36*                                                                                 | VHYST  | ブラウンアウト リセットの<br>ヒステリシス                                  | 0                   | 25                | 50                  | mV                             | $-40 \sim +85^{\circ}\text{C}$                                                                  |
| 37*                                                                                 | TBORDC | ブラウンアウト リセットの<br>DC 応答時間                                 | 1                   | 3                 | 5                   | $\mu\text{s}$                  | $V_{DD} \leq V_{BOR}$                                                                           |

凡例: TBD = 未定

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り  $3.0\text{V}$ 、 $25^{\circ}\text{C}$  時のものです。これらのパラメータは設計上の目安であり、テストしていません。

図 24-9: TIMER0 と TIMER1 の外部クロックのタイミング

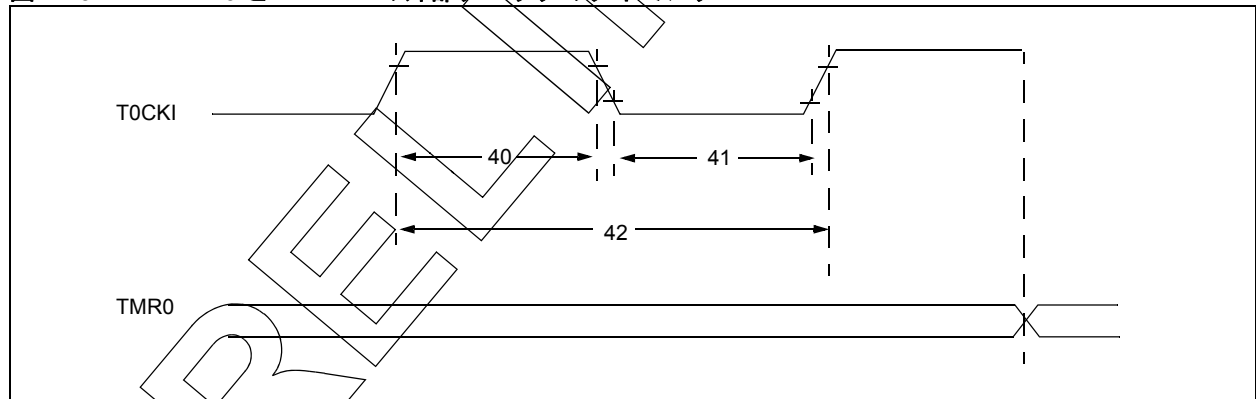


表 24-5: TIMER0 外部クロック要件

| 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |      |                 |                                                      |      |     |    |                               |
|-------------------------------------------------------------------------------------|------|-----------------|------------------------------------------------------|------|-----|----|-------------------------------|
| パラメータ番号                                                                             | 記号   | 特性              | 最小値                                                  | 代表値† | 最大値 | 単位 | 条件                            |
| 40*                                                                                 | TT0H | T0CKI High パルス幅 | プリスケールなし<br>10                                       | —    | —   | ns |                               |
| 41*                                                                                 | TT0L | T0CKI Low パルス幅  | プリスケールなし<br>10                                       | —    | —   | ns |                               |
| 42*                                                                                 | TT0P | T0CKI 周期        | 以下のいずれか<br>大きい方:<br>$20$ または $\frac{T_{CY} + 40}{N}$ | —    | —   | ns | N = プリスケールの値 (2, 4, ..., 256) |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り  $3.0\text{V}$ 、 $25^{\circ}\text{C}$  時のものです。これらのパラメータは設計上の目安であり、テストしていません。

# PIC10(L)F320/322

表 24-6: PIC10(L)F320/322 の A/D コンバータ (ADC) の特性:

| 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |      |                     |     |      |           |            |                                                                 |
|-------------------------------------------------------------------------------------|------|---------------------|-----|------|-----------|------------|-----------------------------------------------------------------|
| パラメータ<br>番号                                                                         | 記号   | 特性                  | 最小値 | 代表値† | 最大値       | 単位         | 条件                                                              |
| AD01                                                                                | NR   | 分解能                 | —   | —    | 8         | bit        |                                                                 |
| AD02                                                                                | EIL  | 積分直線性誤差             | —   | —    | $\pm 1.7$ | LSb        | $V_{\text{REF}} = 3.0\text{ V}$                                 |
| AD03                                                                                | EDL  | 微分直線性誤差             | —   | —    | $\pm 1$   | LSb        | ミッシングコードなし<br>$V_{\text{REF}} = 3.0\text{ V}$                   |
| AD04                                                                                | EOFF | オフセット誤差             | —   | —    | $\pm 2.5$ | LSb        | $V_{\text{REF}} = 3.0\text{ V}$                                 |
| AD05                                                                                | EGN  | ゲイン誤差               | —   | —    | $\pm 2.0$ | LSb        | $V_{\text{REF}} = 3.0\text{ V}$                                 |
| AD06                                                                                | VREF | 参照電圧 <sup>(3)</sup> | 1.8 | —    | VDD       | V          | $V_{\text{REF}} = (V_{\text{REF}+} - V_{\text{REF}-})$ (Note 5) |
| AD07                                                                                | VAIN | フルスケール レンジ          | VSS | —    | VREF      | V          |                                                                 |
| AD08                                                                                | ZAIN | アナログ電圧源の推奨インピーダンス   | —   | —    | 10        | k $\Omega$ | 入力ピンに外付けの 0.01 $\mu\text{F}$ コンデンサを使った場合、さらに高い値が可能              |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25  $^{\circ}\text{C}$  時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** 総絶対誤差には、積分直線性誤差、微分直線性誤差、オフセット誤差、ゲイン誤差が含まれます。

**2:** A/D 変換結果は、入力電圧が増大しても減少する事はありません。また、ミッシングコードもありません。

**3:** ADC の VREF は、外部 VREF、VDD ピン、FVR のうち参照入力として選択したものです。

**4:** ADC モジュールを OFF にした場合、リーク電流以外にモジュールの消費電流は発生しません。パワーダウン電流の様子は、この ADC モジュールのリーク電流を含んだ値です。

**5:** FVR 電圧は 2.048 V または 4.096 V を選択する必要があります。

表 24-7: PIC10(L)F320/322 の A/D 変換の要件

| 標準動作条件 (特に記載のない限り)<br>動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ |      |                                     |     |      |     |               |                               |
|-------------------------------------------------------------------------------------|------|-------------------------------------|-----|------|-----|---------------|-------------------------------|
| パラメータ<br>番号                                                                         | 記号   | 特性                                  | 最小値 | 代表値† | 最大値 | 単位            | 条件                            |
| AD130*                                                                              | TAD  | A/D クロック周期                          | 1.0 | —    | 9.0 | $\mu\text{s}$ | TOSC ベース                      |
|                                                                                     |      | A/D 内部 FRC オシレータ周期                  | 1.0 | 1.6  | 6.0 | $\mu\text{s}$ | ADCS<1:0> = 11 (ADRC モード)     |
| AD131                                                                               | Tcnv | 変換時間 (アキュイジション時間を除く) <sup>(1)</sup> | —   | 9.5  | —   | TAD           | GO/DONE ビットがセットされてから変換完了までの時間 |
| AD132*                                                                              | TACQ | アキュイジション時間                          | —   | 5.0  | —   | $\mu\text{s}$ |                               |

\* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り 3.0 V、25  $^{\circ}\text{C}$  時のものです。これらのパラメータは設計上の目安であり、テストしていません。

**Note 1:** ADRES レジスタは次の Tcy サイクルで読み出し可能です。

図 24-10: PIC10(L)F320/322 の A/D 変換のタイミング (通常モード)

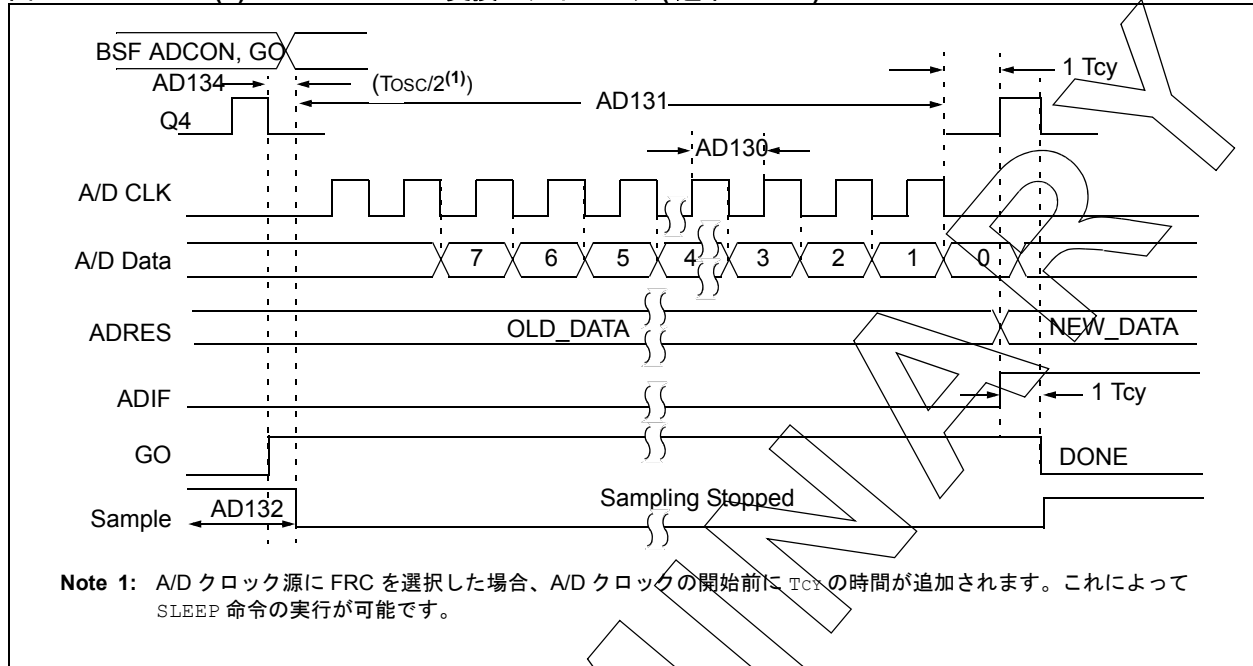
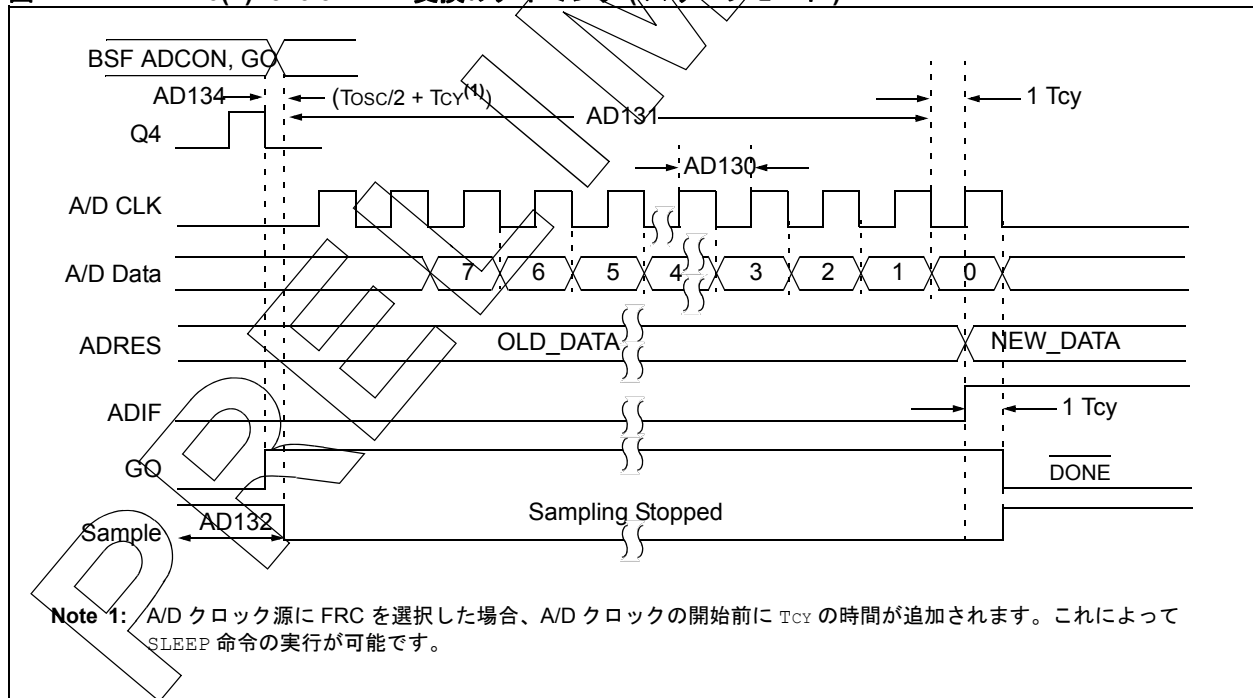


図 24-11: PIC10(L)F320/322 A/D 変換のタイミング (スリープモード)



# PIC10(L)F320/322

---

NOTES:

## 25.0 DC および AC 特性の図 / 表

このリビジョンでは、グラフと表はありません。

# PIC10(L)F320/322

---

NOTES:

## 26.0 開発サポート

PIC®マイクロコントローラとdsPIC®デジタルシグナルコントローラは、以下に示す各種ソフトウェア/ハードウェア開発ツールでサポートしています。

- 統合開発環境
  - MPLAB® IDE ソフトウェア
- コンパイラ/アセンブラ/リンカ
  - 各種デバイスファミリ用 MPLAB C コンパイラ
  - 各種デバイスファミリ用 HI-TECH C
  - MPASM™ アセンブラ
  - MPLINK™ オブジェクトリンカ / MPLIB™ オブジェクトライブラリアン
  - 各種デバイスファミリ用 MPLAB アセンブラ/リンカ/ライブラリアン
- シミュレータ
  - MPLAB SIM ソフトウェア シミュレータ
- エミュレータ
  - MPLAB REAL ICE™ インサーキット エミュレータ
- インサーキット デバッガ
  - MPLAB ICD 3
  - PICkit™ 3 Debug Express
- デバイス プログラマ
  - PICkit™ 2 プログラマ
  - MPLAB PM3 デバイス プログラマ
- 低コストのデモボード、開発ボード、評価キット、スタータキット

## 26.1 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアを使うと、従来の 8/16/32 ビット マイクロコントローラ市場では考えられないほど、ソフトウェアを容易に開発できます。MPLAB IDE は Windows® オペレーティングシステム上で動作するアプリケーションで、以下の機能を備えています。

- 全てのデバッグツールで共通のグラフィカル インターフェイス
  - シミュレータ
  - プログラマ (別売り)
  - インサーキット エミュレータ (別売り)
  - インサーキット デバッガ (別売り)
- コンテキスト色分け表示のフル機能エディタ
- マルチプロジェクト マネージャ
- 値を直接編集できるカスタマイズ可能なデータ ウィンドウ
- 高度なソースコード デバッグ
- マウスオーバーで変数の現在値を表示
- ソースウィンドウからウォッチ ウィンドウへの変数のドラッグ & ドロップ
- 充実したオンラインヘルプ
- サードパーティ ツールの統合 (IAR 社製 C コンパイラ等)

MPLAB IDE を使うと、下記の作業が可能です。

- ソースファイル (C またはアセンブリ) の編集
- ワンタッチでのコンパイル/アセンブルと、エミュレータ/シミュレータ ツールへのダウンロード (全てのプロジェクト情報を自動更新)
- 以下を使ったデバッグ:
  - ソースファイル (C またはアセンブリ)
  - C とアセンブリの混在使用
  - マシンコード

MPLAB IDE は、対費用効果の高いシミュレータから低価格のインサーキット デバッガ、フル機能のエミュレータに至る各種デバッグツールを 1 つの開発パラダイムでサポートしています。このため、より高機能で強力なツールにアップグレードした場合でも、短期間で使用方法を習得できます。

## 26.2 各種デバイスファミリ用 MPLAB C コンパイラ

MPLAB C コンパイラは、マイクロチップ社の PIC18、PIC24、PIC32 マイクロコントローラ ファミリと、dsPIC30、dsPIC33 デジタル シグナル コントローラ ファミリ用コード開発に対応した ANSI C コンパイラです。これらのコンパイラは、強力な統合機能と優れたコード最適化機能を備えながらも、容易に使用できます。

また、MPLAB IDE デバッガ用に最適化されたシンボル情報を出力できるため、ソースレベルのデバッグも容易です。

## 26.3 各種デバイスファミリ用 HI-TECH C

HI-TECH C コンパイラは、マイクロチップ社の PIC マイクロコントローラ ファミリと dsPIC デジタル シグナル コントローラ ファミリ用のコード開発に対応した ANSI C コンパイラです。これらのコンパイラは、強力な統合機能とインテリジェントなコード生成機能を備えながらも、容易に使用できます。

また、MPLAB IDE デバッガ用に最適化されたシンボル情報を出力できるため、ソースレベルのデバッグも容易です。

このコンパイラはマクロアセンブラ、リンカ、プリプロセッサ、ワンステップ ドライバを備え、複数のプラットフォーム上で動作します。

## 26.4 MPASM アセンブラ

MPASM アセンブラは、PIC10/12/16/18 MCU に対応したフル機能の汎用マクロアセンブラです。MPASM アセンブラは、MPLINK オブジェクト リンカ用の再配置可能なオブジェクト ファイル、Intel® 標準 HEX ファイル、メモリ使用とシンボル参照を詳述する MAP ファイル、ソース行と生成後のマシンコードを含む絶対 LST ファイル、デバッグ用の COFF ファイルを生成します。

MPASM アセンブラの機能には下記が含まれます。

- MPLAB IDE プロジェクトへの統合
- アセンブリコードを能率化するユーザ定義マクロ
- 多目的ソースファイル用の条件付きアセンブリ
- アセンブリ プロセスを完全に制御できるディレクティブ

## 26.5 MPLINK オブジェクト リンカ / MPLIB オブジェクト ライブラリアン

MPLINK オブジェクト リンカは、MPASM アセンブラと MPLAB C18 C コンパイラが作成した再配置可能なオブジェクトを結合します。このオブジェクト リンカは、リンカスクリプトからのディレクティブを使って、プリコンパイル済みライブラリから再配置可能なオブジェクトをリンクできます。

MPLIB オブジェクト ライブラリアンは、プリコンパイル済みコードのライブラリ ファイルの作成と変更を管理します。ライブラリのルーチンをソースファイルから呼び出すと、そのルーチンが含まれているモジュールのみがアプリケーションとリンクします。これにより、大きなライブラリを各種アプリケーションで効率的に使えます。

オブジェクト リンカ/ライブラリの機能は以下の通りです。

- 多数の小さいファイルをリンクするのではなく、1つのライブラリを効果的にリンクする
- 関連するモジュールをグループ化する事により、コードの保守性が向上する
- モジュールのリスト作成、置換、削除、抽出が簡単なライブラリを柔軟に作成する

## 26.6 各種デバイスファミリ用 MPLAB アセンブラ、リンカ、ライブラリアン

MPLAB アセンブラは、PIC24、PIC32、dsPIC デバイス用のシンボリック アセンブリ言語から再配置可能なマシンコードを生成します。MPLAB C コンパイラはこのアセンブラを使ってオブジェクト ファイルを生成します。このアセンブラが生成した再配置可能なオブジェクト ファイルをアーカイブまたは他の再配置可能なオブジェクト ファイルとリンクして、実行ファイルを生成します。アセンブラの主な機能は以下の通りです。

- デバイスの全命令セットのサポート
- 固定 / 浮動小数データのサポート
- コマンドライン インターフェイス
- 豊富なディレクティブ セット
- 柔軟なマクロ言語
- MPLAB IDE との互換性

## 26.7 MPLAB SIM ソフトウェア シミュレータ

MPLAB SIM ソフトウェア シミュレータには、PIC MCU と dsPIC<sup>®</sup> DSC を命令レベルでシミュレートする機能があり、PC 環境でコード開発が行えます。どんな命令の実行時でもデータ領域を検証または変更でき、総合的なスティミュラス コントローラから外部信号を加える事ができます。レジスタをファイルに記録して、さらなる実行時解析が可能です。トレースバッファとロジック アナライザ ディスプレイを使うと、プログラム実行、I/O アクティビティ、ほとんどの周辺機能と内部レジスタの記録と追跡ができ、シミュレータの能力をさらに向上させる事ができます。

MPLAB SIM ソフトウェア シミュレータは、MPLAB C コンパイラ、MPASM/MPLAB アセンブラを使ったシンボリック デバッグを完全サポートしています。このソフトウェア シミュレータは、ハードウェアラボ環境外での柔軟なコード開発とデバッグを可能にする経済的で優れたソフトウェア開発ツールです。

## 26.8 MPLAB REAL ICE インサーキット エミュレータ システム

MPLAB REAL ICE インサーキット エミュレータ システムは、マイクロチップ社のフラッシュ DSC と MCU デバイス用にマイクロチップ社が提供する次世代高速エミュレータです。このエミュレータでは、各キットに付属する MPLAB 統合開発環境 (IDE) の強力で使いやすい GUI を利用して PIC<sup>®</sup> フラッシュ MCU と dsPIC<sup>®</sup> フラッシュ DSC のデバッグと書き込みを行えます。

このエミュレータをハイスピード USB 2.0 インターフェイスでエンジニアの PC に接続し、ターゲット デバイスとはインサーキット デバッグ システムと共通の RJ-11 コネクタか、高速で耐ノイズ性に優れた最新の LVDS インターフェイス (CAT5) を使って接続します。

エミュレータの更新用ファームウェアは、MPLAB IDE からダウンロードできます。MPLAB IDE の最新リリースに伴って、サポートするデバイスと新機能が追加されます。MPLAB REAL ICE は、低コスト、高速エミュレーション、実行時変数ウォッチ、トレース解析、複雑なブレークポイント、高耐久性のプローブインターフェイス、接続ケーブルの長尺対応 (最長 3 m) 等、他のエミュレータに比べ多くの利点があります。

## 26.9 MPLAB ICD 3 インサーキット デバッグシステム

MPLAB ICD 3 インサーキット デバッグ システムは、マイクロチップ社のフラッシュ デジタルシグナル コントローラ (DSC) とマイクロコントローラ (MCU) に対応した、非常に対費用効果の高い高速ハードウェア デバッグ / プログラムです。このデバッグでは、MPLAB 統合開発環境 (IDE) の強力な使いやすい GUI を利用して PIC<sup>®</sup> フラッシュ マイクロコントローラと dsPIC<sup>®</sup> DSC のデバッグと書き込みが行えます。

MPLAB ICD 3 インサーキット デバッグのプローブは、PC との接続に高速 USB 2.0 インターフェイスを使い、対象デバイスとの接続には MPLAB ICD 3/MPLAB REAL ICE システムと互換のコネクタ (RJ-11) を使います。MPLAB ICD 3 は全ての MPLAB ICD 2 ヘッダをサポートしています。

## 26.10 PICkit 3 インサーキット デバッグ / プログラムと PICkit 3 Debug Express

MPLAB PICkit 3 は、MPLAB 統合開発環境 (IDE) の強力な GUI を利用して PIC<sup>®</sup> および dsPIC<sup>®</sup> フラッシュ マイクロコントローラをデバッグ / プログラミングできる低価格なツールです。MPLAB PICkit 3 と PC の接続にはフルスピード USB インターフェイスを使います。対象デバイスとの接続には、MPLAB ICD 3/MPLAB REAL ICE と互換のマイクロチップ デバッグ コネクタ (RJ-11) を使います。このコネクタは 2 本のデバイス I/O ピンとリセットラインを使って、インサーキット デバッグとインサーキット シリアル プログラミングを実現します。

PICkit 3 Debug Express は、PICkit 3、デモボードとマイクロコントローラ、フックアップ ケーブル、CD-ROM (ユーザガイド、レッスン、チュートリアル、コンパイラ、MPLAB IDE ソフトウェアを収録) を含みます。

## 26.11 PICKit 2 開発用プログラマ / デバッガと PICKit 2 Debug Express

PICKit™ 2 開発用プログラマ / デバッガは、マイクロチップ社のフラッシュ マイクロコントローラ ファミリの書き込みとデバッグを使いやすいインターフェイスで行える低コストな開発ツールです。Windows®環境でプログラミング機能を実行できる本製品は、ベースライン (PIC10F、PIC12F5xx、PIC16F5xx)、ミッドレンジ (PIC12F6xx、PIC16F)、PIC18F、PIC24、dsPIC30、dsPIC33、PIC32 ファミリーを含む 8/16/32 ビット マイクロコントローラ、マイクロチップ社製各種シリアル EEPROM をサポートしています。PICKit™ 2 は、マイクロチップ社の強力な MPLAB 統合開発環境 (IDE) を利用してほとんどの PIC® マイクロコントローラに対してインサーキット デバッグを実行できます。インサーキット デバッグでは、PIC マイクロコントローラをアプリケーションに組み込んだままの状態でのプログラムの実行 / 停止とシングルステップ実行が可能です。また、ブレークポイントで停止させて、ファイルレジスタを確認 / 変更することもできます。

PICKit 2 Debug Express は、PICKit 2、デモボードとマイクロコントローラ、フックアップケーブル、CD-ROM (ユーザガイド、レッスン、チュートリアル、コンパイラ、MPLAB IDE ソフトウェアを収録) を含みます。

## 26.12 MPLAB PM3 デバイス プログラマ

MPLAB PM3 デバイス プログラマは CE 準拠のユニバーサル デバイス プログラマで、VDDMIN と VDDMAX でのプログラマブル電圧検証によって信頼性を確保します。このデバイス プログラマは、メニューとエラーメッセージを表示する大型 LCD (128 x 64) と、各種パッケージタイプに対応するための脱着可能なモジュール式ソケット アセンブリを備えます。ICSP™ ケーブルは標準で付属しています。スタンドアロンモードでは、MPLAB PM3 デバイス プログラマを PC へ接続せずに、PIC デバイスの読み出し、検証、プログラム実行が可能です。また、このモードでコード保護も設定できます。MPLAB PM3 とホスト PC との接続には、RS-232 または USB ケーブルを使います。さらに、大容量メモリデバイス的高速プログラミングを可能にする高速通信と最適化アルゴリズムを備え、ファイル保存とデータ アプリケーションのための MMC カードを内蔵しています。

## 26.13 デモボード、開発ボード、評価キット、スタータキット

各種 PIC MCU と dsPIC DSC に対応するデモボード、開発ボード、評価用ボードを豊富に取り揃え、完全に機能するシステムでアプリケーションを迅速に開発できます。ほとんどのボードは、カスタム回路を追加するためのプロトタイプ領域を備えています。また、付属のアプリケーション ファームウェアとソースコードを使って動作を評価できます。これらを編集して使う事もできます。

これらのボードは LED、温度センサ、スイッチ、スピーカ、RS-232 インターフェイス、LCD、ポテンショメータ、追加 EEPROM メモリ等、各種機能をサポートします。

デモボードと開発ボードは、カスタム回路の試作と各種マイクロコントローラ アプリケーションの学習教材として使う事ができます。

PICDEM™ と dsPICDEM™ デモ / 開発ボードシリーズの回路の他に、マイクロチップ社ではアナログフィルタ設計、KEELOQ® セキュリティ IC、CAN、IrDA®、PowerSmart バッテリ管理、SEEVAL® 評価システム、 $\Delta \Sigma$  ADC、流量感知等、各種アプリケーションに対応する評価キットとデモソフトウェアを取り揃えています。

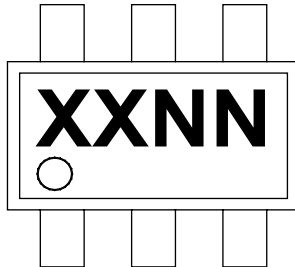
また、デバイスを体験するために必要なものを収めたスタータキットも提供しています。通常、スタータキットには、1 つのアプリケーションとデバッグ機能を全て組み込んだ 1 枚のボードが含まれます。

デモボード、開発ボード、評価キットの一覧は、マイクロチップ社のウェブページ ([www.microchip.com](http://www.microchip.com)) でご覧ください。

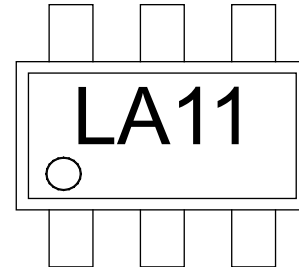
## 27.0 パッケージ情報

### 27.1 パッケージ マーキング情報

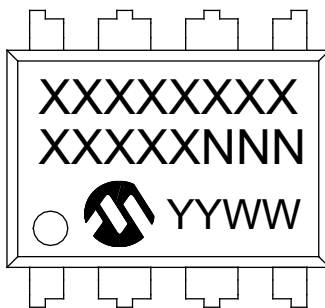
6-Lead SOT-23



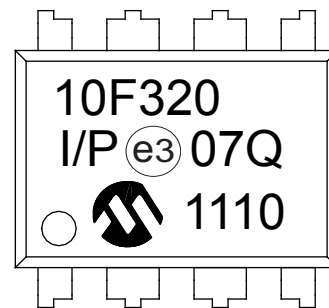
Example



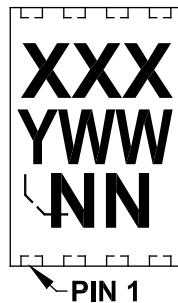
8-Lead PDIP (300 mil)



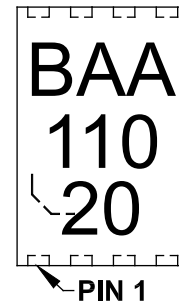
Example



8-Lead DFN (2x3x0.9 mm)



Example



|     |        |                                                |
|-----|--------|------------------------------------------------|
| 凡例: | XX...X | お客様固有情報                                        |
|     | Y      | 年コード (西暦の下 1 桁)                                |
|     | YY     | 年コード (西暦の下 2 桁)                                |
|     | WW     | 週コード (1 月の第 1 週が「01」)                          |
|     | NNN    | 英数字のトレーサビリティコード                                |
|     | e3     | つや消し錫 (Sn) の使用を示す鉛フリーの JEDEC マーク               |
|     | *      | 本パッケージは鉛フリーです。鉛フリー JEDEC マーク (e3) は外箱に表記しています。 |

**Note:** マイクロチップ社の製品番号が 1 行に収まりきらない場合は複数行を使います。この場合お客様固有情報に使える文字数が制限されます。

# PIC10(L)F320/322

---

表 27-1: 8 ピン 2x3 DFN (MC) 上面マーキング

| パーツ番号              | マーキング |
|--------------------|-------|
| PIC10F322(T)-I/MC  | BAA   |
| PIC10F322(T)-E/MC  | BAB   |
| PIC10F320(T)-I/MC  | BAC   |
| PIC10F320(T)-E/MC  | BAD   |
| PIC10LF322(T)-I/MC | BAF   |
| PIC10LF322(T)-E/MC | BAG   |
| PIC10LF320(T)-I/MC | BAH   |
| PIC10LF320(T)-E/MC | BAJ   |

表 27-2: 6 ピン SOT-23 (OT) パッケージ上面  
マーキング

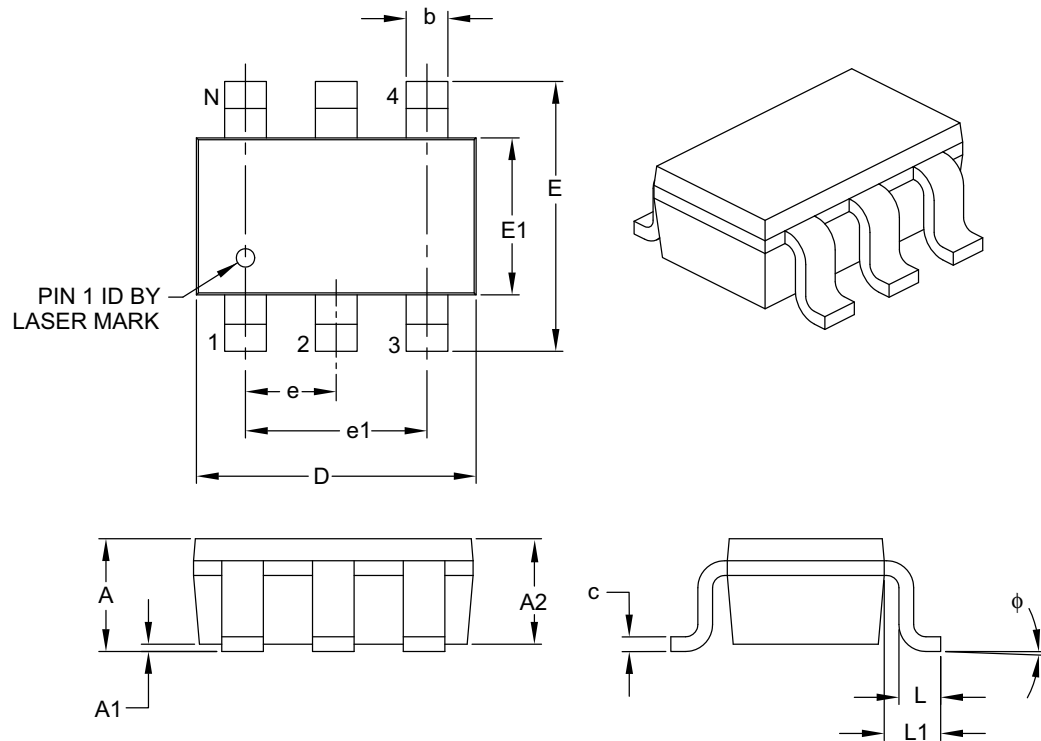
| パーツ番号              | マーキング |
|--------------------|-------|
| PIC10F322(T)-I/OT  | LA    |
| PIC10F322(T)-E/OT  | LB    |
| PIC10F320(T)-I/OT  | LC    |
| PIC10F320(T)-E/OT  | LD    |
| PIC10LF322(T)-I/OT | LE    |
| PIC10LF322(T)-E/OT | LF    |
| PIC10LF320(T)-I/OT | LG    |
| PIC10LF320(T)-E/OT | LH    |

## 27.2 パッケージの詳細

以下に、各パッケージの技術的詳細を記載します。

### 6 ピン プラスチック スモール アウトライン トランジスタ (OT) [SOT-23]

**Note:** 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification ( マイクロチップ社パッケージ仕様 )」を参照してください。  
<http://www.microchip.com/packaging>



| 単位          | 寸法限界 | ミリメートル   |    |      |
|-------------|------|----------|----|------|
|             |      | 最小       | 公称 | 最大   |
| ピン数         | N    | 6        |    |      |
| ピッチ         | e    | 0.95 BSC |    |      |
| 外側リードピッチ    | e1   | 1.90 BSC |    |      |
| 全高          | A    | 0.90     | —  | 1.45 |
| モールド パッケージ厚 | A2   | 0.89     | —  | 1.30 |
| スタンドオフ      | A1   | 0.00     | —  | 0.15 |
| 全幅          | E    | 2.20     | —  | 3.20 |
| モールド パッケージ幅 | E1   | 1.30     | —  | 1.80 |
| 全長          | D    | 2.70     | —  | 3.10 |
| 足長          | L    | 0.10     | —  | 0.60 |
| フットプリント     | L1   | 0.35     | —  | 0.80 |
| 足角          | φ    | 0°       | —  | 30°  |
| リード厚        | c    | 0.08     | —  | 0.26 |
| リード幅        | b    | 0.20     | —  | 0.51 |

#### Notes:

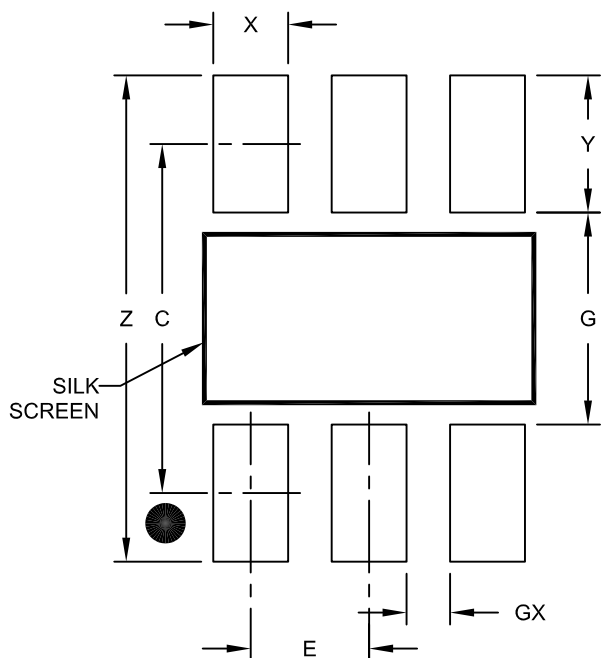
- D と E1 の寸法はモールドのはみ出しや突出部を含みません。モールドのはみ出しや突出部は側面から 0.127 mm を超えません。
- 寸法と公差は ASME Y14.5M に準拠しています。  
BSC: 基本寸法。理論的に正確な値、公差なしで表示

Microchip Technology Drawing C04-028B

# PIC10(L)F320/322

## 6 ピン プラスチック スモール アウトライン トランジスタ (OT) [SOT-23]

**Note:** 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification ( マイクロチップ社パッケージ仕様 )」を参照してください。  
<http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

| 単位             | 寸法限界 | ミリメートル  |      |      |
|----------------|------|---------|------|------|
|                |      | 最小      | 公称   | 最大   |
| コンタクトピッチ       | E    | 0.95BSC |      |      |
| コンタクトパッド間隔     | C    |         | 2.80 |      |
| コンタクトパッド幅 (X6) | X    |         |      | 0.60 |
| コンタクトパッド長 (X6) | Y    |         |      | 1.10 |
| パッド間距離         | G    | 1.70    |      |      |
| パッド間距離         | GX   | 0.35    |      |      |
| 全幅             | Z    |         |      | 3.90 |

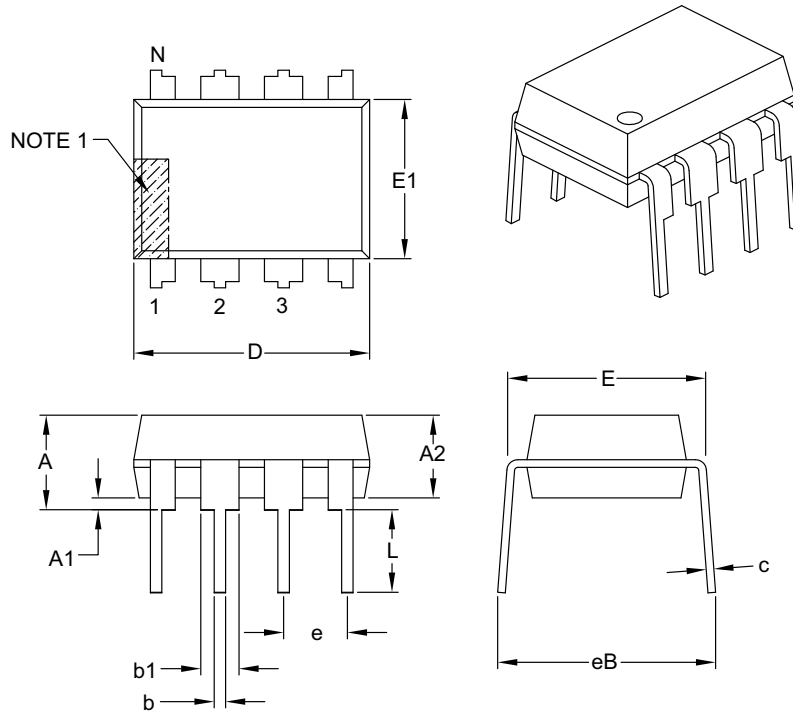
### Notes:

- 寸法と公差は ASME Y14.5M に準拠しています。  
BSC: 基本寸法。理論的に正確な値、公差なしで表示

Microchip Technology Drawing C04-2028A

## 8 ピン プラスチック デュアル インライン (P) - 300 mil ボディ [PDIP]

**Note:** 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification ( マイクロチップ社パッケージ仕様 )」を参照してください。  
<http://www.microchip.com/packaging>



|                   | 単位 | インチ      |      |      |
|-------------------|----|----------|------|------|
|                   |    | 最小       | 公称   | 最大   |
| ピン数               | N  | 8        |      |      |
| ピッチ               | e  | .100 BSC |      |      |
| トップからシーティングまで     | A  | —        | —    | .210 |
| モールド パッケージ厚       | A2 | .115     | .130 | .195 |
| ベースからシーティングまで     | A1 | .015     | —    | —    |
| ショルダー間幅           | E  | .290     | .310 | .325 |
| モールド パッケージ幅       | E1 | .240     | .250 | .280 |
| 全長                | D  | .348     | .365 | .400 |
| 先端からシーティング プレインまで | L  | .115     | .130 | .150 |
| リード厚              | c  | .008     | .010 | .015 |
| 上側リード幅            | b1 | .040     | .060 | .070 |
| 下側リード幅            | b  | .014     | .018 | .022 |
| 全幅 §              | eB | —        | —    | .430 |

### Notes:

1. 1 ピンマークの場所にはばらつきがありますが、必ず斜線部分内にあります。
2. § 重要な特性です。
3. D と E1 の寸法はモールドのはみ出しや突出部を含みません。モールドのはみ出しや突出部は側面から .010" を超えません。
4. 寸法と公差は ASME Y14.5M に準拠しています。

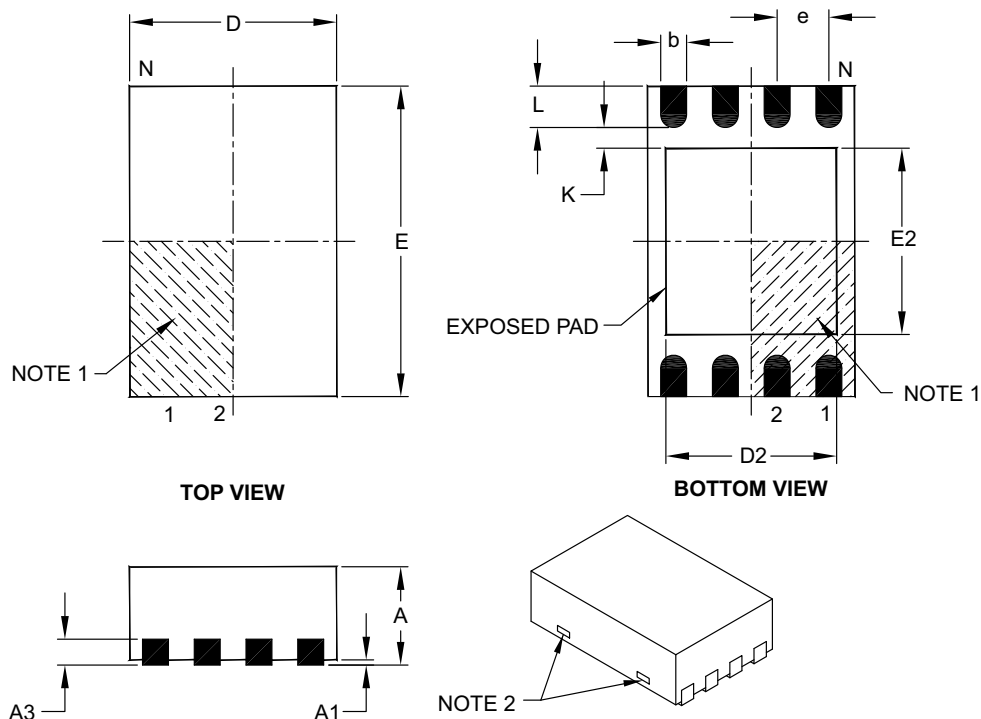
BSC: 基本寸法。理論的に正確な値、公差なしで表示

Microchip Technology Drawing C04-018B

# PIC10(L)F320/322

8 ピン プラスチック デュアル フラット、リード線なしパッケージ (MC) - 2x3x0.9 mm ボディ [DFN]

**Note:** 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification ( マイクロチップ社パッケージ仕様 )」を参照してください。  
<http://www.microchip.com/packaging>



| 単位             | 寸法 | ミリメートル   |      |      |
|----------------|----|----------|------|------|
|                |    | 最小       | 公称   | 最大   |
| ピン数            | N  | 8        |      |      |
| ピッチ            | e  | 0.50 BSC |      |      |
| 全高             | A  | 0.80     | 0.90 | 1.00 |
| スタンドオフ         | A1 | 0.00     | 0.02 | 0.05 |
| コンタクト厚         | A3 | 0.20 REF |      |      |
| 全長             | D  | 2.00 BSC |      |      |
| 全幅             | E  | 3.00 BSC |      |      |
| 露出パッド長         | D2 | 1.30     | —    | 1.55 |
| 露出パッド幅         | E2 | 1.50     | —    | 1.75 |
| コンタクト幅         | b  | 0.20     | 0.25 | 0.30 |
| コンタクト長         | L  | 0.30     | 0.40 | 0.50 |
| コンタクトから露出パッドまで | K  | 0.20     | —    | —    |

**Notes:**

- ピン 1 のビジュアル インデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
- パッケージの端部には 1 つまたは複数の露出タイバーがあります。
- パッケージは切削切り出しされています。
- 寸法と公差は ASME Y14.5M に準拠しています。

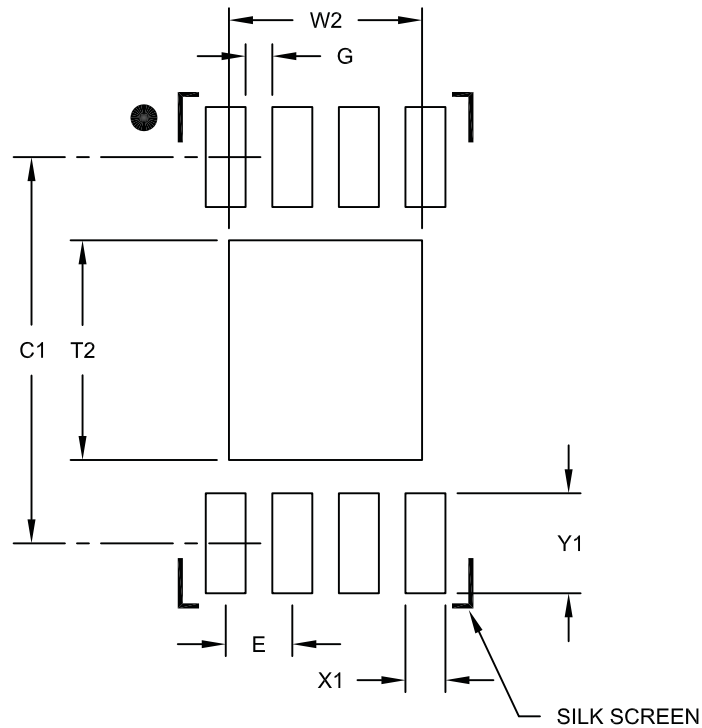
BSC: 基本寸法。理論的に正確な値、公差なしで表示

REF: 参考寸法、通常は公差を含まない、情報としてのみ使われる値

Microchip Technology Drawing C04-123C

## 8ピン プラスチック デュアル フラット、リード線なしパッケージ(MC) - 2x3x0.9 mmボディ [DFN]

**Note:** 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification ( マイクロチップ社パッケージ仕様 )」を参照してください。  
<http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

| 単位             | 寸法限界 | ミリメートル   |      |      |
|----------------|------|----------|------|------|
|                |      | 最小       | 公称   | 最大   |
| コンタクトピッチ       | E    | 0.50 BSC |      |      |
| オプション センターパッド幅 | W2   |          |      | 1.45 |
| オプション センターパッド長 | T2   |          |      | 1.75 |
| コンタクトパッド間隔     | C1   |          | 2.90 |      |
| コンタクトパッド幅 (X8) | X1   |          |      | 0.30 |
| コンタクトパッド長 (X8) | Y1   |          |      | 0.75 |
| パッド間距離         | G    | 0.20     |      |      |

**Notes:**

- 寸法と公差は ASME Y14.5M に準拠しています。  
BSC: 基本寸法。理論的に正確な値、公差なしで表示

Microchip Technology Drawing C04-2123B

# PIC10(L)F320/322

---

NOTES:

## 補遺 A: データシート改版履歴

### リビジョン A

初版リリース (2011 年 7 月 )

# PIC10(L)F320/322

---

NOTES:

## 索引

### A

|                                     |     |
|-------------------------------------|-----|
| A/D                                 |     |
| 仕様                                  | 184 |
| A/D コンバータ (ADC) ADC 参照              |     |
| AC 特性                               |     |
| 工業用および拡張温度レンジ<br>(PIC10(L)F320/322) | 180 |
| 負荷条件                                | 179 |
| ADC                                 | 91  |
| アキュイジション時間の計算                       | 98  |
| アキュイジションの要件                         | 98  |
| 関連レジスタ                              | 100 |
| 参照電圧 (VREF)                         | 92  |
| スリープ中の動作                            | 94  |
| 設定                                  | 92  |
| ソース インピーダンス                         | 98  |
| チャンネル選択                             | 92  |
| 動作                                  | 94  |
| 内部サンプリング スイッチのインピーダンス<br>(Rss)      | 98  |
| ブロック図                               | 91  |
| 変換クロック                              | 92  |
| 変換手順                                | 95  |
| ポートの設定                              | 92  |
| 割り込み                                | 94  |
| 割り込みの設定                             | 95  |
| ADCON レジスタ                          | 17  |
| ADRESH レジスタ                         | 17  |
| ADRES レジスタ                          | 97  |
| ANSELA レジスタ                         | 78  |

### B

|             |    |
|-------------|----|
| BORCON レジスタ | 35 |
|-------------|----|

### C

|               |     |
|---------------|-----|
| CCP1CON レジスタ  | 17  |
| CCPR1H レジスタ   | 17  |
| CLCxCON レジスタ  | 119 |
| CLCxGLS0 レジスタ | 123 |
| CLCxGLS1 レジスタ | 124 |
| CLCxGLS2 レジスタ | 125 |
| CLCxGLS3 レジスタ | 126 |
| CLCxPOL レジスタ  | 120 |
| CLCxSEL0 レジスタ | 121 |
| CLCxSEL1 レジスタ | 122 |
| CONFIG レジスタ   | 22  |
| CWG           |     |
| クロック源         | 142 |
| 自動シャットダウン制御   | 146 |
| 出力制御          | 142 |
| 選択可能な入力ソース    | 142 |
| CWGXCON0 レジスタ | 149 |
| CWGXCON1 レジスタ | 150 |
| CWGXCON2 レジスタ | 151 |
| CWGXDBF レジスタ  | 152 |
| CWGXDBR レジスタ  | 152 |
| C コンパイラ       |     |
| MPLAB C18     | 190 |

### D

|                                     |     |
|-------------------------------------|-----|
| DC および AC 特性                        | 187 |
| DC 特性                               |     |
| 拡張および工業用温度レンジ<br>(PIC10(L)F320/322) | 176 |

### 工業用および拡張温度レンジ

|                    |     |
|--------------------|-----|
| (PIC10(L)F320/322) | 171 |
|--------------------|-----|

### E

|             |    |
|-------------|----|
| EECON1 レジスタ | 18 |
| EEDATL レジスタ | 70 |

### F

|                        |    |
|------------------------|----|
| FSR レジスタ               | 17 |
| FVRCON (固定参照電圧制御) レジスタ | 86 |

### I

|             |     |
|-------------|-----|
| INDF レジスタ   | 17  |
| INTCON レジスタ | 46  |
| INTOSC の仕様  | 180 |
| IOCBP レジスタ  | 83  |

### L

|           |    |
|-----------|----|
| LATA レジスタ | 78 |
|-----------|----|

### M

|                                            |     |
|--------------------------------------------|-----|
| MCLR                                       | 36  |
| 内部                                         | 36  |
| MPLAB ASM30 アセンブラ、リンカ、<br>ライブラリアン          | 190 |
| MPLAB PM3 デバイス プログラマ                       | 192 |
| MPLAB REAL ICE インサーキット<br>エミュレータ システム      | 191 |
| MPLAB 統合開発環境ソフトウェア                         | 189 |
| MPLINK オブジェクト リンカ /MPLIB オブジェクト<br>ライブラリアン | 190 |

### N

|                |     |
|----------------|-----|
| NCO            |     |
| 関連レジスタ         | 138 |
| NCOxACCCH レジスタ | 136 |
| NCOxACCL レジスタ  | 136 |
| NCOxACCU レジスタ  | 136 |
| NCOxCLK レジスタ   | 135 |
| NCOxCON レジスタ   | 135 |
| NCOxINCH レジスタ  | 137 |
| NCOxINCL レジスタ  | 137 |

### O

|                 |     |
|-----------------|-----|
| OPTION_REG レジスタ | 103 |
| OSCCON レジスタ     | 30  |

### P

|              |        |
|--------------|--------|
| PCLATH レジスタ  | 17     |
| PCL と PCLATH | 19     |
| スタック         | 19     |
| PCL レジスタ     | 17     |
| PCON レジスタ    | 17, 39 |
| PIE1 レジスタ    | 17, 47 |
| PIR1 レジスタ    | 17, 48 |
| PMADRH レジスタ  | 57     |
| PMADRL レジスタ  | 57, 71 |
| PMADR レジスタ   | 57     |
| PMCON1 レジスタ  | 57, 72 |
| PMCON2 レジスタ  | 57, 73 |
| PMDATH レジスタ  | 70, 71 |
| PORTA        | 76     |
| ANSELA レジスタ  | 76     |
| PORTA レジスタ   | 17     |
| 関連レジスタ       | 80     |
| 仕様           | 181    |

# PIC10(L)F320/322

|                    |     |
|--------------------|-----|
| PORTA レジスタ .....   | 77  |
| PR2 レジスタ .....     | 17  |
| PWMxCON レジスタ ..... | 111 |
| PWMxDCH レジスタ ..... | 112 |
| PWMxDCL レジスタ ..... | 112 |

## R

|                            |     |
|----------------------------|-----|
| Read-Modify-Write 動作 ..... | 159 |
|----------------------------|-----|

## S

|                   |    |
|-------------------|----|
| SPBRG レジスタ .....  | 17 |
| STATUS レジスタ ..... | 15 |

## T

|                  |         |
|------------------|---------|
| T2CON レジスタ ..... | 17, 106 |
| Timer0 .....     | 101     |
| 関連レジスタ .....     | 103     |
| 仕様 .....         | 183     |
| 動作 .....         | 101     |
| 割り込み .....       | 103     |
| Timer1 .....     | 105     |
| Timer2 .....     | 106     |
| 関連レジスタ .....     | 106     |
| TMR0 レジスタ .....  | 17      |
| TMR2 レジスタ .....  | 17      |
| TRISA レジスタ ..... | 77      |

## V

|                 |  |
|-----------------|--|
| VREF ADC 参照電圧参照 |  |
|-----------------|--|

## W

|                      |     |
|----------------------|-----|
| WDTCON レジスタ .....    | 55  |
| WWW アドレス .....       | 207 |
| WWW、オンライン サポート ..... | 6   |

## あ

|                   |     |
|-------------------|-----|
| アセンブラ .....       |     |
| MPASM アセンブラ ..... | 190 |

## い

|                    |     |
|--------------------|-----|
| インターネット アドレス ..... | 207 |
|--------------------|-----|

## う

|                         |     |
|-------------------------|-----|
| ウォッチドッグ タイマ (WDT) ..... | 36  |
| ウォッチドッグ タイマ関連コンフィグレーション |     |
| ワード .....               | 56  |
| 関連レジスタ .....            | 56  |
| 仕様 .....                | 183 |
| モード .....               | 54  |

## え

|            |   |
|------------|---|
| エラッタ ..... | 6 |
|------------|---|

## お

|                      |         |
|----------------------|---------|
| お客様向け通知サービス .....    | 207     |
| お客様向け変更通知サービス .....  | 207     |
| オシレータ .....          |         |
| 関連レジスタ .....         | 31, 153 |
| オシレータ モジュール .....    | 27      |
| EC .....             | 27      |
| INTOSC .....         | 27      |
| 参照クロック出力制御 .....     | 29      |
| オシレータの仕様 .....       | 180     |
| オシレータのパラメータ .....    | 180     |
| オペコード フィールドの説明 ..... | 159     |
| 温度インジケータ モジュール ..... | 89      |

|                                     |     |
|-------------------------------------|-----|
| 温度に関する注意事項 (PIC10(L)F320/322) ..... | 178 |
|-------------------------------------|-----|

## か

|                                |     |
|--------------------------------|-----|
| 開発サポート .....                   | 189 |
| 改版履歴 .....                     | 201 |
| 書き込み保護 .....                   | 24  |
| カスタマサポート .....                 | 207 |
| 間接アドレス指定、INDF と FSR レジスタ ..... | 19  |

## き

|                |     |
|----------------|-----|
| 技術文書に関して ..... | 208 |
|----------------|-----|

## く

|             |    |
|-------------|----|
| クロック源 ..... |    |
| 外部モード ..... | 31 |
| EC .....    | 31 |

## こ

|                    |    |
|--------------------|----|
| 固定参照電圧 (FVR) ..... |    |
| 関連レジスタ .....       | 86 |

## さ

|                            |    |
|----------------------------|----|
| サンプルコード .....              |    |
| PORTA の初期化 .....           | 75 |
| 間接アドレス指定 .....             | 19 |
| ステータス レジスタと W レジスタの        |    |
| RAM への保存 .....             | 45 |
| フラッシュ プログラムメモリへの書き込み ..... | 66 |

## し

|                |    |
|----------------|----|
| 状態変化割り込み ..... | 81 |
| 関連レジスタ .....   | 84 |

## す

|                       |     |
|-----------------------|-----|
| 数値制御オシレータ (NCO) ..... | 129 |
|-----------------------|-----|

## せ

|                                 |     |
|---------------------------------|-----|
| 絶対最大定格 (PIC10(L)F320/322) ..... | 169 |
|---------------------------------|-----|

## そ

|                                 |     |
|---------------------------------|-----|
| 相補波形ジェネレータ (CWG) .....          | 139 |
| ソフトウェア シミュレータ (MPLAB SIM) ..... | 191 |

## た

|                          |     |
|--------------------------|-----|
| タイマ .....                |     |
| Timer2 .....             |     |
| T2CON .....              | 106 |
| タイミング チャート .....         |     |
| INT ピン割り込み .....         | 44  |
| ブラウンアウト リセットの条件 .....    | 35  |
| リセット起動シーケンス .....        | 37  |
| 割り込みによる復帰 .....          | 52  |
| タイミング パラメータの記号 .....     | 179 |
| タイミング図 .....             |     |
| A/D 変換 .....             | 185 |
| A/D 変換 (スリープモード) .....   | 185 |
| CLKR と I/O .....         | 181 |
| Timer0 外部クロック .....      | 183 |
| クロック タイミング .....         | 180 |
| ブラウンアウト リセット (BOR) ..... | 182 |

## て

|                       |        |
|-----------------------|--------|
| データメモリ .....          | 13     |
| デバイス コンフィグレーション ..... | 21     |
| コード保護 .....           | 24     |
| コンフィグレーション ワード .....  | 21     |
| ユーザ ID .....          | 24, 25 |

# PIC10(L)F320/322

|                                          |          |
|------------------------------------------|----------|
| デバイス概要 .....                             | 7, 53    |
| 電氣的仕様 (PIC10(L)F320/322) .....           | 169      |
| <b>と</b>                                 |          |
| 特殊機能レジスタ .....                           | 13       |
| 特殊機能レジスタ (SFR) .....                     | 17       |
| <b>な</b>                                 |          |
| 内部オシレータ ブロック<br>INTOSC<br>仕様 .....       | 180      |
| 内部サンプリング スイッチのインピーダンス (Rss) .....        | 98       |
| <b>は</b>                                 |          |
| パッケージ .....                              | 193      |
| PDIP の詳細 .....                           | 195      |
| マーキング .....                              | 193, 195 |
| パルス幅変調 (PWM) .....                       | 107      |
| PWMx ピンを使う PWM 動作の設定 .....               | 110      |
| PWM 関連のレジスタ .....                        | 112      |
| PWM の周期 .....                            | 108      |
| PWM モード<br>PWMx ピンを使う動作の設定 .....         | 110      |
| PWM の周波数と分解能の例 (20 MHz) .....            | 109      |
| PWM の周波数と分解能の例 (8 MHz) .....             | 109      |
| システムクロック周波数の変更 .....                     | 109      |
| スリープモード中の動作 .....                        | 109      |
| デューティ サイクル .....                         | 108      |
| リセットの影響 .....                            | 109      |
| パワーアップ タイマ (PWRT) .....                  | 34       |
| 仕様 .....                                 | 183      |
| パワーアップ タイムアウト シーケンス .....                | 36       |
| パワーオン リセット .....                         | 34       |
| パワーダウン モード (スリープ) .....                  | 51       |
| 関連レジスタ .....                             | 52       |
| 汎用レジスタファイル .....                         | 13       |
| <b>ひ</b>                                 |          |
| ピン割り当て<br>PIC10(L)F320/322 .....         | 9        |
| <b>ふ</b>                                 |          |
| ファームウェア命令 .....                          | 159      |
| 負荷条件 .....                               | 179      |
| ブラウンアウト リセット (BOR) .....                 | 35       |
| タイミングと特性 .....                           | 182      |
| フラッシュ プログラムメモリ .....                     | 57       |
| 一部書き換え .....                             | 67       |
| 書き込み .....                               | 63       |
| 書き込みのベリファイ .....                         | 69       |
| 関連レジスタ .....                             | 73       |
| 消去 .....                                 | 61       |
| フラッシュ プログラムメモリ関連<br>コンフィグレーション ワード ..... | 73       |
| プリスケアラ<br>共有 WDT/Timer0 .....            | 102      |
| プログラミング、デバイス命令 .....                     | 159      |
| プログラムメモリ .....                           | 11       |
| マップとスタック (PIC10(L)F320) .....            | 12       |
| マップとスタック (PIC16LF1906/7) .....           | 12       |
| ブロック図<br>ADC .....                       | 91       |
| ADC の伝達関数 .....                          | 99       |
| NCO .....                                | 130      |
| PIC10(L)F320/322 .....                   | 8        |
| PWM .....                                | 107      |

|                                   |     |
|-----------------------------------|-----|
| Timer2 .....                      | 105 |
| TMR0/WDT プリスケアラ .....             | 101 |
| アナログ入力モデル .....                   | 99  |
| クロック源 .....                       | 27  |
| 参照電圧 .....                        | 85  |
| 内蔵リセット回路 .....                    | 33  |
| 割り込みロジック .....                    | 41  |
| <b>ま</b>                          |     |
| マイクロチップ社のウェブサイト .....             | 207 |
| <b>め</b>                          |     |
| 命令セット .....                       | 159 |
| ADDLW .....                       | 161 |
| ADDWF .....                       | 161 |
| ANDLW .....                       | 161 |
| ANDWF .....                       | 161 |
| BCF .....                         | 161 |
| BSF .....                         | 161 |
| BTFSC .....                       | 161 |
| BTFSS .....                       | 162 |
| CALL .....                        | 162 |
| CLRF .....                        | 162 |
| CLRWF .....                       | 162 |
| CLRWDAT .....                     | 162 |
| COMF .....                        | 162 |
| DECF .....                        | 162 |
| DECFSZ .....                      | 163 |
| GOTO .....                        | 163 |
| INCF .....                        | 163 |
| INCFSZ .....                      | 163 |
| IORLW .....                       | 163 |
| IORWF .....                       | 163 |
| MOVF .....                        | 164 |
| MOVLW .....                       | 164 |
| MOVWF .....                       | 164 |
| NOP .....                         | 164 |
| RETFIE .....                      | 165 |
| RETLW .....                       | 165 |
| RETURN .....                      | 165 |
| RLF .....                         | 166 |
| RRF .....                         | 166 |
| SLEEP .....                       | 166 |
| SUBLW .....                       | 166 |
| SUBWF .....                       | 167 |
| SWAPF .....                       | 167 |
| XORLW .....                       | 167 |
| XORWF .....                       | 167 |
| 一覧表 .....                         | 160 |
| 命令の形式 .....                       | 159 |
| メモリ構成 .....                       | 139 |
| データ .....                         | 13  |
| プログラム .....                       | 11  |
| <b>り</b>                          |     |
| リセット .....                        | 33  |
| 関連レジスタ .....                      | 39  |
| クロックリセット関連コンフィグレーション<br>ワード ..... | 39  |
| リセットの影響<br>PWM モード .....          | 109 |
| <b>れ</b>                          |     |
| レジスタ<br>ADRES (ADC 結果) .....      | 97  |
| ANSELA (PORTA アナログ選択) .....       | 78  |

# PIC10(L)F320/322

|                                          |     |
|------------------------------------------|-----|
| BORCON (ブラウンアウトリセット制御) .....             | 35  |
| CLCxCON (CLCx 制御) .....                  | 119 |
| CLCxGL1 (ゲート 2 ロジック選択) .....             | 124 |
| CLCxGLS0 (ゲート 1 ロジック選択) .....            | 123 |
| CLCxGLS2 (ゲート 3 ロジック選択) .....            | 125 |
| CLCxGLS3 (ゲート 4 ロジック選択) .....            | 126 |
| CLCxPOL (信号極性制御) .....                   | 120 |
| CLCxSEL0 (マルチプレクサ データ 1/2 選択) .....      | 121 |
| CLCxSEL1 (マルチプレクサ データ 3/4 選択) .....      | 122 |
| CWGxCON0 (CWG 制御 0) .....                | 149 |
| CWGxCON1 (CWG 制御 1) .....                | 150 |
| CWGxCON2 (CWG 制御 2) .....                | 151 |
| CWGxDBF (CWGx デッドバンド<br>立ち下がりカウンタ) ..... | 152 |
| CWGxDBR (CWGx デッドバンド<br>立ち上がりカウンタ) ..... | 152 |
| EEDATL (EEPROM データ) .....                | 70  |
| FVRCON .....                             | 86  |
| INTCON (割り込み制御) .....                    | 46  |
| IOCBP (立ち上がりエッジの状態変化<br>割り込み) .....      | 83  |
| LATA (データラッチ PORTA) .....                | 78  |
| NCOxACCH (NCOx アキュムレータ<br>上位バイト) .....   | 136 |
| NCOxACCL (NCOx アキュムレータ<br>下位バイト) .....   | 136 |
| NCOxACCU (NCOx アキュムレータ<br>最上位バイト) .....  | 136 |
| NCOxCLK (NCOx クロック制御) .....              | 135 |
| NCOxCON (NCOx 制御) .....                  | 135 |
| NCOxINCH (NCOx インクリメント<br>上位バイト) .....   | 137 |

|                                        |        |
|----------------------------------------|--------|
| NCOxINCL (NCOx インクリメント<br>下位バイト) ..... | 137    |
| OPTION_REG (オプション) .....               | 103    |
| OSCCON (オシレータ制御) .....                 | 30     |
| PCON (電源制御) .....                      | 39     |
| PIE1 (周辺機能割り込みイネーブル 1) .....           | 47     |
| PIR1 (周辺機能割り込みレジスタ 1) .....            | 48     |
| PMADRL (プログラムメモリ アドレス) .....           | 71     |
| PMCON1 (プログラムメモリ制御 1) .....            | 72     |
| PMCON2 (プログラムメモリ制御 2) .....            | 73     |
| PMDATH (プログラムメモリ データ) .....            | 70, 71 |
| PORTA .....                            | 77     |
| PWMxCON (PWM 制御) .....                 | 111    |
| PWMxDCH (PWM 制御) .....                 | 112    |
| PWMxDCL (PWM 制御) .....                 | 112    |
| STATUS .....                           | 15     |
| T2CON .....                            | 106    |
| TRISA (3 ステート PORTA) .....             | 77     |
| WDTCON (ウォッチドッグ タイマ制御) .....           | 55     |
| コンフィグレーション ワード .....                   | 22     |
| 特殊機能レジスタ .....                         | 13     |
| 特殊機能、まとめ .....                         | 17     |

## わ

|                             |    |
|-----------------------------|----|
| 割り込み .....                  | 41 |
| ADC .....                   | 95 |
| クロック源関連コンフィグレーション ワード ..... | 31 |
| コンテキスト保存 .....              | 45 |
| 割り込み関連レジスタ .....            | 49 |
| 割り込みによる復帰 .....             | 52 |

## マイクロチップ社のウェブサイト

マイクロチップ社は、弊社が運営する WWW サイト ([www.microchip.com](http://www.microchip.com)) を通してオンラインサポートを提供しています。このウェブサイトを活用する事で、ファイルや情報を簡単に入手できます。お好みのインターネット ブラウザを使って、下記の内容をご覧になれます。

- **製品サポート** – データシートとエラッタ、アプリケーション ノートとサンプル プログラム、設計関連リソース、ユーザガイドとハードウェア サポート 文書、最新のソフトウェアと過去のソフトウェア
- **技術サポート** – よく寄せられる質問 (FAQ)、技術サポート リクエスト、オンライン ディスカッション グループ、マイクロチップ社コンサルタント プログラム メンバーの一覧
- **マイクロチップ社の事業** – 製品セレクトと注文のガイド、マイクロチップ社の最新プレスリリース、セミナーとイベントの一覧、マイクロチップ社の各営業所、販売代理店、工場の一覧

## お客様向け変更通知サービス

マイクロチップ社のお客様向け通知サービスにて、常にお客様にマイクロチップ社製品の最新情報を提供いたします。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、エラッタ情報をいち早くメールにてお知らせします。

当サービスをご希望のお客様は、マイクロチップ社ウェブサイト([www.microchip.com](http://www.microchip.com))でご登録ください。[ サポート ] → [ お客様向け変更通知 ] をクリックし、画面の指示に従ってください。

## カスタマサポート

マイクロチップ社製品のお客様は、下記のチャンネルからサポートをご利用頂けます。

- 販売代理店または販売担当者
- 各地の営業所
- フィールド アプリケーション エンジニア (FAE)
- 技術サポート
- 開発システム情報ライン

サポートは販売代理店、販売担当者、フィールド アプリケーション エンジニア (FAE) までお問い合わせください。各地の営業所もご利用頂けます。本書の末尾には各国営業所の一覧を記載しています。

技術サポートは下記のウェブサイトからもご利用頂けます : <http://microchip.com/support>

# PIC10(L)F320/322

---

## お客様アンケート

マイクロチップ社は、弊社製品を存分にご活用頂くために、文書の作成に最善の努力を尽くしています。本書の構成、明確さ、内容等に関するご意見を FAX にてお寄せください

(宛先: マイクロチップ・テクノロジー・ジャパン株式会社 : FAX 番号 : 045-471-6122)。

下記のアンケート フォームにお客様情報と本書に関するご意見をご記入ください。

宛先: マイクロチップ・テクノロジー・ジャパン株式会社

送信ページ数 \_\_\_\_\_

件名: 技術文書に関して

送信者 :お名前 \_\_\_\_\_

貴社名 \_\_\_\_\_

ご住所 \_\_\_\_\_

郵便番号 \_\_\_\_\_

電話番号 : (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_ FAX 番号 : (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_

アプリケーション (任意):

返信をご希望ですか? \_\_\_\_ はい \_\_\_\_ いいえ

デバイスPIC10(L)F320/322

文書番号: DS41585A\_JP

質問:

1. 本書で最も良かった点は何ですか?

---

---

2. 本書はお客様のハードウェア / ソフトウェア開発に役立ちますか?

---

---

3. 本書の構成は分かりやすいですか? 分かりにくい場合はその理由もご記入ください。

---

---

4. 本書の構成と内容を改善するには何を追加すべきですか?

---

---

5. 本書から省略しても構わない内容は何ですか?

---

---

6. 不正確であったり誤解を招きやすい箇所がございましたらご指摘ください。

---

---

7. その他、本書の改善に向けてご意見がございましたらご記入ください。

---

---

## 製品識別システム

ご注文または製品の価格や納期に関するお問い合わせは、弊社または販売代理店までお問い合わせください。

| PART NO.                                                                                                                                                                                                                                                                                                                                                                                                                                            | [X] <sup>(1)</sup>   | - | X                 | /XX     | XXX     |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------|---|-------------------|---------|---------|
| Device                                                                                                                                                                                                                                                                                                                                                                                                                                              | Tape and Reel Option |   | Temperature Range | Package | Pattern |
| <div> <p><b>Device:</b> PIC10F320, PIC10LF320, PIC10F322, PIC10LF322</p> <p><b>Tape and Reel Option:</b> Blank = Standard packaging (tube or tray)<br/>T = Tape and Reel<sup>(1)</sup></p> <p><b>Temperature Range:</b> I = -40°C to +85°C (Industrial)<br/>E = -40°C to +125°C (Extended)</p> <p><b>Package:</b> OT = SOT-23<br/>P = PDIP<br/>MC = DFN</p> <p><b>Pattern:</b> QTP, SQTP, Code or Special Requirements (blank otherwise)</p> </div> |                      |   |                   |         |         |
| <p><b>例:</b></p> <p>a) PIC10LF320T - I/OT<br/>テープ &amp; リール、工業用温度レンジ、SOT-23 パッケージ</p> <p>b) PIC10F322 - I/P<br/>工業用温度レンジ、PDIP パッケージ</p> <p>c) PIC10F320 - E/MC<br/>拡張温度レンジ、DFN パッケージ</p> <p><b>Note 1:</b> テープとリールの識別情報は、カタログの製品番号説明でのみご確認いただけます。この識別情報は注文時に使うもので、デバイスのパッケージには印刷されていません。テープ &amp; リールオプションのあるパッケージの販売状況については、最寄りのマイクロチップ社の営業所までお問い合わせください。</p>                                                                                      |                      |   |                   |         |         |

## 各国の営業所とサービス

### 北米

#### 本社

2355 West Chandler Blvd.  
Chandler, AZ 85224-6199

Tel: 480-792-7200

Fax: 480-792-7277

技術サポート:

[http://www.microchip.com/  
support](http://www.microchip.com/support)

URL:

[www.microchip.com](http://www.microchip.com)

#### アトランタ

Duluth, GA

Tel: 678-957-9614

Fax: 678-957-1455

#### ボストン

Westborough, MA

Tel: 774-760-0087

Fax: 774-760-0088

#### シカゴ

Itasca, IL

Tel: 630-285-0071

Fax: 630-285-0075

#### クリーブランド

Independence, OH

Tel: 216-447-0464

Fax: 216-447-0643

#### ダラス

Addison, TX

Tel: 972-818-7423

Fax: 972-818-2924

#### デトロイト

Farmington Hills, MI

Tel: 248-538-2250

Fax: 248-538-2260

#### インディアナポリス

Noblesville, IN

Tel: 317-773-8323

Fax: 317-773-5453

#### ロサンゼルス

Mission Viejo, CA

Tel: 949-462-9523

Fax: 949-462-9608

#### サンタクララ

Santa Clara, CA

Tel: 408-961-6444

Fax: 408-961-6445

#### トロント

Mississauga, Ontario,  
Canada

Tel: 905-673-0699

Fax: 905-673-6509

### アジア / 太平洋

#### アジア太平洋支社

Suites 3707-14, 37th Floor

Tower 6, The Gateway

Harbour City, Kowloon

Hong Kong

Tel: 852-2401-1200

Fax: 852-2401-3431

#### オーストラリア - シドニー

Tel: 61-2-9868-6733

Fax: 61-2-9868-6755

#### 中国 - 北京

Tel: 86-10-8569-7000

Fax: 86-10-8528-2104

#### 中国 - 成都

Tel: 86-28-8665-5511

Fax: 86-28-8665-7889

#### 中国 - 重慶

Tel: 86-23-8980-9588

Fax: 86-23-8980-9500

#### 中国 - 杭州

Tel: 86-571-2819-3187

Fax: 86-571-2819-3189

#### 中国 - 香港 SAR

Tel: 852-2401-1200

Fax: 852-2401-3431

#### 中国 - 南京

Tel: 86-25-8473-2460

Fax: 86-25-8473-2470

#### 中国 - 青島

Tel: 86-532-8502-7355

Fax: 86-532-8502-7205

#### 中国 - 上海

Tel: 86-21-5407-5533

Fax: 86-21-5407-5066

#### 中国 - 瀋陽

Tel: 86-24-2334-2829

Fax: 86-24-2334-2393

#### 中国 - 深圳

Tel: 86-755-8203-2660

Fax: 86-755-8203-1760

#### 中国 - 武漢

Tel: 86-27-5980-5300

Fax: 86-27-5980-5118

#### 中国 - 西安

Tel: 86-29-8833-7252

Fax: 86-29-8833-7256

#### 中国 - 厦門

Tel: 86-592-2388138

Fax: 86-592-2388130

#### 中国 - 珠海

Tel: 86-756-3210040

Fax: 86-756-3210049

### アジア / 太平洋

#### インド - バンガロール

Tel: 91-80-3090-4444

Fax: 91-80-3090-4123

#### インド - ニューデリー

Tel: 91-11-4160-8631

Fax: 91-11-4160-8632

#### インド - プネ

Tel: 91-20-2566-1512

Fax: 91-20-2566-1513

#### 日本 - 大阪

Tel: 81-66-152-7160

Fax: 81-66-152-9310

#### 日本 - 横浜

Tel: 81-45-471-6166

Fax: 81-45-471-6122

#### 韓国 - 大邱

Tel: 82-53-744-4301

Fax: 82-53-744-4302

#### 韓国 - ソウル

Tel: 82-2-554-7200

Fax: 82-2-558-5932 または  
82-2-558-5934

#### マレーシア - クアラルンプール

Tel: 60-3-6201-9857

Fax: 60-3-6201-9859

#### マレーシア - ペナン

Tel: 60-4-227-8870

Fax: 60-4-227-4068

#### フィリピン - マニラ

Tel: 63-2-634-9065

Fax: 63-2-634-9069

#### シンガポール

Tel: 65-6334-8870

Fax: 65-6334-8850

#### 台湾 - 新竹

Tel: 886-3-5778-366

Fax: 886-3-5770-955

#### 台湾 - 高雄

Tel: 886-7-536-4818

Fax: 886-7-330-9305

#### 台湾 - 台北

Tel: 886-2-2500-6610

Fax: 886-2-2508-0102

#### タイ - バンコク

Tel: 66-2-694-1351

Fax: 66-2-694-1350

### ヨーロッパ

#### オーストリア - ヴェルス

Tel: 43-7242-2244-39

Fax: 43-7242-2244-393

#### デンマーク - コペンハーゲン

Tel: 45-4450-2828

Fax: 45-4485-2829

#### フランス - パリ

Tel: 33-1-69-53-63-20

Fax: 33-1-69-30-90-79

#### ドイツ - ミュンヘン

Tel: 49-89-627-144-0

Fax: 49-89-627-144-44

#### イタリア - ミラノ

Tel: 39-0331-742611

Fax: 39-0331-466781

#### オランダ - ドリユネン

Tel: 31-416-690399

Fax: 31-416-690340

#### スペイン - マドリッド

Tel: 34-91-708-08-90

Fax: 34-91-708-08-91

#### イギリス - ウォーキンガム

Tel: 44-118-921-5869

Fax: 44-118-921-5820