



PIC10F220/222

データシート

8 ビット A/D 内蔵

高性能マイクロコントローラ

マイクロチップ・テクノロジー社 (以下、マイクロチップ社) デバイスのコードプロテクション機能に関して、以下の点にご注意ください。

- マイクロチップ社製品は、該当する「マイクロチップ社データシート」に記載の仕様を満たしています。
- マイクロチップ社では、通常の条件ならびに仕様どおりの方法で使用した場合、マイクロチップ社製品は現在市場に流通している同種製品としては最もセキュリティの高い部類に入る製品であると考えております。
- プログラム保護機能を解除するための不正かつ違法な方法が存在します。マイクロチップ社の確認している範囲では、このような方法のいずれにおいても、マイクロチップ社製品を「マイクロチップ社データシート」の動作仕様外の方法で使用する必要があります。このような行為は、知的所有権の侵害に該当する可能性が非常に高いと言えます。
- マイクロチップ社は、コードの保全について懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- マイクロチップ社を含むすべての半導体メーカーの中で、自社のコードのセキュリティを完全に保証できる企業はありません。プログラム保護機能とは、マイクロチップ社が製品を「解読不能」として保証しているものではありません。

プログラム保護機能は常に進歩しています。マイクロチップ社では、製品のプログラム保護機能の改善に継続的に取り組んでいます。マイクロチップ社のプログラム保護機能を解除しようとする行為は、デジタルミレニアム著作権法に抵触する可能性があります。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合は、デジタルミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイスアプリケーションなどに関する情報は、ユーザーの便宜のためにのみ提供されているものであり、更新によって無効とされることがあります。アプリケーションと仕様の整合性を保証することは、お客様の責任において行ってください。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。マイクロチップ社デバイスを生命維持および/または保安のアプリケーションに使用することはデバイス購入者の全責任において行うものとし、デバイス購入者は、デバイスの使用に起因するすべての損害、請求、訴訟、および出費に関してマイクロチップ社を弁護、免責し、同社に不利益が及ばないようにすることに同意するものとし、暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip の名前付きロゴ、Microchip ロゴ、Accuron、dsPIC、KEELOQ、KEELOQ ロゴ、microID、MPLAB、PIC、PICmicro、PICSTART、PRO MATE、PowerSmart、rfPIC、SmartShunt は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

AmpLab、FilterLab、Linear Active Thermistor、Migratable Memory、MXDEV、MXLAB、PS ロゴ、SEEVAL、SmartSensor、The Embedded Control Solutions Company は、米国における Microchip Technology Incorporated の登録商標です。

Analog-for-the-Digital Age、Application Maestro、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、ECAN、ECONOMONITOR、FanSense、FlexROM、fuzzyLAB、In-Circuit Serial Programming、ICSP、ICEPIC、Mindi、MiWi、MPASM、MPLAB Certified ロゴ、MPLIB、MPLINK、PICKit、PICDEM、PICDEM.net、PICLAB、PICKit、PICtail、PowerCal、PowerInfo、PowerMate、PowerTool、Real ICE、rfLAB、rfPICDEM、Select Mode、Smart Serial、SmartTel、Total Endurance、UNI/O、WiperLock、ZENA、は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は米国における Microchip Technology Incorporated のサービスマークです。

その他、本書に記載されている商標は、各社に帰属します。

© 2007, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

 再生紙を使用しています。

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州)、Mountain View (カリフォルニア州) の本部、設計部およびウエハ製造工場が ISO/TS-16949:2002 認証を取得しています。マイクロチップ社の品質システムプロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コードホッピングデバイス、シリアル EEPROM、マイクロベリフェラル、不揮発性メモリ、アナログ製品に採用されています。また、マイクロチップ社の開発システムの設計および製造に関する品質システムは、ISO 9001:2000 の認証を受けています。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949:2002 ==

6 ピン、8 ビットフラッシュマイクロコントローラ

このデータシートに記載されているデバイス

- PIC10F220
- PIC10F222

高性能 RISC CPU

- 命令に 33 個の 1 ワード命令のみを使用
- プログラム分岐以外はすべて 1 サイクル命令 (プログラム分岐は 2 サイクル)
- 12 ビット幅の命令
- 深さ 2 レベルのハードウェアスタック
- データおよび命令用として直接、間接、相対の各アドレッシングモード
- 8 ビット幅のデータパス
- 特殊機能ハードウェアレジスタ 8 個
- 動作速度:
 - 500 ns 命令サイクル (8 MHz 内部クロック 使用時)
 - 1 μ s 命令サイクル (4 MHz 内部クロック 使用時)

マイクロコントローラ特殊機能

- 4 または 8 MHz の高精度内部発振器
 - $\pm 1\%$ まで工場校正済み
- In-Circuit Serial Programming™ (ICSP™)
- インサーキットデバッグ (ICD) サポート
- パワーオンリセット (POR)
- 短周期デバイスリセットタイマ (DRT) (標準 1.125 ms)
- 専用オンチップ RC 発振器付きウォッチドッグタイマ (WDT) による動作信頼性の向上
- プログラム可能なコードプロテクション
- 多重化 MCLR 入力ゲイン
- I/O ピンの内部弱プルアップ
- 省電力のスリープモード
- ピン変化によるスリープからのウェイクアップ

低電力機能 / CMOS テクノロジ

- 動作電流:
 - 170 μ A 未満 (@ 2V, 4 MHz)
- 待機電流:
 - 100 nA @ 2V, 標準
- 低電力の高速フラッシュテクノロジー:
 - 書き換え可能回数 10 万回
 - 40 年を超えるデータ保持
- 完全スタティック設計
- 広範な動作電圧範囲: 2.0V ~ 5.5V
- 広範な温度範囲:
 - 工業用: -40°C ~ +85°C
 - 拡張用途: -40°C ~ +125°C

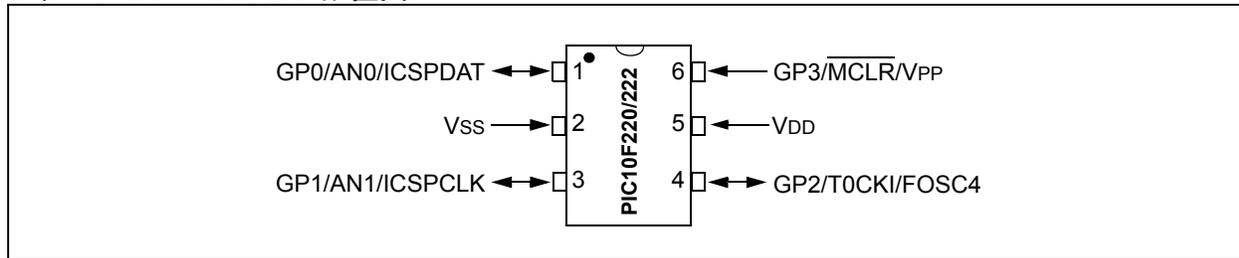
周辺機能の特徴:

- I/O ピン 4 本:
 - 個別入出力コントロール付き I/O ピン 3 本
 - 入力専用ピン 1 本
 - High シンク / ソース電流 (LED 直接駆動用)
 - 変化によるウェイク
 - 弱プルアップ
- 8 ビットプログラマブルプリスケアラ付き 8 ビットリアルタイムクロック / カウンタ (TMR0)
- アナログデジタル (A/D) コンバータ
 - 8 ビット分解能
 - 外部入力チャネル 2 個
 - 専用内部入力チャネル 1 個

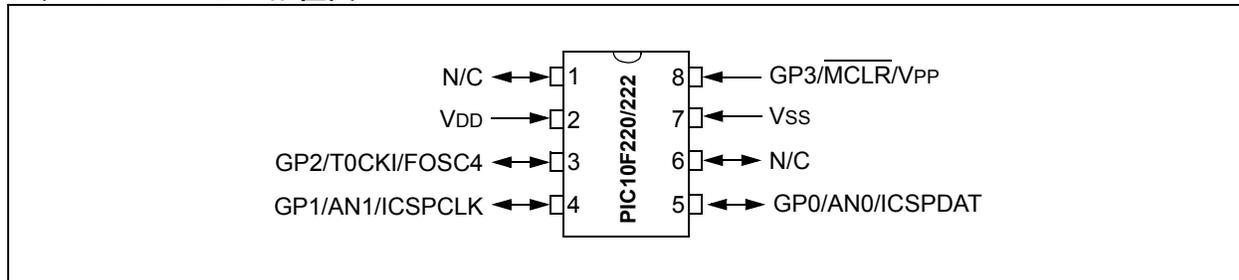
デバイス	プログラムメモリ	データメモリ	I/O	タイマ 8 ビット	8 ビット A/D (チャネル)
	フラッシュ (ワード)	SRAM (バイト)			
PIC10F220	256	16	4	1	2
PIC10F222	512	23	4	1	2

PIC10F220/222

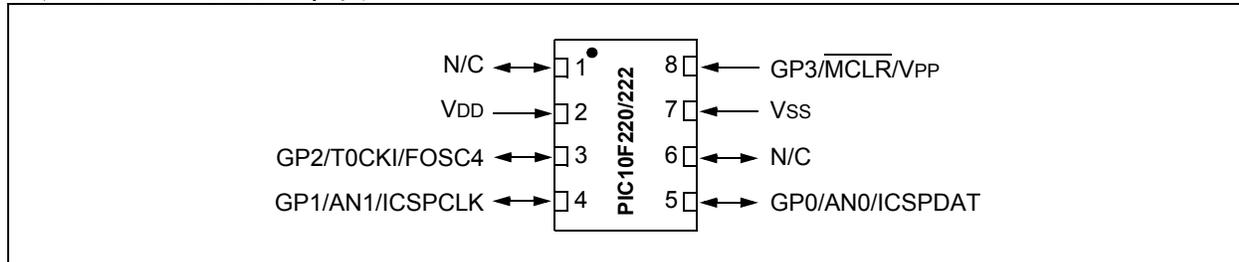
6 リード SOT-23 のピン配置図



8 リード DIP のピン配置図



8 リード DFN のピン配置図



目次

1.0	概要	5
2.0	デバイスの種類	7
3.0	アーキテクチャの概要	9
4.0	メモリ構成	13
5.0	I/O ポート	21
6.0	タイマ 0 モジュールと TMR0 レジスタ	25
7.0	A/D コンバータ	29
8.0	CPU の特殊機能	33
9.0	命令セット概要	43
10.0	電気的特性	51
11.0	開発サポート	61
12.0	DC および AC 特性のグラフ / 表	65
13.0	パッケージ	67
	索引	73
	マイクロチップ社の Web サイト	75
	お客様変更通知サービス	75
	お客様サポート	75
	読者アンケート	76
	製品識別システム	77

大切なお客様へ

マイクロチップ社では、お客様にマイクロチップ社製品を効果的にお使いいただくために、わかりやすい文書を提供するように努めています。このため、弊社はおお客様のニーズにさらに的確に応えられるように、出版物の改善を続けていきます。弊社の出版物は、新しい巻や更新情報の発表に合わせて内容の見直しと充実が図られます。

本書に関してご意見やご質問をお持ちのお客様は、電子メールまたはファクスで弊社のマーケティングコミュニケーション部門にご連絡ください。電子メールアドレスは docerrors@mail.microchip.com、ファクス番号は 1-480-792-4150 (国際電話) です。ファクスの場合には、本書の巻末に用意されている「読者アンケート」のページをご利用ください。お客様からのご感想をお待ち致しております。

最新のデータシート

このデータシートの最新版を入手するには、以下の Web サイトから登録手続きを行ってください。

<http://www.microchip.com>

各ページのフッタに記載されている文書番号をご覧になると、データシートのバージョンを確認できます。文書番号の最後の文字がバージョン番号です (例: DS30000A は文書 DS30000 のバージョン A)。

正誤表情報

現行のデバイスには、データシートとの動作上の微妙な相違点や推奨できる暫定的な対策を記した正誤表が存在することがあります。弊社では、デバイスや文書に関する問題を認識した時点で正誤表を発行します。正誤表には、該当するシリコンのバージョンと文書のバージョンが明記されます。

特定のデバイスに関して正誤表の有無を確認するには、以下のいずれかをご利用ください。

- マイクロチップ社の Web サイト : <http://www.microchip.com>
- 該当地域のマイクロチップ社営業所 (最終ページ参照)
- Microchip Corporate Literature Center (米国 - FAX: (480) 792-7277)

営業所または米国の Microchip Corporate Literature Center にお問い合わせになる場合、ご使用のデバイス、シリコンのバージョン、データシートのバージョン (文書番号を含む) をお伝えください。

お客様通知システム

マイクロチップ社の Web サイト (www.microchip.com/cn) で登録手続きを行うと、マイクロチップ社のすべての製品に関する最新情報を受信できるようになります。

PIC10F220/222

メモ:

1.0 概要

マイクロチップ社の PIC10F220/222 デバイスは、低価格かつ高性能で完全スタティックの 8 ビットフラッシュベース CMOS マイクロコントローラです。これらのマイクロコントローラは、わずか 33 個のシングルワード/シングルサイクル命令を使用した RISC アーキテクチャを採用しています。プログラム分岐 (2 サイクル) 以外はすべて 1 サイクル命令です (1 μ s)。PIC10F220/222 デバイスは、同価格帯の他社製品より 1 桁高い性能を提供します。12 ビット幅の各命令は対称性に優れています。そのため、同クラスの他の 8 ビットマイクロコントローラを使用する場合と比較して、一般にコードサイズが 2 分の 1 に圧縮されます。使いやすく覚えやすい命令セットにより、開発期間が大幅に短縮されます。

PIC10F220/222 製品には、システム費用と電源消費の低減につながるさまざまな特殊機能が装備されています。パワーオンリセット (POR) およびデバイスリセットタイマ (DRT) により、外部リセット回路が不要です。INTOSC 内部発振器モードを搭載しているため、利用可能な I/O の数は少なく保たれています。省電力スリープモード、ウォッチドッグタイマ、コードプロテクションといった機能は、システム費用および消費電力の低減と信頼性の向上に役立ちます。

PIC10F220/222 デバイスには、コスト効果が高く、どのような生産量にも対応可能なフラッシュが採用されています。お客様は、マイクロチップ社製フラッシュプログラマブルコントローラの卓越したコストパフォーマンスを享受しつつ、プログラム可能なフラッシュメモリの柔軟性を活用することができます。

表 1-1: PIC10F220/222 デバイス (1), (2)

		PIC10F220	PIC10F222
クロック	最大動作周波数 (MHz)	8	8
メモリ	フラッシュプログラムメモリ	256	512
	データメモリ (バイト)	16	23
周辺機能	タイマモジュール	TMR0	TMR0
	ピン変化によるスリープからのウェイクアップ	あり	あり
	アナログ入力	2	2
特徴	I/O ピン	3	3
	入力専用ピン	1	1
	内部プルアップ	あり	あり
	In-Circuit Serial Programming™	あり	あり
	命令数	33	33
	パッケージ	6 ピン SOT-23, 8 ピン DIP, DFN	6 ピン SOT-23, 8 ピン DIP, DFN

- 注 1: PIC10F220/222 デバイスは、パワーオンリセット、選択可能なウォッチドッグタイマ、選択可能なコードプロテクション機能を備えるほか、大きな I/O 電流に対応し、高精度内部発振器も搭載しています。
- 注 2: PIC10F220/222 デバイスでは、データピン GP0 とクロックピン GP1 によるシリアルプログラミングを使用します。

PIC10F220/222 は、フル機能のマクロアセンブラ、ソフトウェアシミュレータ、インサーキットデバugg、C コンパイラ、低価格開発用プログラマ、フル機能プログラマによってサポートされています。また、すべてのツールは IBM® PC およびその互換機でサポートされています。

1.1 アプリケーション

PIC10F220/222 デバイスは、家庭用医療機器やセキュリティシステムから低電力リモート送受信機に至るまで、幅広いアプリケーションに対応します。フラッシュ技術により、アプリケーションプログラム (送信コード、機器設定、受信周波数など) を非常に短時間で手軽にカスタマイズできます。これらのマイクロコントローラは、スルーホールまたは表面実装のいずれにも対応するコンパクトなパッケージであるため、スペースに制約のあるアプリケーションで実力を発揮します。低価格、省電力、高性能で、さまざまな I/O 構成に対応できる便利な PIC10F220/222 デバイスは、以前にはマイクロコントローラが使用されていなかった領域でも非常に多用途なデバイスになっています (例: タイマ機能、従来よりも大きなシステム向けのロジックおよび PLD、およびコプロセッサ)。

PIC10F220/222

メモ:

2.0 デバイスの種類

さまざまなパッケージオプションが用意されています。本項の情報を利用すると、アプリケーションと量産の要件に応じて適切なデバイスオプションを選択できます。ご注文の際には、本書の巻末にある「PIC10F220/222 製品識別システム」に従って、正しい部品番号を指定してください。

2.1 クイックターンプログラミング (QTP) デバイス

マイクロチップ社では、工場生産注文の場合に QTP プログラミングサービスを提供しています。お客様が中程度ないし大量のユニットを自社でプログラムすることを避けたいとき、そのコードパターンが安定している場合には、このサービスを利用できます。これらのデバイスはフラッシュデバイスと同様ですが、すべてのフラッシュロケーションとヒューズオプションが工場出荷時にプログラミング済みです。量産品の出荷前には、コードおよび試作に関する所定の検証手順が実施されます。詳しくは、お近くのマイクロチップ社営業所までお問い合わせください。

2.2 シリアルクイックターンプログラミングSM (SQTPSM) デバイス

マイクロチップ社では、各デバイスの複数のユーザー指定場所に応じて異なるシリアル番号をプログラムするという独自のプログラミングサービスを提供しています。シリアル番号はランダム、疑似ランダム、連番のいずれも可能です。

シリアルプログラミングにより、各デバイスに一意的な番号を割り当てて、エントリコード、パスワード、あるいは ID 番号として利用することができます。

PIC10F220/222

メモ:

3.0 アーキテクチャの概要

PIC10F220/222 デバイスの優れた性能は、RISC マイクロプロセッサに共通するアーキテクチャ面での数多くの特徴によって実現されています。第一に、PIC10F220/222 デバイスでは、プログラムとデータに別々のバスでアクセスするハーバードアーキテクチャが使用されています。このため、従来のフォンノイマンアーキテクチャよりも帯域幅が広がります(フォンノイマンアーキテクチャでは、プログラムとデータが共通のバスでフェッチされます)。プログラムメモリとデータメモリを分けることにより、命令を8ビット幅のデータワード以外のサイズにすることができます。命令オペコードは12ビット幅であり、すべて1ワード命令にすることができます。12ビット幅のプログラムメモリアクセスバスでは、12ビットの命令を1サイクルでフェッチします。2ステージのパイプラインでは、命令のフェッチと実行をオーバーラップさせます。この結果、プログラム分岐を除いて、すべての命令(33個)が単一サイクル(1 μs @ 4 MHz または 500 ns @ 8 MHz)で実行されます。

以下の表は、PIC10F220/222 デバイスのプログラムメモリ(フラッシュ)とデータメモリ(RAM)を記載したものです。

デバイス	メモリ	
	プログラム	データ
PIC10F220	256 x 12	16 x 8
PIC10F222	512 x 12	23 x 8

PIC10F220/222 デバイスはそのレジスタファイルとデータメモリを直接または間接的にアドレス指定することができます。PC を含むすべての特殊機能レジスタ(SFR)は、データメモリにマッピングされます。PIC10F220/222 デバイスでは、非常に直交性(対称性)の高い命令セットが使われているため、使用するアドレッシングモードに関係なく、どのレジスタでもあらゆる演算を実行することができます。「特殊な最適条件」がなく、直交性が高いため、PIC10F220/222 デバイスのプログラミングは簡単で効率的です。また、学習に必要な期間も大幅に短縮されます。

PIC10F220/222 デバイスには、8ビットALUおよびワーキングレジスタがあります。ALUは汎用の数値演算ユニットです。このユニットは任意のレジスタファイルとワーキングレジスタのデータを使って数値演算およびブール関数を実行します。

ALUは8ビット幅で、加算、減算、シフト演算、および論理演算を実行できます。特に記載がない限り、数値演算では2の補数表現が使われます。2オペランド命令では、通常1つのオペランドがW(ワーキング)レジスタです。もう1つのオペランドはファイルレジスタまたは即値定数です。1オペランド命令の場合、そのオペランドはWレジスタまたはファイルレジスタのいずれかです。

WレジスタはALUの演算の使用される8ビットのワーキングレジスタです。アドレス指定可能なレジスタではありません。

実行される命令によっては、ALUがSTATUSレジスタのキャリー(C)、デジットキャリー(DC)、ゼロ(Z)ビットの値に影響を及ぼすことがあります。減算では、Cビットがボロー、DCビットがデジットボローアウトビットとして動作します。例については、SUBWFおよびADDWF命令を参照してください。

簡単なブロック図を図3-1に示します。また、これに対応するデバイスピンの説明を表3-1に示します。

PIC10F220/222

図 3-1: ブロック図

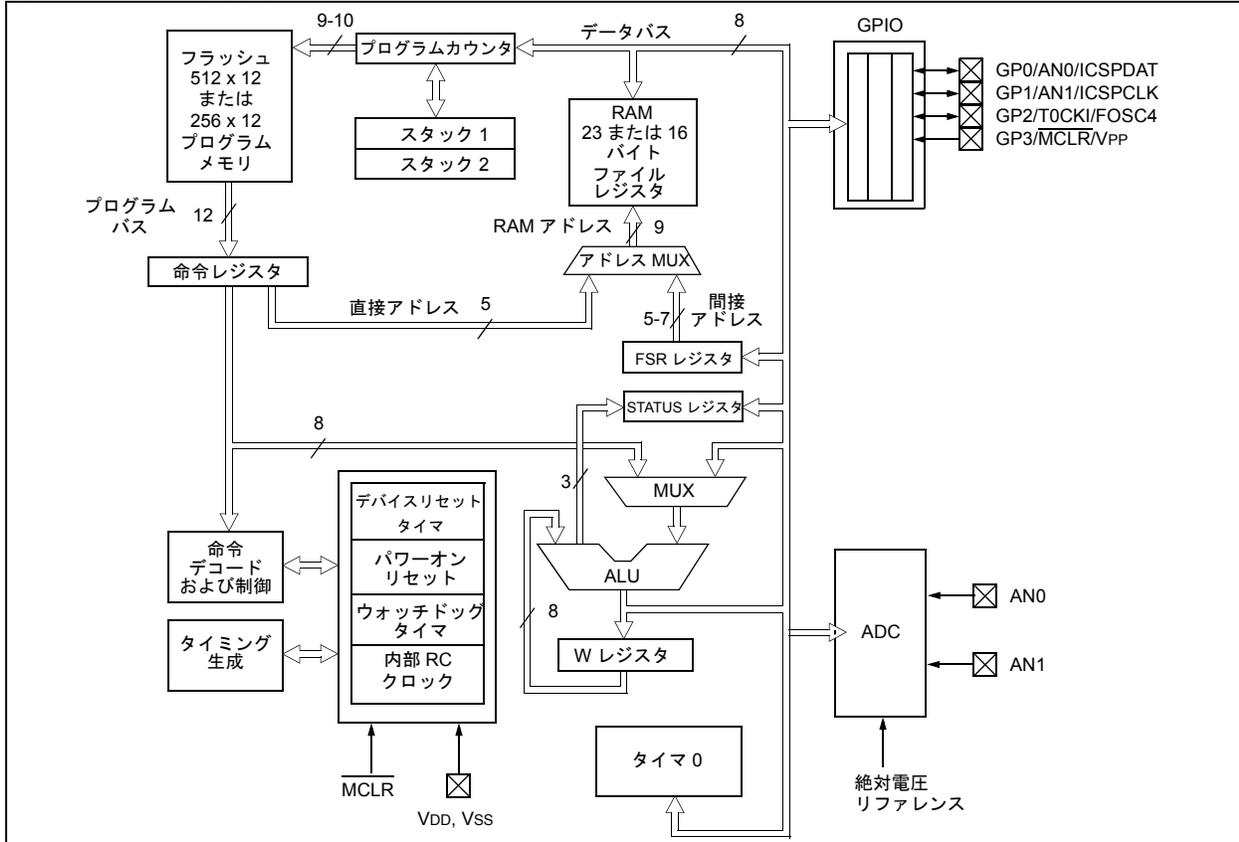


表 3-1: ピンアウトの説明

名前	機能	入力タイプ	出力タイプ	概要
GP0/AN0/ICSPDAT	GP0	TTL	CMOS	双方向の I/O ピン。内部弱プルアップとピン変化によるスリープからのウェイクアップをソフトウェアでプログラム可能
	AN0	AN	—	アナログ入力
	ICSPDAT	ST	CMOS	インサーキットプログラミングのデータ
GP1/AN1/ICSPCLK	GP1	TTL	CMOS	双方向の I/O ピン。内部弱プルアップとピン変化によるスリープからのウェイクアップをソフトウェアでプログラム可能
	AN1	AN	—	アナログ入力
	ICSPCLK	ST	—	インサーキットプログラミングのクロック
GP2/T0CKI/FOSC4	GP2	TTL	CMOS	双方向の I/O ピン
	T0CKI	ST	—	タイマ 0 へのクロック入力
	FOSC4	—	CMOS	発振器 (4 分周出力)
GP3/MCLR/VPP	GP3	TTL	—	入力ピン。内部弱プルアップとピン変化によるスリープからのウェイクアップをソフトウェアでプログラム可能
	MCLR	ST	—	マスタクリア (リセット)。MCLR として構成されている場合、このピンはデバイスへのアクティブ Low (負論理) リセットです。デバイスの通常動作中は、MCLR/VPP の電圧を VDD 以下にしてください。この電圧を超えた場合、デバイスはプログラミングモードに入ります。MCLR として構成されると、弱プルアップが常時オンになります。
	VPP	HV	—	プログラミング電圧入力
VDD	VDD	P	—	ロジックおよび I/O ピン用プラス電源
VSS	VSS	P	—	ロジックおよび I/O ピン用グラウンド

記号の説明: I= 入力、O= 出力、I/O= 入 / 出力、P= 電源、—= 未使用、TTL=TTL 入力、ST= シュミットトリガ入力、AN= アナログ入力

3.1 クロック方式 / 命令サイクル

クロックは内部で四分割され、Q1、Q2、Q3、Q4 という4つの重複しない直角位相クロックが生成されます。内部では、プログラムカウンタ (PC) が Q1 ごとにインクリメントされ、命令がプログラムメモリからフェッチされて Q4 で命令レジスタ (IR) にラッチされます。命令は、その後、Q1 から Q4 の間にデコードおよび実行されます。図 3-2 および例 3-1 には、クロックと命令実行フローが示されています。

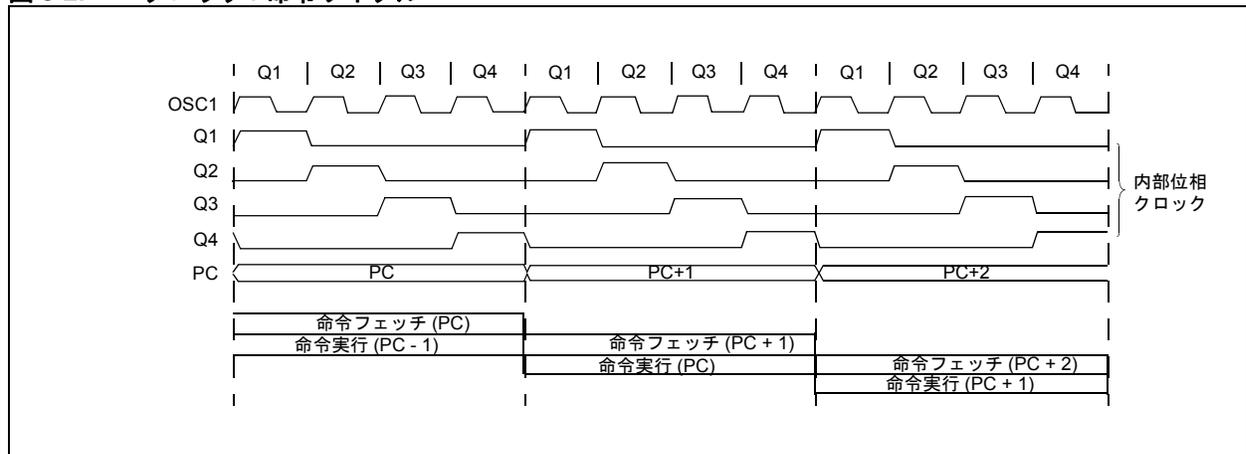
3.2 命令フロー / パイプライン

命令サイクルは、4つのQサイクル(Q1、Q2、Q3、Q4)で構成されています。命令のフェッチと実行はパイプライン処理されます。フェッチには1命令サイクルが必要であり、デコードおよび実行にはさらに1命令サイクルが必要です。しかし、パイプライン処理により、各命令は実質的に1サイクルで実行されます。命令によりプログラムカウンタが変化した場合(GOTOなど)、その命令を完了するには2サイクルが必要になります(例3-1)。

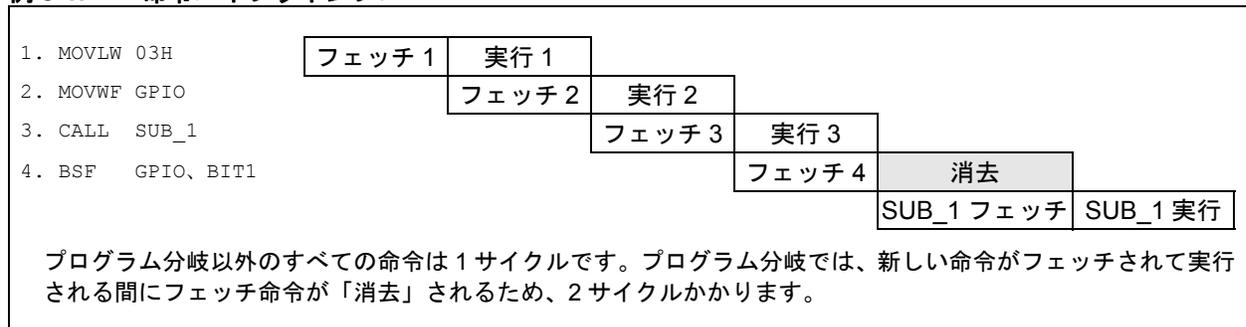
フェッチサイクルは、プログラムカウンタ (PC) による Q1 のインクリメントで始まります。

実行サイクルでは、フェッチされた命令がサイクル Q1 で命令レジスタにラッチされます。次に、この命令は Q2、Q3、Q4 のサイクル中にデコードされ実行されます。データメモリは Q2 サイクル中に読み出され (オペランドの読み出し)、Q4 サイクル中に書き込まれます (結果格納先への書き込み)。

図 3-2: クロック / 命令サイクル



例 3-1: 命令パイプラインフロー



PIC10F220/222

メモ:

4.0 メモリ構成

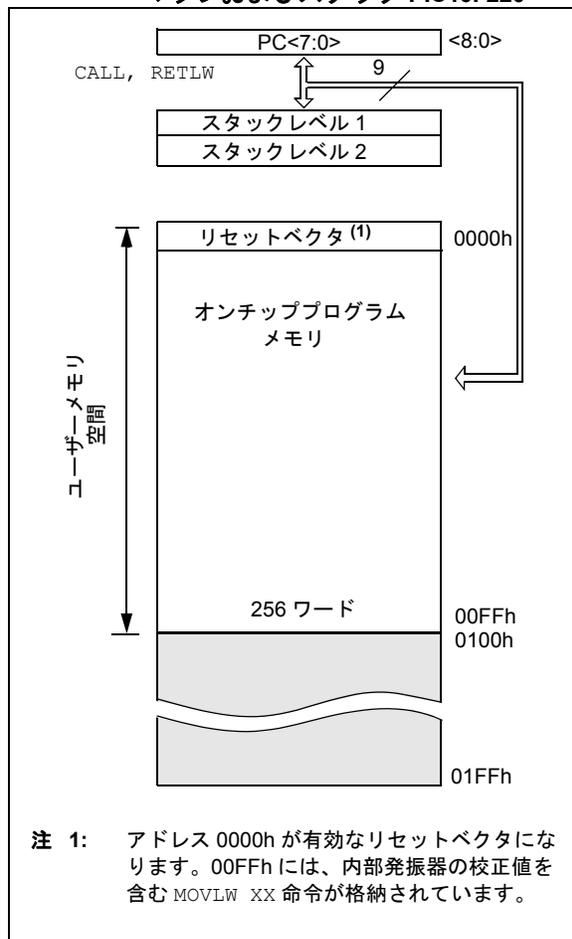
PIC10F220/222 のメモリはプログラムメモリとデータメモリで構成されています。データメモリバンクへのアクセスには、ファイルセレクトレジスタ (FSR) が使用されます。

4.1 PIC10F220 のプログラムメモリ構成

PIC10F220 デバイスには、512 x 12 のプログラムメモリ空間をアドレス指定できる9ビットのプログラムカウンタ (PC) があります。

PIC10F220 の場合、最初の 256 x 12 (0000h-00FFh) のみが物理的に実装されています (図 4-1 参照)。この境界を越える場所にアクセスすると、最初の 256 x 12 空間 (PIC10F220) 内でラップアラウンド (折り返し) が発生します。有効なリセットベクタは 0000h です (図 4-1 参照)。00FFh (PIC10F220) には内部クロック発振器の校正値があります。この値は絶対に上書きしないでください。

図 4-1: PIC10F202/206 のプログラムメモリマップおよびスタック PIC10F220

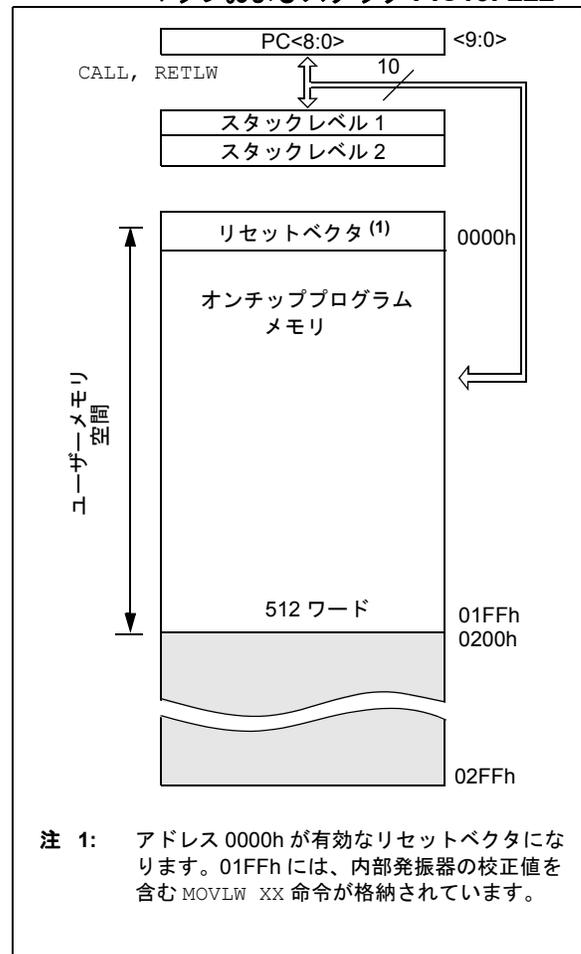


4.2 PIC10F200/204 のプログラムメモリ構成 PIC10F222

PIC10F222 デバイスには、1024 x 12 のプログラムメモリ空間をアドレス指定できる 10 ビットのプログラムカウンタ (PC) があります。

MemHigh の場合、最初の 512 x 12 (0000h-01FFh) のみが物理的に実装されています (図 4-2 参照)。この境界を超える場所にアクセスすると、最初の 512 x 12 空間 (PIC10F222) 内でラップアラウンド (折り返し) が発生します。有効なリセットベクタは 0000h です (図 4-2 参照)。01FFh (PIC10F222) には内部クロック発振器の校正値があります。この値は絶対に上書きしないでください。

図 4-2: PIC10F202/206 のプログラムメモリマップおよびスタック PIC10F222



PIC10F220/222

4.3 データメモリ構成

データメモリはレジスタまたはRAMで構成されています。したがって、デバイスのデータメモリはそのレジスタファイルによって指定されます。レジスタファイルは2つの機能グループに分類されます。1つは特殊機能レジスタ(SFR)で、もう1つは汎用レジスタ(GPR)です。

特殊機能レジスタには、TMR0レジスタ、プログラムカウンタ(PCL)、STATUSレジスタ、I/Oレジスタ(GPIO)、ファイルセレクトレジスタ(FSR)などがあります。また、特殊機能レジスタは、I/Oポートの構成やプリスケアラオプションの制御に使用されます。

汎用レジスタは、命令が発行するコマンドに応じてデータおよび制御情報の格納に使用されます。

PIC10F220の場合、レジスタファイルは9個の特殊機能レジスタと16個の汎用レジスタで構成されています(図4-3、図4-4)。

PIC10F222の場合、レジスタファイルは9個の特殊機能レジスタと23個の汎用レジスタで構成されています(図4-4)。

4.3.1 汎用レジスタファイル

汎用レジスタファイルは、直接またはファイルセレクトレジスタ(FSR)を通して間接的にアクセスされます。セクション4.9「間接データアドレッシング、INDFおよびFSRレジスタ」を参照してください。

図4-3: PIC10F220 レジスタファイルマップ

ファイルアドレス	
00h	INDF ⁽¹⁾
01h	TMR0
02h	PCL
03h	STATUS
04h	FSR
05h	OSCCAL
06h	GPIO
07h	ADCON0
08h	ADRES
09h	実装なし ⁽²⁾
0Fh	汎用 レジスタ
10h	
1Fh	

注 1: 物理的レジスタではありません。セクション4.9「間接データアドレッシング、INDFおよびFSRレジスタ」を参照してください。

注 2: 実装されていません。00hとして読み取られます。

図4-4: PIC10F222 レジスタファイルマップ

ファイルアドレス	
00h	INDF ⁽¹⁾
01h	TMR0
02h	PCL
03h	STATUS
04h	FSR
05h	OSCCAL
06h	GPIO
07h	ADCON0
08h	ADRES
09h	汎用 レジスタ
1Fh	

注 1: 物理的レジスタではありません。セクション4.9「間接データアドレッシング、INDFおよびFSRレジスタ」を参照してください。

4.3.2 特殊機能レジスタ

特殊機能レジスタ(SFR)は、CPUと周辺機能によって使用されるレジスタで、デバイスの動作を制御します(表4-1)。

特殊機能レジスタは2つの種類に分類できます。ここでは、「コア」機能に関連する特殊機能レジスタについて説明します。周辺機能の動作に関連する特殊機能レジスタについては、各周辺機能の項で説明します。

表 4-1: 特殊機能レジスタ (SFR) の一覧

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	パワーオン リセット 時の値 ⁽²⁾	ページ 番号
00h	INDF	FSR の内容を使用してデータメモリをアドレス指定 (物理的レジスタではない)								xxxx xxxx	20
01h	TMR0	8 ビットリアルタイムクロック / カウンタ								xxxx xxxx	25
02h	PCL ⁽¹⁾	PC の下位 8 ビット								1111 1111	19
03h	STATUS	GPWUF	—	—	\overline{TO}	\overline{PD}	Z	DC	C	0--1 1xxx ⁽³⁾	15
04h	FSR	間接データメモリアドレスポインタ								111x xxxx	20
05h	OSCCAL	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	FOSC4	1111 1110	18
06h	GPIO	—	—	—	—	GP3	GP2	GP1	GP0	---- xxxx	21
07h	ADCON0	ANS1	ANS0	—	—	CHS1	CHS0	GO/DONE	ADON	11-- 1100	30
08h	ADRES	A/D 変換の結果								xxxx xxxx	31
該当なし	TRISGPIO	—	—	—	—	I/O 制御レジスタ				---- 1111	23
該当なし	OPTION	\overline{GPWU}	\overline{GPPU}	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111	17

記号の説明: — = 実装なし、「0」として読み取られる。x = 不明。u = 不変。q = 条件により変化する値

- 注 1: プログラムカウンタの上位バイトには直接アクセスできません。このようなビットへのアクセス方法については、セクション 4.7「プログラムカウンタ」を参照してください。
- 2: その他の (電源投入以外) リセットには、MCLR による外部リセット、ウォッチドッグタイマリセット、ピン変化によるウェイクアップリセットがあります。
- 3: その他のリセット指定値については、表 8-1 を参照してください。

4.4 STATUS レジスタ

このレジスタは、ALU の演算状態、リセット状態、ページ選択ビットで構成されます。

STATUS レジスタは、他のすべてのレジスタと同様に、任意の命令の結果格納先になることができます。STATUS レジスタが Z、DC、C のいずれかのビットに影響を及ぼす命令の格納先である場合、これらのビットへの書き込みは無効になります。これらのビットはデバイスのロジックに従って設定またはクリアされます。また、 \overline{TO} および \overline{PD} ビットは書き込みできません。したがって、STATUS レジスタを格納先とする命令の結果は予想と異なる場合があります。

例えば、CLRF STATUS は上位 3 ビットをクリアし、Z ビットをセットします。これにより、STATUS レジスタは 000u u1uu (u = 不変) のままになります。

したがって、STATUS レジスタを変更する際の命令には、BCF、BSF、MOVWF のみを使用することを推奨します。これらの命令は STATUS レジスタの Z、DC、C ビットのいずれにも影響を及ぼしません。STATUS ビットに影響を及ぼすその他の命令については、「命令セット概要」を参照してください。

4.5 OPTION レジスタ

OPTION レジスタは 8 ビット幅の書き込み専用レジスタであり、タイマ 0/WDT プリスケーラおよびタイマ 0 を設定する各種のコントロールビットで構成されます。

OPTION レジスタはメモリマッピングされないため、このレジスタにアクセスできるのは OPTION 命令を実行する場合だけです (これにより W レジスタの内容が OPTION レジスタに転送されます)。リセットでは、OPTION<7:0> ビットが設定されます。

注: TRIS ビットが「0」に設定されると、ピン変化によるウェイクアップ機能とプルアップ機能がそのピンに関して無効になります (TRIS が GPPU と GPWU の OPTION 制御を無効にする)。

注: TOCS ビットが「1」に設定されると、TOCKI ピンの TRIS 機能が無効になります。

レジスタ 4-2: OPTION レジスタ

W-1	W-1	W-1	W-1	W-1	W-1	W-1	W-1
GPWU	GPPU	TOCS	TOSE	PSA	PS2	PS1	PS0
ビット 7							ビット 0

記号の説明:

R = 読み出し可 W = 書き込み可 U = ビットの実装なし。「0」として読み取られる
 -n = POR 時の値 「1」 = ビットが設定される 「0」 = ビットがクリアされる x = 不明

ビット 7 **GPWU:** ピン変化によるウェイクアップ有効化ビット (GP0、GP1、GP3)

- 1 = 無効
- 0 = 有効

ビット 6 **GPPU:** 弱プルアップビット (GP0、GP1、GP3)

- 1 = 無効
- 0 = 有効

ビット 5 **TOCS:** タイマ 0 クロックソース選択ビット

- 1 = TOCKI ピンでの遷移 (TOCKI ピンの TRIS を上書きする)
- 0 = 内部命令サイクルクロックでの遷移、Fosc/4

ビット 4 **TOSE:** タイマ 0 ソースエッジ選択ビット

- 1 = TOCKI ピンでの High から Low への遷移でインクリメント
- 0 = TOCKI ピンでの Low から High への遷移でインクリメント

ビット 3 **PSA:** プリスケーラ割り当てビット

- 1 = プリスケーラを WDT に割り当て
- 0 = プリスケーラをタイマ 0 に割り当て

ビット 2-0 **PS<2:0>:** プリスケーラレート選択ビット

ビット値	タイマ 0 レート	WDT レート
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

PIC10F220/222

4.6 OSCCAL レジスタ

発振器校正(OSCCAL)レジスタは、内部精密4/8 MHz 発振器を校正するために使用されます。このレジスタには、校正用の7つのビットが含まれています。

注： デバイスを消去すると、内部発振器用に事前にプログラムされている内部校正值も消去されます。後で正しく再プログラムできるように、消去の前に校正值を読み出ししておく必要があります。

校正定数を入れた後には、その値を変更しないでください。セクション 8.2.2 「内部 4MHz/8MHz 発振器」を参照してください。

レジスタ 4-3: OSCCAL - 発振器校正レジスタ (アドレス :05h)

R/W-1	R/W-0						
CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	FOSC4
ビット 7							ビット 0

記号の説明：

R = 読み出し可 W = 書き込み可 U = ビットの実装なし。「0」として読み取られる
-n = POR 時の値 「1」 = ビットが設定される 「0」 = ビットがクリアされる x = 不明

ビット 7-1 **CAL<6:0>**: 発振器校正ビット

01111111 = 最大周波数

•

•

•

0000001

0000000 = 中心周波数

11111111

•

•

•

1000000 = 最小周波数

ビット 0 **FOSC4**: INTOSC/4 出力イネーブルビット (1)

1 = GP2 への INTOSC/4 出力

0 = GP2 に適用される GP2/T0CKI

注 1: 有効になっている場合、GP2/T0CKI 制御レジスタよりも優先されます。

4.7 プログラムカウンタ

任意のプログラム命令が実行されると、その次に実行されるプログラム命令のアドレスが、プログラムカウンタ (PC) に入ります。命令が PC を変更しない限り、PC 値は各命令サイクルごとに1ずつ増えます。

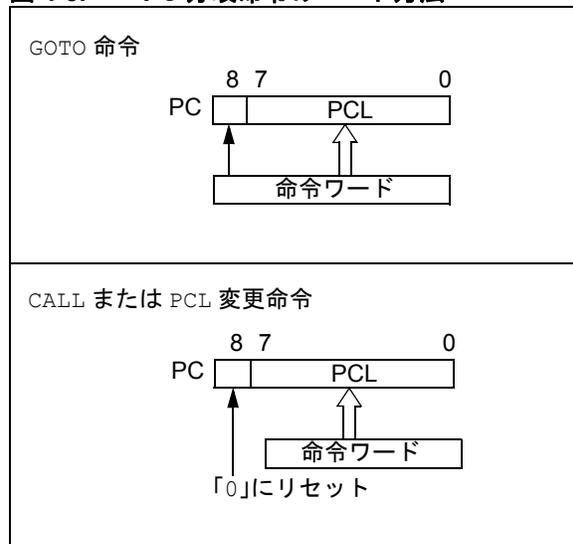
GOTO 命令の場合、GOTO 命令ワードから PC のビット 8:0 が与えられます。PC ラッチ (PCL) は PC<7:0> にマッピングされます。

CALL 命令または PCL が格納先である命令の場合、PC のビット 7:0 が再び命令ワードから与えられます。ただし、PC<8> は命令ワードによるものではありませんが、常にクリアされます (図 4-5)。

PCL が格納先である命令または PCL 変更命令には、MOVWF PC、ADDWF PC、BSF PC、5 があります。

注: PC<8> は CALL 命令または PCL 変更命令でクリアされるため、すべてのサブルーチンコールまたは計算ジャンプはプログラムメモリページ (512 ワード長) の最初の 256 ロケーションに限定されます。

図 4-5: PC 分岐命令のロード方法



4.7.1 リセットの影響

プログラムカウンタ (PC) はリセットと同時にセットされます。したがって、PC はプログラムメモリの最終アドレス (つまり、発振器の校正命令) を指定することになります。MOVLW XX の実行後、PC は 0000h にロールオーバーして、ユーザーコードの実行を開始します。

4.8 スタック

PIC10F220 デバイスには、深さ 2 レベルの 8 ビット幅ハードウェアプッシュ/ポップスタックがありません。

PIC10F222 デバイスには、深さ 2 レベルの 9 ビット幅ハードウェアプッシュ/ポップスタックがありません。

CALL 命令が実行されると、スタックレベル 1 の現在値がスタックレベル 2 にプッシュされた後、PC の現在値が (1 つインクリメントされて) スタックレベル 1 にプッシュされます。CALL が 3 回以上連続して実行された場合、プッシュされたリターンアドレスのうち最後の 2 つだけがスタックに保持されます。

RETLW 命令が実行されると、スタックレベル 1 の内容が PC にポップされた後、スタックレベル 2 の内容がスタックレベル 1 にコピーされます。RETLW が 3 回以上連続して実行された場合、その直前にスタックレベル 2 に格納されていたアドレスが、両方のスタックレベルに格納されます。

- 注**
- 1: W レジスタには、命令で指定されたリテラル値がロードされます。これは、プログラムメモリ内でのデータルックアップテーブルの実装に特に役立ちます。
 - 2: スタックオーバーフローまたはスタックアンダーフローの状態を示す STATUS ビットはありません。
 - 3: PUSH または POP と呼ばれる命令モニタックはありません。これらは、CALL 命令と RETLW 命令の実行によって発生する処理です。

4.9 間接データアドレッシング、INDF および FSR レジスタ

INDF レジスタは物理的には存在しないレジスタです。INDF のアドレス指定は、実際には FSR レジスタにアドレスが含まれているレジスタのアドレスを指定することになります (FSR はポインタ)。このため、間接アドレッシングと呼ばれます。

4.9.1 間接アドレッシング

- レジスタファイル 09 には値 10h が含まれています
- レジスタファイル 0A には値 0Ah が含まれています
- 値 09 を FSR レジスタにロードします
- INDF レジスタの読み出しで 10h の値が返されます
- FSR レジスタの値を 1 ずつインクリメントします (FSR = 0A)
- INDR レジスタの読み出しで 0Ah の値が返されます

INDF 自体の間接的な読み出しでは (FSR = 0)、00h が生成されます。INDF レジスタへの間接的な書き込みでは、何の動作も発生しません (ただし、STATUS ビットが影響を受けることがあります)。

例 4-1 に、間接アドレッシングを使用して RAM ロケーション 10h ~ 1Fh をクリアする簡単なプログラムを示します。

例 4-1: 間接アドレッシングを使用した RAM の初期化

```

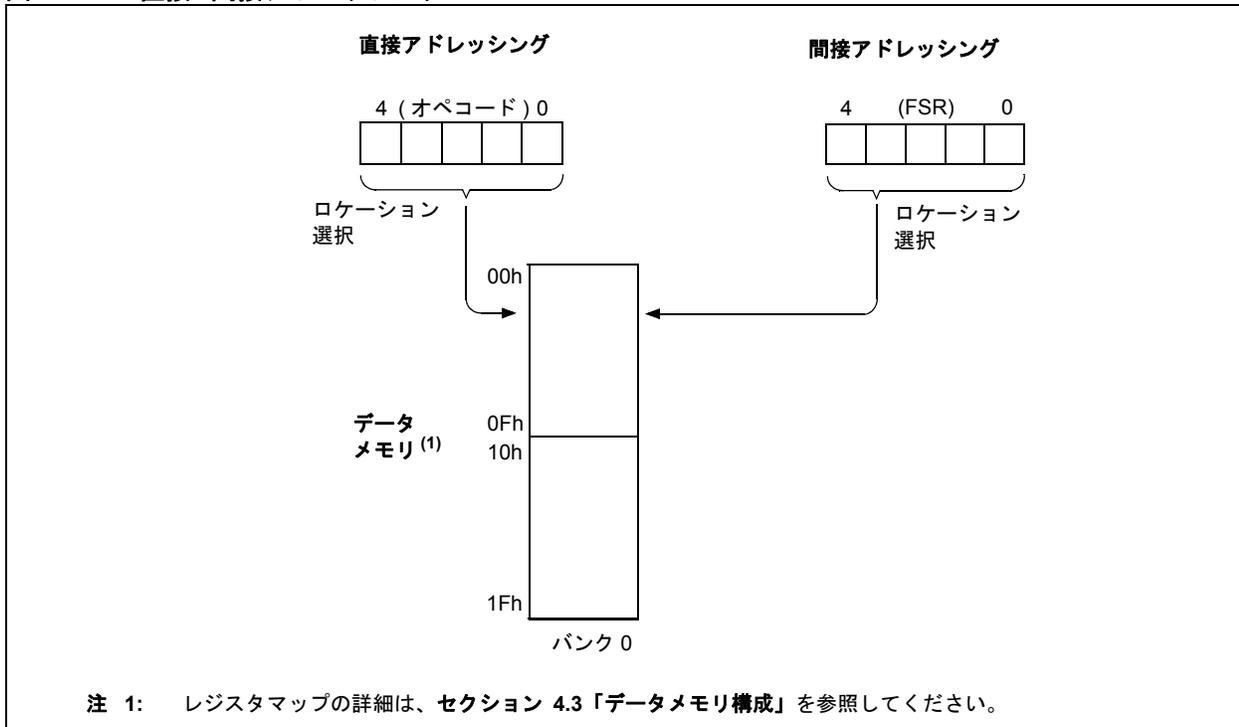
MOV LW 0x10 ;initialize pointer
MOV WF FSR ;to RAM
NEXT   CLR F INDF ;clear INDF
       ;register
       INC F FSR,F ;inc pointer
       BT FSC FSR,4 ;all done?
       GOTO NEXT ;NO, clear next
CONTINUE
      : ;YES, continue
      :
```

FSR は 5 ビット幅のレジスタです。INDF レジスタと併用して、データメモリ領域のアドレスを間接的に指定します。

データメモリアドレス 00h ~ 1Fh を選択する場合には、FSR<4:0> ビットが使用されます。

注: バンキングを使用しないでください。FSR <7:5> は実装されておらず、「1」の連続として読み取られます。

図 4-6: 直接 / 間接アドレッシング



5.0 I/O ポート

他のすべてのレジスタと同様に、I/O レジスタもプログラム制御で書き込みと読み出しが可能です。ただし、読み出し命令 (MOVWF GPIO, W など) では、ピンの入出力モードに関係なく、常に I/O ピンが読み出されます。リセット時には、I/O 制御レジスタがすべてセットされているため、すべての I/O ポートが入力 (入力はハイインピーダンス) として定義されます。

5.1 GPIO

GPIO は 8 ビットの I/O レジスタです。下位 4 ビットのみが使用されます (GP<3:0>)。ビット 7 から 4 は実装されていないので、「0」として読み取られます。GP3 は入力専用ピンである点に注意してください。ピン GP0、GP1、GP3 は弱プルアップおよび変化によるウェイクアップを設定できます。変化によるウェイクアップおよび弱プルアップ機能はピンごとに選択可能ではありません。GP3/MCLR が MCLR として構成されている場合、弱プルアップはコンフィグレーションワードで有効にすることができます。GP3 を MCLR として構成すると、このピンでの変化によるウェイクアップ機能は無効になります。

5.2 TRIS レジスタ

出力ドライバ制御レジスタには、TRIS f 命令の実行によって W レジスタの内容がロードされます。TRIS レジスタのビットが「1」のとき、対応する出力ドライバはハイインピーダンスモードになります。「0」の場合、選択したピンに出力データラッチの内容が反映されて、出力バッファが有効になります。入力専用の GP3 と、さまざまなレジスタによって制御される GP2/T0CKI/FOSC4 ピンは例外です。表 5-1 を参照してください。

注： ポートの読み出しではピンが読み出されません。出力データラッチは読み出されません。したがって、任意のピンの出力ドライバが有効で High になっていても、外部システムがそのピンを Low に保持している場合は、ポートを読み出せばピンが Low であるとわかります。

TRIS レジスタは「書き込み専用」レジスタで、リセット時にセットされます (出力ドライバ無効)。

5.3 I/O インタフェース

I/O ポートピンの等価回路が図 5-1 に示されています。入力専用の GP3 を除くすべてのポートピンは、入力および出力の両方に使用できます。入力の場合、これらのピンはラッチなしです。入力、入力命令 (MOVWF GPIO, W など) によって読み出されるまで存在していなければなりません。出力はラッチされ、出力ラッチが再度書き込まれるまで変わりません。ポートピンを出力として使用するには、対応する TRIS の方向制御ビットをクリアする必要があります (= 0)。入力として使用するには、対応する TRIS ビットを設定する必要があります。どの I/O ピン (GP3 以外) も入力または出力として個別にプログラムできます。

図 5-1: I/O ピンの等価回路

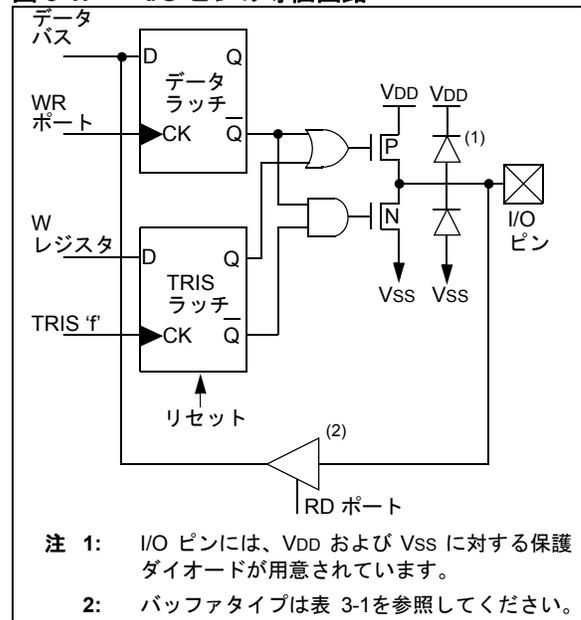


表 5-1: ピン機能の優先順位

優先順位	GP0	GP1	GP2	GP3
1	AN0	AN1	FOSC4	MCLR
2	TRIS GPIO	TRIS GPIO	T0CKI	—
3	—	—	TRIS GPIO	—

表 5-2: ピンをデジタルモードで使用可能にするための条件

ビット	GP0	GP1	GP2	GP3
FOSC4	—	—	0	—
T0CS	—	—	0	—
ANS1	—	0	—	—
ANS0	0	—	—	—
MCLRE	—	—	—	0

記号の説明: — = ビットの状態は、デジタルモードへのピンの設定に対して全く影響しません。

PIC10F220/222

図 5-2: GP0 および GP1 のブロック図

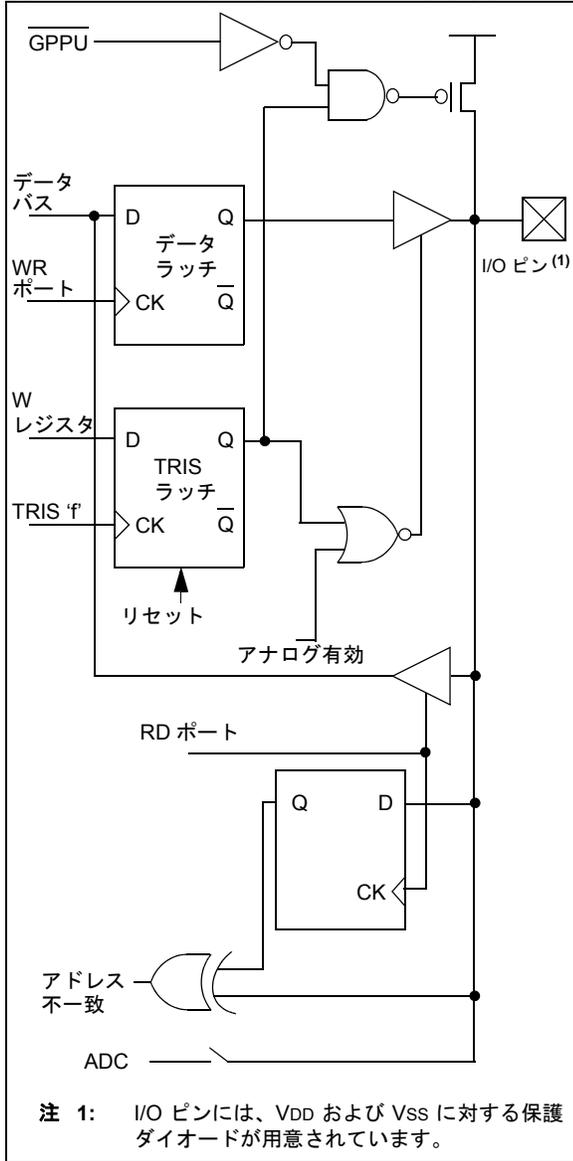


図 5-3: GP2 のブロック図

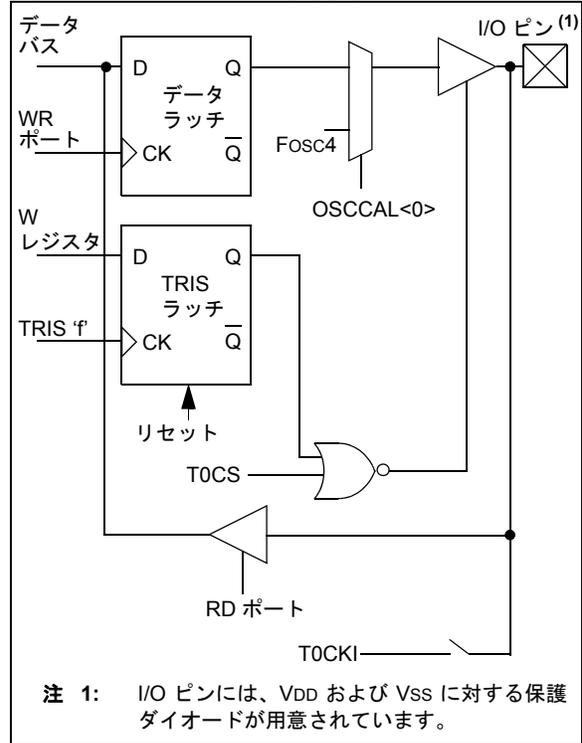


図 5-4: GP3 のブロック図

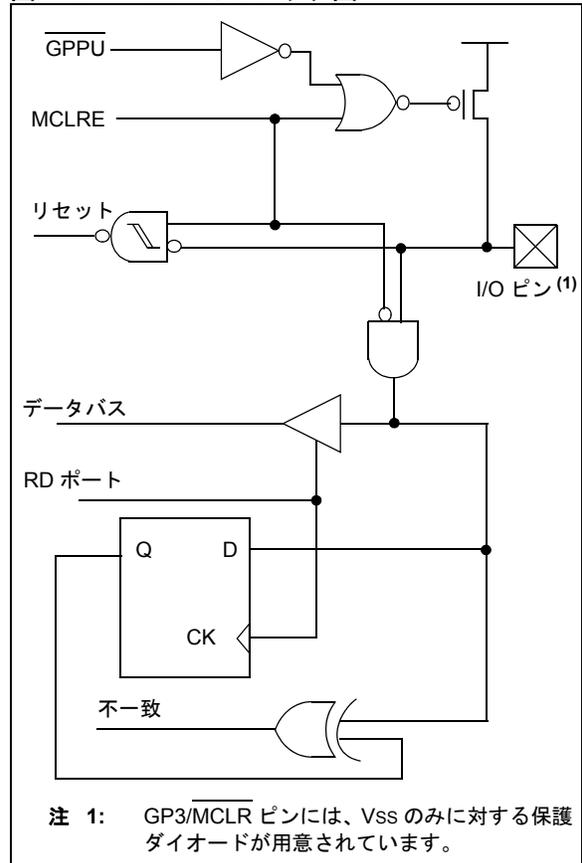


表 5-3: ポートレジスタの一覧

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	パワーオン リセット 時の値	その他すべての リセット時の値
該当なし	TRISGPIO	—	—	—	—	I/O 制御レジスタ				---- 1111	---- 1111
該当なし	OPTION	GPWU	GPPU	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
03h	STATUS	GPWUF	—	—	TO	PD	Z	DC	C	0001 1xxx	q00q quuu ⁽¹⁾
06h	GPIO	—	—	—	—	GP3	GP2	GP1	GP0	---- xxxx	---- uuuu

記号の説明: 網掛け部分はポートレジスタでは使用されないため、「0」として読み取られます。-= 実装なし、「0」として読み取られる。x=不明。u=不変。q=条件により異なる

注 1: リセットの原因がピン変化によるウェイクアップだった場合、ビット7=1 その他のリセットでは、ビット7=0

5.4 I/O プログラミングの注意点

5.4.1 双方向 I/O ポート

命令の中には、内部で読み出しの後に書き込みを行うものがあります。例えば、BCF および BSF 命令はポート全体を CPU に読み込み、ビット演算を実行して、結果を再度書き込みます。このような命令を1本以上のピンが入出力の両方に使用されるポートに適用する場合には、注意が必要です。たとえば、GPIO のビット 2 に BSF が適用されると、GPIO の8つすべてのビットが CPU に読み込まれ、ビット 2 が設定されて、GPIO 値が出力ラッチに書き込まれます。GPIO の別のビットが双方向 I/O ピン (仮にビット 0 とする) として使用され、この時点で入力として定義されている場合、そのピン自体の入力信号が CPU に読み込まれ、このピンのデータラッチに再度書き込まれて、前の内容を上書きしてしまいます。ピンが入力モードになっている間は、問題ありません。しかし、後でビット 0 が出力モードに切り替わると、データラッチの内容が不明になることがあります。

例 5-1 は、I/O ポートに2つの連続する読み出し - 変更 - 書き込み命令 (BCF、BSF など) が適用された場合の結果を示しています。

High または Low を出力しているピンに対しては、このピンのレベルを変更する目的で外部デバイスからのドライブを同時に行わないでください (「ワイヤード OR」、「ワイヤード AND」)。この結果発生する高出力電流により、チップが損傷するおそれがあります。

例 5-1: I/O ポートでの読み出し - 変更 - 書き込み命令

```

;Initial GPIO Settings
;GPIO<3:2> Inputs
;GPIO<1:0> Outputs
;
;          GPIO latch   GPIO pins
;          -----
BCF  GPIO,  1 ;---- pp01   ---- pp11
BCF  GPIO,  0 ;---- pp10   ---- pp11
MOVLW 007h;
TRIS  GPIO  ;---- pp10   ---- pp11
;

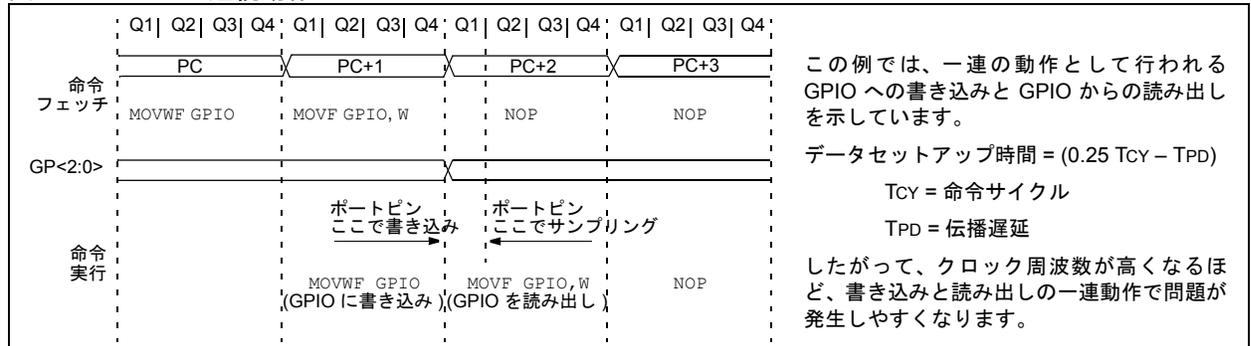
```

注: ユーザーはピン値として ---- pp00 を予想していた可能性があります。2つ目の BCF で、GP1 はピン値 (High) としてラッチされました。

5.4.2 I/O ポートの連続動作

I/O ポートへの実際の書き込みは、命令サイクルの最後に行われますが、読み出しについては、命令サイクルの開始時点でデータが有効でなければなりません (図 5-5)。したがって、同じ I/O ポートで書き込みの後に読み出しが行われる場合、注意が必要です。連続する命令では、次の命令によってそのファイルが CPU に読み込まれる前に、ピン電圧が安定できる (負荷によって異なる) ようにする必要があります。この状況が実現できないと、新しい状態ではなく、そのピンの前の状態が CPU に読み込まれる可能性があります。不確かな場合、NOP など、この I/O ポートにアクセスしない命令を使って、連続する命令を切り離れた方が無難です。

図 5-5: I/O の連続動作



PIC10F220/222

メモ:

6.0 タイマ0 モジュールと TMR0 レジスタ

タイマ0 モジュールには以下の機能があります。

- 8ビットタイマ/カウンタレジスタ、TMR0
- 読み取りおよび書き込み可能
- ソフトウェアプログラマブル 8ビットプリスケアラ
- 内部または外部クロック選択
 - 外部クロック用エッジ選択

図 6-1はタイマ0モジュールの概略ブロック図です。

T0CS ビット (OPTION<5>) をクリアすると、タイマモードが選択されます。タイマモードの場合、タイマ0モジュールは命令サイクルごとにインクリメントします (プリスケアラなし)。TMR0 レジスタに書き込まれると、以降の2サイクル (図 6-2 および図 6-3)の間はインクリメントが禁止されます。この状況を回避するには、TMR0 レジスタに調整値を書き込みます。

T0CS ビット (OPTION<5>) を設定すると、カウンタモードが選択されます。このモードの場合、T0CKI ピンの立ち上がりエッジまたは立ち下がりエッジごとにインクリメントします。T0SE ビット (OPTION<4>) はソースエッジを決定します。T0SE ビットをクリアすると、立ち上がりエッジが選択されます。外部クロック入力の制限については、**セクション 6.1 「外部クロックによるタイマ0の使用法」**で詳しく説明します。

プリスケアラはタイマ0モジュールまたはウォッチドッグタイマのいずれか一方で使用できますが、両方で使用することはできません。プリスケアラの割り当ては、コントロールビット PSA (OPTION<3>) によりソフトウェアで制御されます。PSA ビットをクリアすると、プリスケアラはタイマ0に割り当てられます。プリスケアラは読み取り、書き込みのいずれもできません。プリスケアラをタイマ0モジュールに割り当てると、プリスケール値を 1:2、1:4、1:256の中から選択できます。プリスケアラの動作については、**セクション 6.2 「プリスケアラ」**に詳しい説明があります。

表 6-1には、タイマ0モジュール関連レジスタの一覧が示されています。

図 6-1: タイマ0 ブロック図

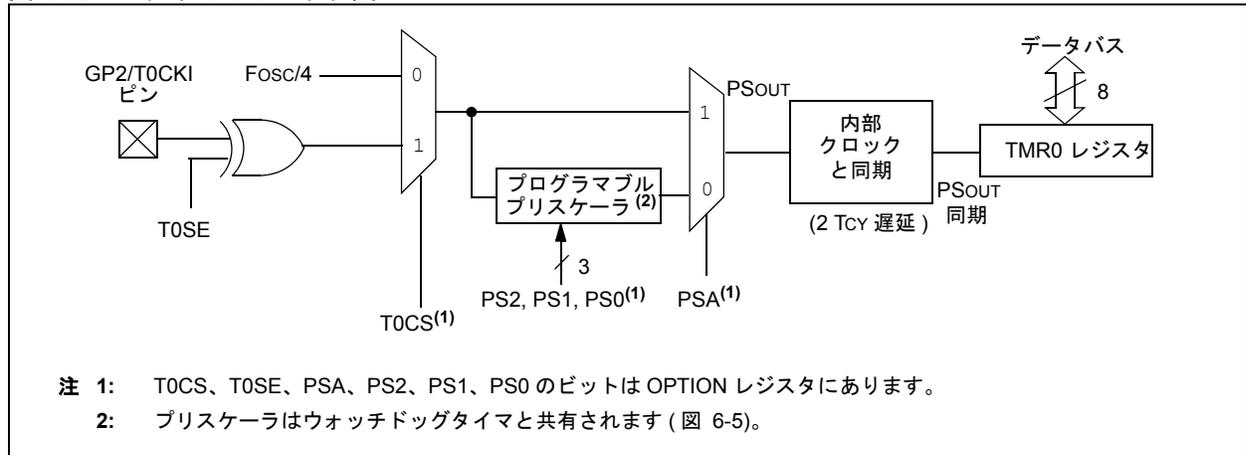
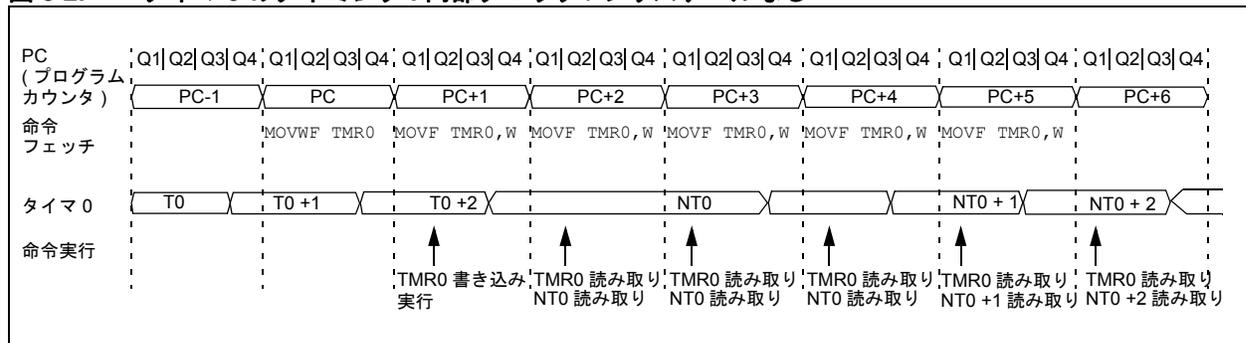


図 6-2: タイマ0のタイミング: 内部クロック/プリスケールなし



PIC10F220/222

図 6-3: TIMER0 のタイミング: 内部クロック / プリスケール 1:2

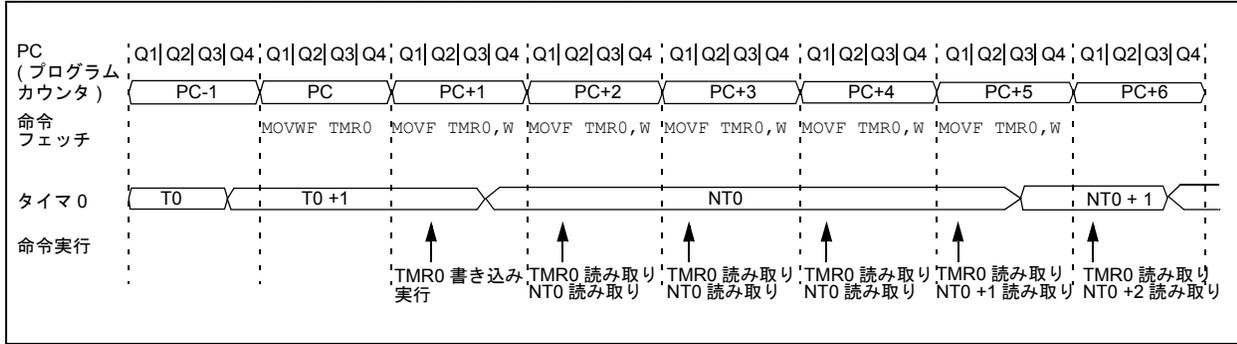


表 6-1: タイマ 0 と関連するレジスタ

アドレス	名前	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	パワーオン リセット 時の値	その他すべて のリセット時 の値
01h	TMR0	タイマ 0 - 8 ビットリアルタイムクロック / カウンタ								xxxx xxxx	uuuu uuuu
該当なし	OPTION	GPWU	GPPU	TOCS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
該当なし	TRISGPIO ⁽¹⁾	—	—	—	—	I/O 制御レジスタ			---- 1111	---- 1111	

記号の説明: 網掛け部分はタイマ 0 では使用されません。- = 実装なし、x = 不明、u = 不変

注 1: TOCS = 1 の場合、TOCKI ピンの TRIS は無効です。

6.1 外部クロックによるタイマ 0 の使用方法

タイマ 0 に外部クロック入力を使用する場合は、一定の要件を満たす必要があります。外部クロックの要件は、内部位相クロック (Tosc) と同期するためのものです。また、同期後には、タイマ 0 の実際のインクリメントに遅延が発生します。

6.1.1 外部クロック同期

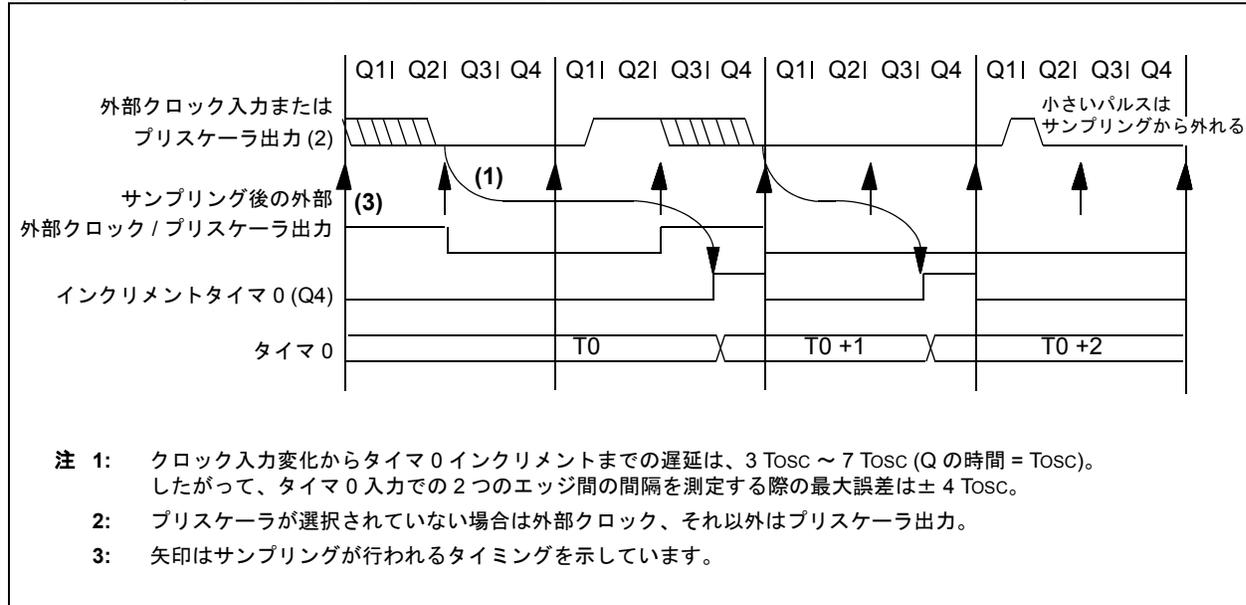
プリスケラを使用しない場合、外部クロック入力はプリスケラ出力と同じです。TOCKI と内部位相クロックとの同期は、内部位相クロックの Q2 および Q4 サイクルでプリスケラ出力をサンプリングすることによって実現されます (図 6-4)。したがって、TOCKI には、High の状態が 2 Tosc 以上 (および 2 Tt0H の微少 RC 遅延)、Low の状態が 2 Tosc 以上 (および 2 Tt0H の微少 RC 遅延) が必要です。目的のデバイスの電氣的仕様を参照してください。

プリスケラを使用する場合、プリスケラ出力が対称になるように、外部クロック入力は非同期リップルカウンタ型プリスケラによって分周されます。外部クロックがサンプリング要件を満たすためには、リップルカウンタを考慮に入れる必要があります。したがって、TOCKI には、最低でも 4 Tosc をプリスケラ値で除算した周期 (および 4 Tt0H の微少 RC 遅延) が必要です。TOCKI の High 時間と Low 時間に関する唯一の要件は、Tt0H という最小パルス幅要件を遵守しなければならないことです。目的のデバイスの電氣的仕様のパラメータ 40、41、42 を参照してください。

6.1.2 タイマ0のインクリメントの遅延

プリスケアラ出力は内部クロックと同期するため、外部クロックエッジの発生時間からタイマ0モジュールが実際にインクリメントする時間までにわずかな遅延が存在します。図6-4は、外部クロックのエッジからタイマのインクリメントまでの遅延を示しています。

図6-4: 外部クロックによるタイマ0のタイミング



6.2 プリスケアラ

タイマ0モジュールのプリスケアラまたはウォッチドッグタイマ (WDT) のポストスケアラとして、8ビットカウンタが使用できます (セクション 8.6 「ウォッチドッグタイマ (WDT)」参照)。本書では、わかりやすくするために、このカウンタを「プリスケアラ」と呼んでいます。

注: プリスケアラはタイマ0モジュールまたはウォッチドッグタイマのいずれか一方で使用できますが、両方で使用することはできません。したがって、タイマ0モジュールにプリスケアラが割り当てられている場合、WDT用のプリスケアラはありません。逆の場合も同様です。

タイマ0モジュールに割り当てられると、TMR0レジスタに書き込む命令 (CLRf 1, MOVWF 1, BSF 1, x など) では、常にプリスケアラがクリアされます。WDTに割り当てられている場合、CLRWDt命令によりプリスケアラとWDTがクリアされます。プリスケアラは読み取り、書き込みのいずれもできません。リセット時には、プリスケアラの値はすべて「0」になります。

PSA および PS<2:0> ビット (OPTION<3:0>) は、プリスケアラの割り当てとプリスケール比を決定します。

PIC10F220/222

6.2.1 プリスケーラ割り当ての切り替え

プリスケーラの割り当ては完全にソフトウェアで制御されます(プログラム実行中にその場で変更できます)。意図しないデバイスリセットを回避するには、プリスケール割り当てをタイマ0からWDTに変更するとき以下の命令シーケンス(例 6-1)を実行する必要があります。

例 6-1: プリスケーラの変更(タイマ0 → WDT)

```

CLRWDWT      ;Clear WDT
CLRFB  TMR0  ;Clear TMR0 & Prescaler
MOVLW  '00xx1111'b;These 3 lines (5, 6, 7)
OPTION       ;are required only if
             ;desired
CLRWDWT      ;PS<2:0> are 000 or 001
MOVLW  '00xx1xxx'b;Set Postscaler to
OPTION       ;desired WDT rate
    
```

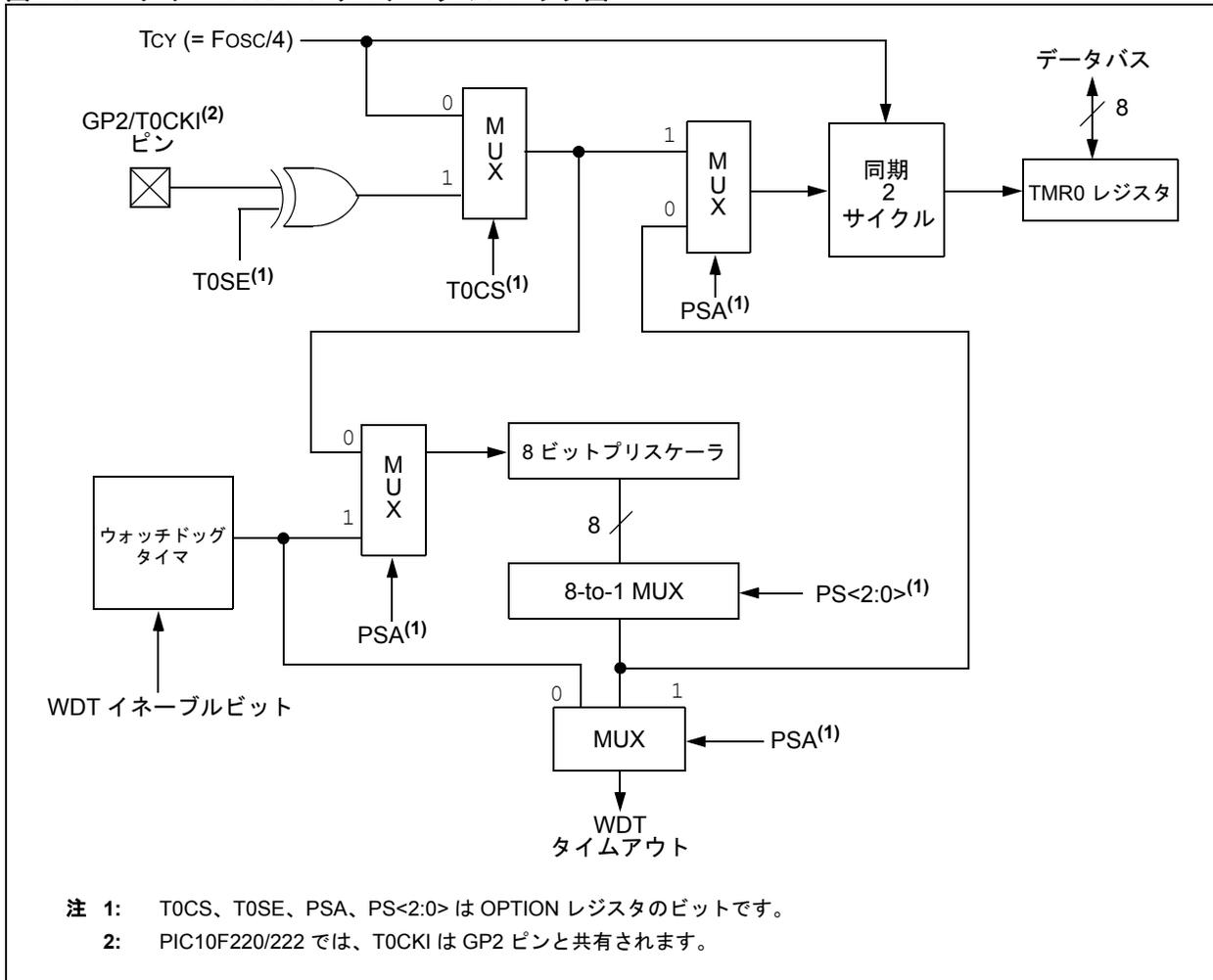
プリスケーラを WDT からタイマ0 モジュールに変更するには、例 6-2 のシーケンスを使用します。このシーケンスは WDT が無効になっている場合にも使用する必要があります。プリスケーラを切り替える前に、CLRWDWT 命令を実行してください。

例 6-2: プリスケーラの変更(WDT → タイマ0)

```

CLRWDWT      ;Clear WDT and
             ;prescaler
MOVLW  'xxxx0xxx' ;Select TMR0, new
             ;prescale value and
             ;clock source
OPTION
    
```

図 6-5: タイマ0/WDT プリスケーラのブロック図



7.0 A/D コンバータ

A/D コンバータを使用すると、アナログ信号を 8 ビットのデジタル信号に変換できます。

7.1 クロック分周比

A/D コンバータのクロックソース設定には、INTOSC/4 の 1 つだけが利用されます。A/D コンバータでは、変換を完了するために 13 TAD 周期が必要です。分周比の値は、変換の実行に必要な TAD 周期の数には影響しません。分周比の値により、TAD 周期の長さが決定されます。

注： クロック分周比が固定されているため、変換は 13 回の CPU 命令サイクルで完了します。

7.2 電圧リファレンス

設計上、A/D コンバータでは外部電圧リファレンスを使用することができません。A/D コンバータのリファレンス電圧は常に VDD です。

7.3 アナログモードの選択

ピンをアナログ入力用として構成するには、ANS<1:0> ビットを使用します。リセットが発生すると、ANS<1:0> はデフォルトの 11 になります。その結果、ピン AN0 および AN1 がアナログ入力として構成されます。アナログ入力ピンとして構成されたピンをデジタル入力に使用することはできません。ユーザーは、変換の実行中に ANS ビットを変更してはいけません。ANS ビットは ADON の状態とは無関係に有効です。

7.4 A/D コンバータのチャンネル選択

A/D コンバータによってサンプリングされるアナログチャンネルを選択するには、CHS ビットを使用します。変換中に CHS ビットを変更しないでください。アナログ信号を取り込むには、CHS ビットによるチャンネル選択が、ANS ビットによるピン選択と矛盾しないようにする必要があります。内部絶対電圧リファレンスは、ANS ビットの状態に関係なく選択できます。デバイスがスリープ状態に入ると、すべてのチャンネル選択情報が失われます。

注： アナログ入力として選択されているチャンネルがない場合でも、ADON ビットがセットされると、A/D コンバータモジュールは電力を消費します。アプリケーションを低消費電力にするため、A/D コンバータ未使用時には ADON ビットをクリアすることを推奨します。

7.5 GO/DONE ビット

GO/DONE ビットは、変換状態の特定、変換開始、実行中の変換の手動停止に使用します。GO/DONE ビットをセットすると、変換が開始されます。変換が完了すると、A/D コンバータモジュールが GO/DONE ビットをクリアします。変換の実行中に GO/DONE ビットを手動でクリアすると、変換を停止することができます。変換を手動で停止した場合、部分的な変換データが ADRES に格納されることがあります。

デバイスがスリープ状態に入ると、GO/DONE ビットがクリアされ、実行中の変換が停止します。A/D コンバータには専用の発振器がないため、システムクロックに基づいて動作します。

ADON がクリアされている場合、GO/DONE ビットをセットできません。

7.6 スリープ

A/D コンバータには専用の A/D コンバータクロックがないため、スリープ状態では変換を実行できません。変換の実行中にスリープコマンドが実行された場合、GO/DONE および ADON ビットがクリアされます。この場合、実行中のすべての変換が停止し、A/D コンバータモジュールの電源がオフになって、電力消費が抑制されます。変換処理の仕組み上、部分的な変換データが ADRES に格納されることがあります。スリープ状態に入る前に 1 ビット以上が変換済みであれば、ADRES に部分的な変換データが格納されます。CHS ビットはデフォルトの状態にリセットされ、CHS<1:0> は 11 になります。

変換を正確に実行するには、TAD が以下の条件を満たしている必要があります。

- $500 \text{ ns} < TAD < 50 \text{ } \mu\text{s}$
- $TAD = 1/(\text{FOSC} / \text{分周比})$

表 7-1: スリープおよびウェイクが ADCON0 に及ぼす影響

	ANS1	ANS0	CHS1	CHS0	GO/DONE	ADON
スリープ前	x	x	x	x	0	0
スリープ中	x	x	x	x	1	1
スリープ移行時	不変	不変	1	1	0	0
ウェイク	1	1	1	1	0	0

7.7 アナログ変換結果レジスタ

ADRES レジスタには、最後に実行された変換の結果が格納されています。この結果は、アナログ変換処理の次のサンプリング周期の間はクリアされません。次のサンプリング周期が完了したときに、ADRES がクリアされます (= 0)。その後、右シフトにより先頭値 (1) が ADRES に格納されます。これは内部変換完了ビットの役割を果たします。重みを表現するビットが MSb から順に変換処理されるたびに、先頭値 (1) は右シフトされ、変換で得られたビットが ADRES に格納されます。先頭値 (1) が合計 9 回右シフトされると、変換は完了です。先頭値 (1) はレジスタからシフトアウトされ、GO/DONE ビットはクリアされます。

変換中にソフトウェアによって GO/DONE ビットがクリアされると、変換は停止します。このとき、ADRES に格納されるデータは部分的な変換結果です。このデータは、変換済みのビット (重み) については有効です。変換が完了したビットの数は、先頭値 (1) の位置から判断することができます。GO/DONE がクリアされる前に変換されなかったビットは失われます。

レジスタ 7-1: ADCON0 – A/D コンバータ 0 レジスタ (アドレス :07h)

R/W-1	R/W-1	U-0	U-0	R/W-1	R/W-1	R/W-0	R/W-0
ANS1	ANS0	—	—	CHS1	CHS0	GO/DONE	ADON
ビット 7							ビット 0

記号の説明:

R = 読み出し可 W = 書き込み可 U = ビットの実装なし。「0」として読み取られる
 -n = POR 時の値 「1」 = ビットが設定される 「0」 = ビットがクリアされる x = 不明

- ビット 7 **ANS1:** ADC アナログ入力ピン選択ビット
 1 = GP1/AN1 をアナログ入力用に構成する
 0 = GP1/AN1 をデジタル I/O として構成する
- ビット 6 **ANS0:** ADC アナログ入力ピン選択ビット (1), (2)
 1 = GP0/AN0 をアナログ入力用に構成する
 0 = GP1/AN1 をデジタル I/O として構成する
- ビット 5-4 **実装なし:** 「0」として読み取られる
- ビット 3-2 **CHS<1:0>:** ADC チャンネル選択ビット (3)
 00 = チャンネル 00 (GP0/AN0)
 01 = チャンネル 01 (GP1/AN1)
 1x = 0.6V 絶対電圧リファレンス

- 注** 1: ANS ビットがセットされると、以前に定義されたピン機能に関係なく、選択されたチャンネルは自動的にアナログモードになります。
- 2: ANS<1:0> ビットは ADON の状態に関係なく有効です。
- 3: リセットが発生すると、CHS<1:0> ビットはデフォルトの 11 になります。
- 4: ADON ビットがクリアされている場合、GO/DONE ビットはセットできません。

7.8 内部絶対電圧リファレンス

内部絶対電圧リファレンスは、変換に必要な定電圧を供給するために使用されており、デバイスの VDD の電源範囲内で変動します。A/D コンバータはレシオメトリックであり、VDD を変換リファレンス電圧として使用します。標準 0.6V の定電圧を変換処理することによって、デバイスの VDD に印加された電圧を基準とする変換結果を生成します。このリファレンス (VDD の電源範囲内で変動) に基づく変換結果は、「変換結果 = 0.6V/(VDD/256)」の式により概算することができます。

注: 絶対電圧リファレンスの実際値は、温度および部品ごとのばらつきにより変動します。また、変換は、VDD ピンのアナログノイズおよび I/O ピンでの電流のシンクまたはソースによって発生するノイズの影響を受けます。

レジスタ 7-1: ADCON0 – A/D コンバータ 0 レジスタ (アドレス :07h) (つづき)

ビット 1 **GO/DONE:** ADC 変換状態ビット (4)

1 = ADC で変換を実行中。このビットをセットすると、ADC 変換サイクルが開始されます。ADC での変換が完了すると、このビットはハードウェアによって自動的にクリアされます
 0 = ADC での変換完了 (実行中ではない)。変換実行中にこのビットを手動でクリアすると、実行中の変換が停止します

ビット 0 **ADON:** ADC 有効化ビット

1 = ADC モジュールは動作中
 0 = ADC モジュールは停止中 (電力消費なし)

- 注 1: ANS ビットがセットされると、以前に定義されたピン機能に関係なく、選択されたチャンネルは自動的にアナログモードになります。
 2: ANS<1:0> ビットは ADON の状態に関係なく有効です。
 3: リセットが発生すると、CHS<1:0> ビットはデフォルトの 11 になります。
 4: ADON ビットがクリアされている場合、GO/DONE ビットはセットできません。

レジスタ 7-2: ADRES – アナログ変換結果レジスタ (アドレス :08h)

R-X							
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
ビット 7							ビット 0

記号の説明:

R = 読み出し可 W = 書き込み可 U = ビットの実装なし。「0」として読み取られる
 -n = POR 時の値 「1」 = ビットが設定される 「0」 = ビットがクリアされる x = 不明

ビット 7-0 **ADRES<7:0>**

7.9 A/D アクイジションの条件

ADC で仕様どおりの精度を実現するには、電荷ホールドキャパシタ (CHOLD) が入力チャネル電圧レベルまで十分に充電可能であることが必要です。図 7-1 にアナログ入力モデルを示します。ソースインピーダンス (R_s) および内部サンプリングスイッチ (R_{SS}) インピーダンスはキャパシタ CHOLD の充電時間に直接影響します。サンプリングスイッチ (R_{SS}) インピーダンスは、デバイス電圧 (V_{DD}) により変化します (図 7-1 参照)。アナログソースの推奨最大インピーダンスは、**10 k Ω** です。ソースインピーダンスが低下すると、それに伴ってアクイジション時間が短くなります。

なります。アナログ入力チャネルの選択後 (または変更後) には、変換を開始する前に A/D アクイジションを実行する必要があります。最小アクイジション時間の計算には公式 7-1 を使用できます。この式では、1/2 LSb 誤差の適用を前提としています (ADC は 256 ステップ)。1/2 LSb 誤差は、仕様どおりの分解能を ADC で実現する場合の最大許容誤差です。

公式 7-1: アクイジション時間の例

仮定:

$$\begin{aligned} \text{温度} &= 50^\circ\text{C} \text{ および外部インピーダンス } 10 \text{ k}\Omega \text{ } 5.0\text{V } V_{DD} \\ T_{acq} &= \text{アンプ設定時間} + \text{ホールドキャパシタ充電時間} + \text{温度係数} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 2 \mu\text{s} + T_C + [(\text{温度} - 25^\circ\text{C}) (0.05 \mu\text{s}/^\circ\text{C})] \end{aligned}$$

T_C を求める:

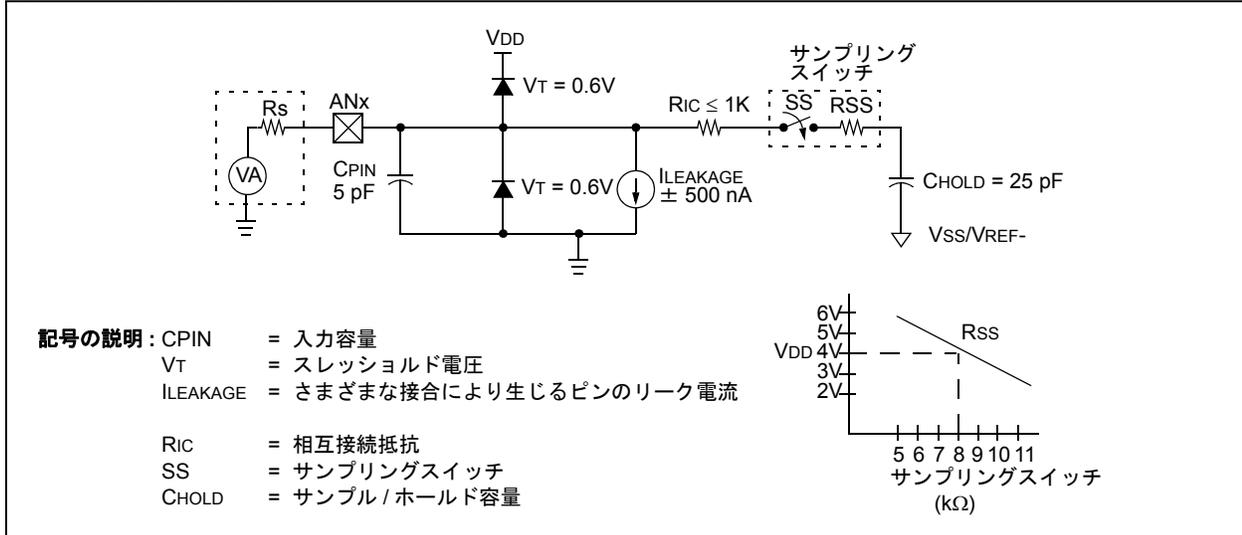
$$\begin{aligned} T_C &= CHOLD (RIC + R_{SS} + R_s) \ln(1/512) \\ &= -25\text{pF} (1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln(0.00196) \\ &= 2.81 \mu\text{s} \end{aligned}$$

ゆえに:

$$\begin{aligned} T_{acq} &= 2 \mu\text{s} + 2.81 \mu\text{s} + [(50^\circ\text{C} - 25^\circ\text{C}) (0.05 \mu\text{s}/^\circ\text{C})] \\ &= 6.06 \mu\text{s} \end{aligned}$$

- 注 1:** 各変換の後で電荷ホールドキャパシタ (CHOLD) は放電されません。
- 2:** アナログソースの推奨最大インピーダンスは、10 k Ω です。この値はピンのリーク電流仕様を満たすために必要です。

図 7-1: アナログ入力モジュール



8.0 CPU の特殊機能

マイクロコントローラは、リアルタイムアプリケーションのニーズに応える特別な回路を備えている点で、他のプロセッサとは一線を画しています。PIC10F220/222 マイクロコントローラが備える豊富な機能により、最高のシステム信頼性、外部コンポーネントの省略によるコスト削減、省電力動作モード、およびコードプロテクションを実現できます。主な機能は以下の通りです。

- リセット
 - パワーオンリセット (POR)
 - デバイスリセットタイマ (DRT)
 - ウォッチドッグタイマ (WDT)
 - ピン変化によるスリープからのウェイクアップ
- スリープ
- コードプロテクション
- ID ロケーション
- In-Circuit Serial Programming™
- クロックアウト

PIC10F220/222 デバイスには、コンフィグレーションビット WDTE によってのみ停止できるウォッチドッグタイマがあります。信頼性を高めるために、ウォッチドッグタイマは専用の RC 発振器で動作します。DRT を使用している場合、VDD 電源投入時にのみ 1.125 ms (標準) の遅延があります。このタイマがオンチップで搭載されているため、ほとんどのアプリケーションで外部リセット回路が不要です。

スリープモードは消費電力の非常に少ない省電力モードとして設計されています。入力ピンの変化またはウォッチドッグタイマのタイムアウトにより、スリープからウェイクアップすることができます。

8.1 コンフィグレーションビット

PIC10F220/222 のコンフィグレーションワードは 12 ビットで構成されています。コンフィグレーションビットをプログラムすると、さまざまなデバイス設定を選択することができます。ウォッチドッグタイマイネーブルビットが 1 ビット、MCLR イネーブルビットが 1 ビット、コードプロテクション用が 1 ビットです (レジスタ 8-1 参照)。

レジスタ 8-1: コンフィグレーションワード (1)

—	—	—	—	—	—	—	MCLRE	CP	WDTE	MCPU	IOSCFS	
ビット 11												ビット 0

記号の説明:		
R = 読み出し可	W = 書き込み可	U = ビットの実装なし。「0」として読み取られる
-n = POR 時の値	「1」 = ビットが設定される	「0」 = ビットがクリアされる x = 不明

- ビット 11-5 **実装なし:** 「0」として読み取られる
- ビット 4 **MCLRE:** GP3/MCLR ピン機能選択ビット
 - 1 = GP3/MCLR ピン機能は MCLR
 - 0 = GP3/MCLR ピン機能はデジタル I/O、MCLR は VDD に内部で接続
- ビット 3 **CP:** コードプロテクションビット
 - 1 = コードプロテクションオフ
 - 0 = コードプロテクションオン
- ビット 2 **WDTE:** ウォッチドッグタイマイネーブルビット
 - 1 = WDT 有効
 - 0 = WDT 無効
- ビット 1 **MCPU:** マスタクリア用プルアップ有効化ビット (2)
 - 1 = プルアップ無効
 - 0 = プルアップ有効
- ビット 0 **IOSCFS:** 内部発振器周波数選択ビット
 - 1 = 8 MHz
 - 0 = 4 MHz

注 1: コンフィグレーションワードへのアクセス方法については、「PIC10F220/222 Memory Programming Specifications」(DS41266) を参照してください。デバイスの動作中は、ユーザーによるコンフィグレーションワードのアドレス指定はできません。

2: この選択を有効にするには、MCLRE を「1」にする必要があります。

PIC10F220/222

8.2 発振器の構成

8.2.1 発振器の種類

PIC10F220/222 デバイスには内部発振器モードのみが搭載されています。

- INTOSC:内部 4MHz/8MHz 発振器

8.2.2 内部 4MHz/8MHz 発振器

内部発振器は 4MHz/8MHz(公称値)のシステムクロックを供給します(電圧と温度による変化についてはセクション 10.0「電気的特性」参照)。

また、内部発振器用の校正值を含む校正命令がメモリの最終アドレスにプログラムされています。この場所は、コードプロテクションの設定に関係なく、常にコードプロテクションの対象から外れています。この値は、`MOVLW XX` 命令の形式(XXが校正值)にプログラム化されています。その格納先は、リセット時に読み出される領域です。リセットが発生すると、校正值が W レジスタにロードされ、プログラムカウンタは 0x000 番地(ユーザープログラム)にロールオーバーします。この時点で、ユーザーは校正值を OSCCAL レジスタ(05h)に書き込むか、または無視することを選択できます。

校正值が書き込まれると、OSCCAL レジスタはプロセスのばらつきを発振器周波数で削減するために、内部の発振器を「調整」します。

注： デバイスを消去すると、内部発振器用に事前にプログラムされている内部校正值も消去されます。後で正しく再プログラムできるように、消去する前に校正值を読み出しておく必要があります。

8.3 リセット

このデバイスでは、さまざまな種類のリセットが区別されます。

- パワーオンリセット (POR)
- 通常動作中の MCLR リセット
- スリープ中の MCLR リセット
- 通常動作中の WDT タイムアウトリセット
- スリープ中の WDT タイムアウトリセット
- ピン変化によるスリープからのウェイクアップ

レジスタの中にはリセットされないものがあります。そのようなレジスタは、POR では不明になり、他のリセットでは不変です。正常動作中の場合、その他のほとんどのレジスタは、パワーオンリセット (POR)、MCLR、WDT、ピン変化によるウェイクアップのリセットで「リセット状態」になります。スリープ中の WDT リセットやスリープ中の MCLR リセットは、正常動作の再開として処理されるため、影響を及ぼしません。例外は TO、PD、GPWUF ビットです。これらは、異なるリセットの状況に応じてセットまたはクリアされます。これらのビットは、リセットの特性を判定するためにソフトウェアで使用されます。すべてのレジスタのリセット状態については、表 8-1 を参照してください。

表 8-1: レジスタのリセット状態 – PIC10F220/222

レジスタ	アドレス	パワーオンリセット	MCLR リセット、WDT タイムアウト、ピン変化によるウェイクアップ
W	—	qqqq qqqu ⁽¹⁾	qqqq qqqu ⁽¹⁾
INDF	00h	xxxx xxxx	uuuu uuuu
TMR0	01h	xxxx xxxx	uuuu uuuu
PC	02h	1111 1111	1111 1111
STATUS	03h	0--1 1xxx	q00q quuu
FSR	04h	111x xxxx	111u uuuu
OSCCAL	05h	1111 1110	uuuu uuuu
GPIO	06h	---- xxxx	---- uuuu
ADCON0	07h	11-- 1100	11-- 1100
ADRES	08h	xxxx xxxx	uuuu uuuu
OPTION	—	1111 1111	1111 1111
TRIS	—	---- 1111	---- 1111

記号の説明: u=不変。x=不明。--=ビットの実装なし、「0」として読み取られる。q=条件により変化する値

注 1: W レジスタのビット <7:2> には、メモリの最上位にある `MOVLW XX` 命令から得られる発振器校正值が入ります。

表 8-2: 特殊レジスタのリセット状態

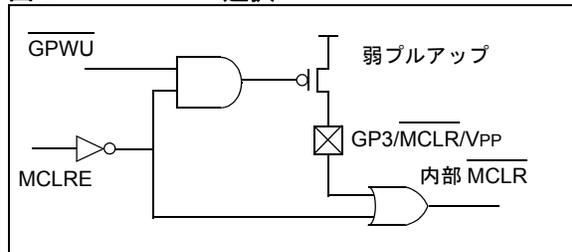
	STATUS アドレス :03h	PCL アドレス :02h
パワーオンリセット	0--1 1xxx	1111 1111
通常動作中の $\overline{\text{MCLR}}$ リセット	0--u uuuu	1111 1111
スリープ中の $\overline{\text{MCLR}}$ リセット	0--1 0uuu	1111 1111
スリープ中の WDT リセット	0--0 0uuu	1111 1111
通常動作中の WDT リセット	0--0 uuuu	1111 1111
ピン変化によるスリープからのウェイクアップ	1--1 0uuu	1111 1111

記号の説明：u= 不変、x= 不明、-= ビットの実装なし。「0」として読み取られる

8.3.1 $\overline{\text{MCLR}}$ イネーブル

このコンフィグレーションビットは、プログラムされていない場合（「1」状態のまま）、外部 $\overline{\text{MCLR}}$ 機能を有効にします。プログラムされると、 $\overline{\text{MCLR}}$ 機能は内部の VDD に接続され、ピンは I/O として割り当てられます。図 8-1 を参照してください。

図 8-1: $\overline{\text{MCLR}}$ 選択



8.4 パワーオンリセット (POR)

PIC10F220/222 デバイスには、パワーオンリセット (POR) 回路がオンチップで搭載されており、ほとんどの電源投入状況に対して内部でチップリセットを行います。

VDD が正常動作に必要なレベルに到達するまで、オンチップの POR 回路はチップをリセット状態に保持します。内部 POR を利用するには、GP3/MCLR/Vpp ピンを $\overline{\text{MCLR}}$ としてプログラムし、抵抗を介して VDD に接続する方法とピンを GP3 としてプログラムする方法があります。内部の弱プルアップ抵抗にはトランジスタが使用されています (プルアップ抵抗の範囲は表 10-2 を参照)。これにより、通常パワーオンリセットに必要な外部 RC コンポーネントが不要になります。VDD の最大立ち上がり時間は規定されています。詳しくは、セクション 10.0 「電気的特性」を参照してください。

デバイスが通常動作を開始する (リセット状態を終了する) 場合、デバイスの動作パラメータ (電圧、周波数、温度など) は正常な動作に必要な範囲でなければなりません。この条件が満たされていない場合、動作パラメータが条件を満たすまでデバイスをリセット状態に保持する必要があります。

オンチップパワーオンリセット回路の概略ブロック図を、図 8-2 に示します。

パワーオンリセット回路とデバイスリセットタイマ (セクション 8.5 「デバイスリセットタイマ (DRT)」参照) 回路には密接な関係があります。電源投入時に、リセットラッチがセットされ、DRT がリセットされます。DRT タイマは、 $\overline{\text{MCLR}}$ が High であることを検出すると、カウントを開始します。タイムアウト (通常 1.125 ms) の後、DRT タイマはリセットラッチをリセットし、オンチップリセット信号を終了します。

図 8-3 には、 $\overline{\text{MCLR}}$ が Low の場合の電源投入例が示されています。 $\overline{\text{MCLR}}$ が High になる前に、VDD が立ち上がり、安定します。チップは、実際には $\overline{\text{MCLR}}$ が High になってから T_{DRT} ms 後にリセットから脱します。

図 8-4 では、オンチップパワーオンリセット機能が使用されています ($\overline{\text{MCLR}}$ と VDD が相互接続の状態、またはピンが GP3 としてプログラムされている)。スタートアップタイマがタイムアウトする前に VDD が安定しており、問題なく適切なリセットが行われます。しかし、図 8-5 では、VDD の立ち上がりが遅すぎるといった問題状況が示されています。 $\overline{\text{MCLR}}$ が High であることが DRT によって検出されてから、 $\overline{\text{MCLR}}$ および VDD が実際に完全な値になるまでの時間が長すぎます。この状況では、スタートアップタイマがタイムアウトしたときに、VDD が VDD(min) 値に到達していないため、チップが正しく機能しない可能性があります。このような状況では、外部 RC 回路を使用して POR の遅延時間を長くすることをお勧めします (図 8-4)。

注： デバイスが通常動作を開始する (リセット状態を終了する) 場合、デバイスの動作パラメータ (電圧、周波数、温度など) は正常な動作に必要な範囲でなければなりません。この条件が満たされていない場合、動作パラメータが条件を満たすまでデバイスをリセット状態に保持する必要があります。

詳細については、アプリケーションノート AN522 「Power-Up Considerations」(DS00522) および AN607 「Power-up Trouble Shooting」(DS00607) を参照してください。

PIC10F220/222

図 8-2: オンチップリセット回路の概略ブロック図

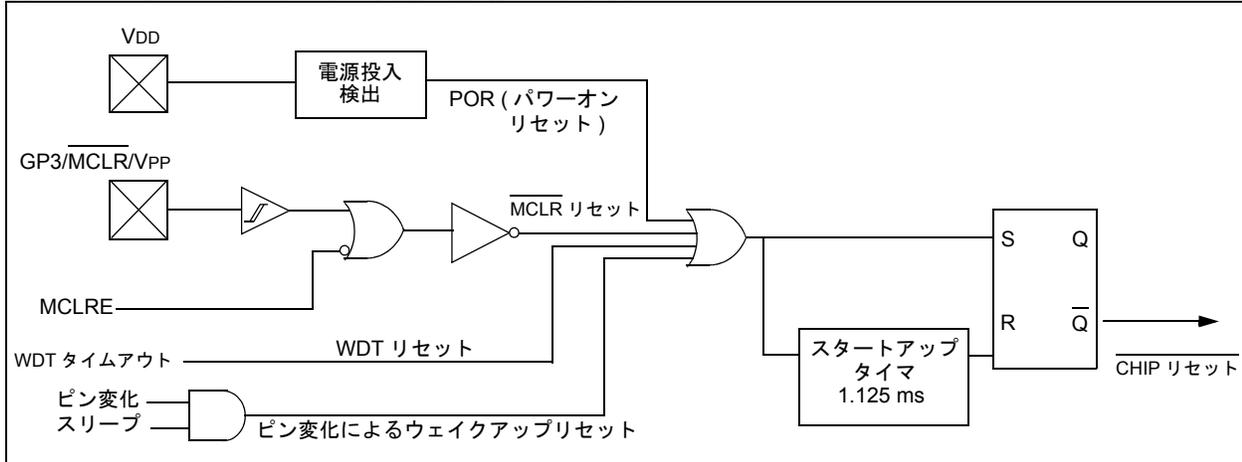


図 8-3: 電源投入時のタイムアウトシーケンス ($\overline{\text{MCLR}}$ は LOW)

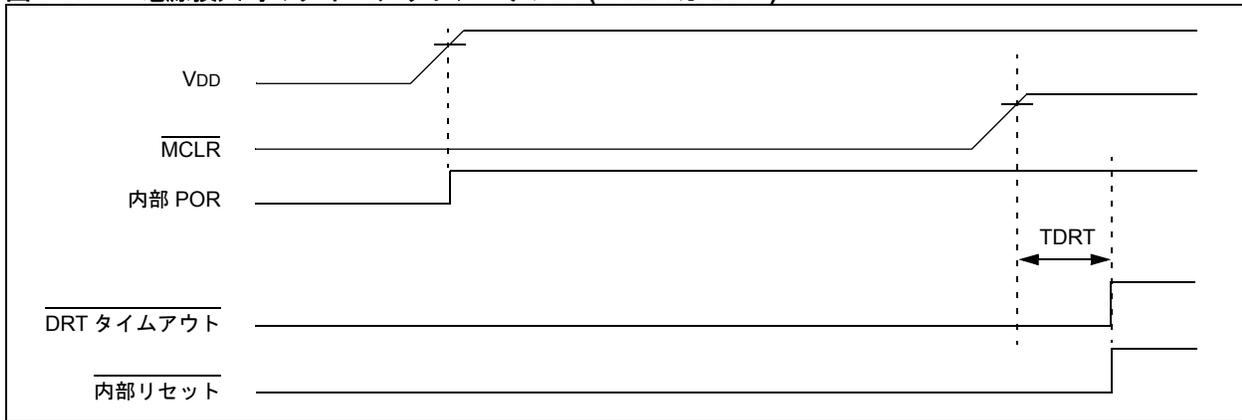


図 8-4: 電源投入時のタイムアウトシーケンス ($\overline{\text{MCLR}}$ は VDD に接続): VDD の立ち上がりが速い

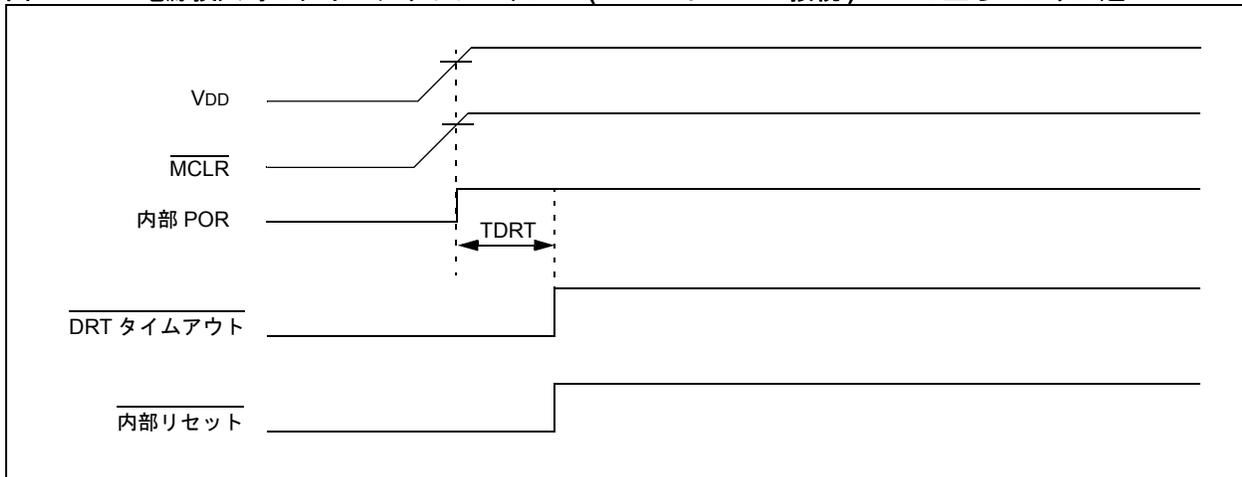
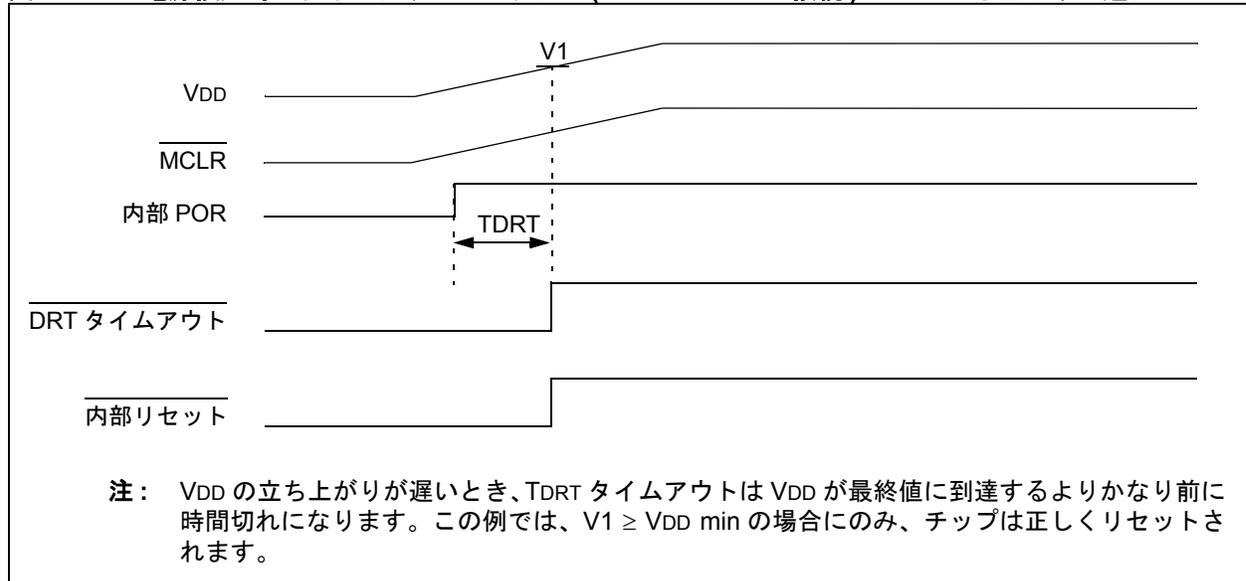


図 8-5: 電源投入時のタイムアウトシーケンス (MCLR は VDD に接続): VDD の立ち上がりが遅い



8.5 デバイスリセットタイマ (DRT)

PIC10F220/222 デバイスでは、デバイスの電源投入時に DRT が常に動作します。

DRT は内部の発振器で動作します。DRT が動作している限り、プロセッサはリセット状態を維持します。DRT の遅延時間を使うことで、VDD は VDD min を超えるレベルにまで上昇でき、発振器は安定することができます。

オンチップ DRT は、MCLR がロジックハイ (V_{IH} MCLR) レベルに達した後に、デバイスを約 1.125 ms 間リセット状態に保持します。GP3/MCLR/VPP を MCLR としてプログラムし、外部 RC ネットワークを MCLR 入力に接続して使用することは、ほとんどの場合必要ありません。これは、コストやスペースに制約のあるアプリケーションに有効であるだけでなく、GP3/MCLR/VPP ピンを汎用入力に使用できることにもなります。

デバイスリセットタイマの遅延時間は、VDD、温度、プロセスの変動により、チップごとに異なります。詳しくは、AC パラメータを参照してください。

リセットソースは、POR、MCLR、WDT タイムアウト、ピン変化によるウェイクアップです。セクション 8.9.2 「スリープからのウェイクアップ」、注 1、2、3 を参照してください。

表 8-3: DRT (デバイスリセットタイマの周期)

発振器	POR リセット	後続のリセット
INTOSC	1.125 ms (標準)	10 μs (標準)

8.6 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は、外部コンポーネントを全く必要としないフリーランのオンチップ RC 発振器です。この RC 発振器は内部 4MHz/8MHz 発振器から独立しています。したがって、SLEEP 命令の実行などによりメインプロセッサクロックが停止した場合でも、WDT は動作します。通常動作中またはスリープ中は、WDT リセットまたはウェイクアップリセットによりデバイスリセットが発生します。

TO ビット (STATUS<4>) は、ウォッチドッグタイマのリセットの場合にクリアされます。

コンフィグレーション WDTE を「0」としてプログラムすると、WDT を常に無効とすることができます (セクション 8.1 「コンフィグレーションビット」参照)。コンフィグレーションワードへのアクセス方法については、「PIC10F220/222 Programming Specifications」を参照してください。

8.6.1 WDT の周期

WDT には、18 ms の公称タイムアウト周期があります (プリスケアラなし)。18 ms よりも長いタイムアウト周期が必要な場合、OPTION レジスタへの書き込みにより、最大 1:128 の分周比のプリスケアラを WDT に割り当てることができます (ソフトウェア制御)。これにより、公称 2.3 秒のタイムアウト周期を実現することができます。この周期は、温度、VDD、部品ごとのプロセスの変動により異なります (DC 仕様を参照)。

最悪の状態 (VDD = 最小値、温度 = 最大値、最大 WDT プリスケアラ) では、WDT タイムアウトが発生するまでに数秒かかる場合があります。

8.6.2 WDT プログラミングの注意点

CLRWDT 命令は WDT とポストスケアラ (WDT に割り当てられている場合) をクリアし、タイムアウトとデバイスリセットの発生を防止します。

SLEEP 命令は WDT とポストスケアラ (WDT に割り当てられている場合) をリセットします。これにより、WDT ウェイクアップリセットの前に最大のスリープ時間が得られます。

図 8-6: ウォッチドッグタイマのブロック図

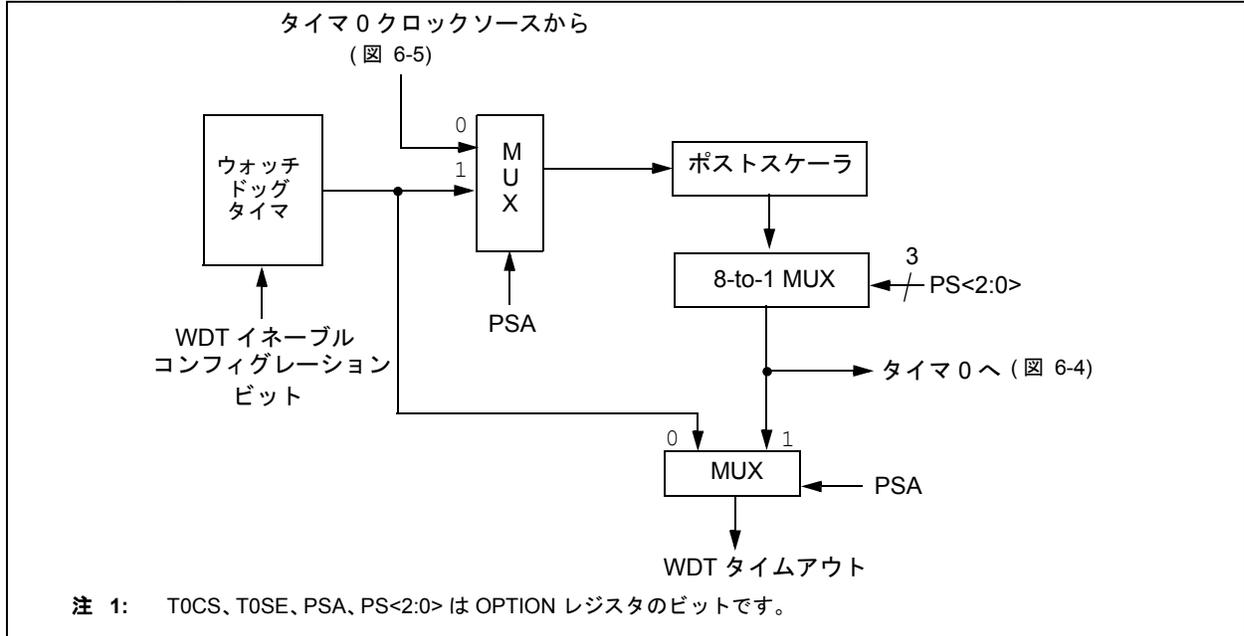


表 8-4: ウォッチドッグタイマ関連レジスタの一覧

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	パワーオン リセット時の値	その他すべての リセット時の値
該当なし	OPTION	GPWU	GPPU	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

記号の説明: 網掛け部分 = ウォッチドッグタイマでは使用されない。- = 実装なし、「0」として読み取られる。
u = 不変

8.7 タイムアウトシーケンス、パワーダウン、およびスリープからのウェイクアップに関連する STATUS ビット (TO/PD/GPWUF/CWUF)

STATUS レジスタの \overline{TO} 、 \overline{PD} 、および GPWUF ビットを調べると、リセット状態の原因を確認できます。電源投入、MCLR、ウォッチドッグタイマ (WDT) リセット、ピン変化によるウェイクアップのうち、どれが原因であるかを判断できます。

表 8-5: リセット後の \overline{TO} / \overline{PD} /GPWUF の状態

GPWUF	\overline{TO}	\overline{PD}	リセット原因
0	0	0	スリープからの WDT ウェイクアップ
0	0	u	WDT タイムアウト (スリープからではない)
0	1	0	スリープからの MCLR ウェイクアップ
0	1	1	電源投入
0	u	u	スリープ中以外の MCLR
1	1	0	ピン変化によるスリープからのウェイクアップ

記号の説明: u = 不変。x = 不明。- = ビットの実装なし、「0」として読み取られる。q = 条件により変化する値

注 1: \overline{TO} 、 \overline{PD} 、GPWUF ビットはリセットが発生するまでその状態 (u) を維持します。MCLR 入力のローパルスで \overline{TO} 、 \overline{PD} 、GPWUF の STATUS ビットが変化することはありません。

PIC10F220/222

8.8 ブラウンアウトによるリセット

ブラウンアウトとは、デバイスの電源 (VDD) が最小値未満 (ただしゼロ以上) になった後、回復した場合の状態です。ブラウンアウトが発生した場合、デバイスはリセットの必要があります。

ブラウンアウトが発生した場合、PIC10F220/222 デバイスをリセットするには、図 8-7 および図 8-8 に示す外部ブラウンアウト保護回路を構築することを推奨します。

図 8-7: ブラウンアウト保護回路 1

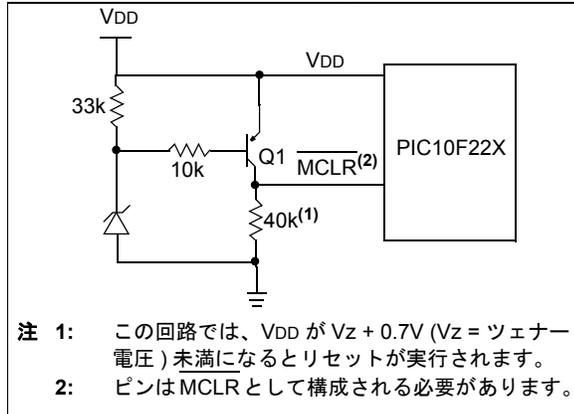


図 8-8: ブラウンアウト保護回路 2

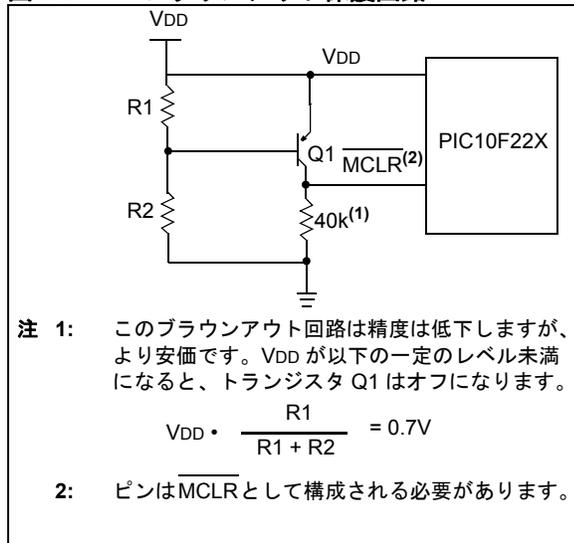
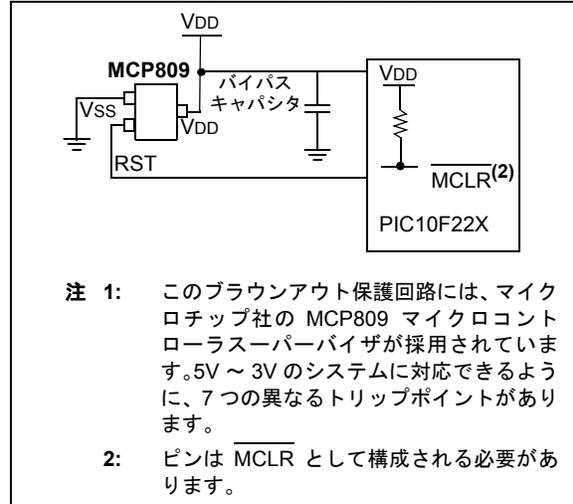


図 8-9: ブラウンアウト保護回路 3



8.9 パワーダウンモード (スリープ)

デバイスは、パワーダウン (スリープ) の後に起動 (スリープからのウェイクアップ) させることができます。

8.9.1 スリープ

SLEEP 命令を実行すると、パワーダウンモードになります。

有効になっている場合、ウォッチドッグタイマはクリアされますが動作を継続し、TO ビット (STATUS<4>) はセット、PD ビット (STATUS<3>) はクリアされ、発振器ドライバはオフになります。I/O ポートは SLEEP 命令が実行される前の状態を維持します (High または Low を出力、あるいはハイインピーダンス)。

注: WDT タイムアウトによるリセットでは、MCLR ピンは Low になりません。

パワーダウン中の電流消費を最小限に抑える場合、T0CKI 入力を VDD または VSS にする必要があります。また、MCLR が有効の場合には、GP3/MCLR/VPP ピンをロジックハイレベルにする必要があります。

8.9.2 スリープからのウェイクアップ

デバイスは、以下のイベントのいずれかによりスリープからウェイクアップできます。

1. GP3/MCLR/VPP ピンへの外部リセット入力 (このピンが MCLR として構成されている場合)
2. ウォッチドッグタイマのタイムアウトリセット (WDT が有効である場合)
3. 入力ピン GP0、GP1、または GP3 の変化 (変化によるウェイクアップが有効である場合)

これらのイベントにより、デバイスリセットが発生します。TO、PD、GPWUF ビットに基づいて、デバイスリセットの原因を判断することができます。WDTタイムアウトが発生した場合(これによりウェイクアップが発生した場合)、TO ビットがクリアされます。電源投入時にセットされる PD ビットは、スリープの発生時にクリアされます。GPWUF ビットは、スリープ中に (GP ポートでのファイルまたはビットの最終操作以降) ピン GP0、GP1、GP3 のいずれかの状態に変化があったことを示します。

注: スリープ状態になる前に、入力ピンを読み出してください。スリープ状態では、ピンの値が前回の読み取り時の状態から変化した場合にウェイクアップが発生します。変化によるウェイクアップが発生した後、ピンが読み取られないままで再度スリープ状態になると、スリープモード中にピンに変化がなくても、ただちにウェイクアップが発生します。

注: デバイスがスリープから起動すると、ウェイクアップの要因に関係なく、WDT はクリアされます。

8.10 プログラムベリフィケーション / コードプロテクション

コードプロテクションビットがプログラムされていない場合は、検証目的でオンチッププログラムメモリを読み出すことができます。

コードプロテクションビットの設定に関係なく、最初の 64 ロケーションと最後のロケーション (リセットベクタ) を読み取ることができます。

8.11 ID ロケーション

ユーザーがチェックサムまたはその他のコード識別番号を格納できる ID ロケーションとして、4 つのメモリロケーションが指定されています。これらのロケーションは通常の実行中にはアクセスできませんが、プログラム / ベリファイ中には読み取りおよび書き込みが可能です。

ID ロケーションは下位 4 ビットのみを使用して、上位 8 ビットは常に「1」としてプログラムしてください。

8.12 In-Circuit Serial Programming™

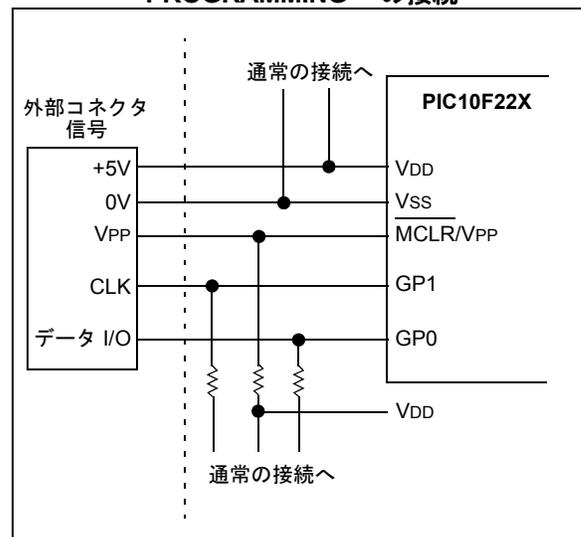
PIC10F220/222 マイクロコントローラはアプリケーション回路でシリアルプログラミングすることができます。これは、2本のラインをクロックとデータに、残り 3本のラインを電源、アース、プログラミング電圧にそれぞれ使用するだけで実現できます。これにより、ユーザーは未プログラムのデバイスを実装したボードを製造し、製品の出荷直前にマイクロコントローラをプログラムすることができます。また、最新のファームウェアや、カスタマイズしたファームウェアをプログラムすることも可能です。

MCLR (VPP) ピンを VIL から VIH に立ち上げる際に GP1 ピンと GP0 ピンを LOW に保持しておく、デバイスはプログラム / ベリファイモードになります (プログラミング仕様を参照)。GP1 はプログラミングクロックになり、GP0 はプログラミングデータになります。このモードでは、GP1 と GP0 は両方ともシュミットトリガ入力です。

リセットの後、デバイスには 6 ビットコマンドが送られます。コマンドがロードまたは読み出しのいずれであるかに応じて、16 ビットのプログラムデータがデバイスに送信されるか、またはデバイスから送出されます。シリアルプログラミングの詳しい説明については、「PIC10F220/222 プログラミング仕様」を参照してください。

図 8-10 には、標準的な In-Circuit Serial Programming の接続が示されています。

図 8-10: 標準的な IN-CIRCUIT SERIAL PROGRAMMING™ の接続



PIC10F220/222

メモ:

9.0 命令セット概要

PIC16 の命令は直交性が非常に高く、3 つの基本カテゴリで構成されています。

- バイト指向命令
- ビット指向命令
- リテラルおよびコントロール命令

各 PIC16 命令は 12 ビットワードで、命令タイプを特定するオペコードと、命令の動作を指定する 1 個以上のオペランドに分けられます。図 9-1 では各カテゴリの形式が、表 9-1 ではさまざまなオペコードフィールドが示されています。

バイト指向命令の場合、「f」はファイルレジスタ指定文字を表し、「d」は格納先指定文字を表します。ファイルレジスタ指名文字は、命令によって使用されるファイルレジスタを指定します。

格納先指名文字は、命令後の結果を格納する場所を指定します。「d」が「0」の場合、結果は W レジスタに格納されます。「d」が「1」の場合、結果は命令で指定されたファイルレジスタに格納されます。

ビット指向命令の場合、「b」は命令の影響を受けるビットを示すビットフィールド指定文字(番号)を表し、「f」はビットが配置されているファイル指定する番号を表します。

リテラルおよびコントロール命令の場合、「k」は 8 ビットまたは 9 ビットの定数またはリテラル値を指定します。

表 9-1: オペコードフィールドの説明

フィールド	概要
f	レジスタファイルアドレス (0x00 ~ 0x7F)
W	ワーキングレジスタ (アキュムレータ)
b	8 ビットファイルレジスタ内のビットアドレス
k	リテラルフィールド、定数データまたはラベル
x	無効ロケーション (=0 または 1) アセンブラは x=0 でコードを生成します。すべてのマイクロチップ社ソフトウェアツールとの互換性を確保するには、この形式を推奨します。
d	格納先指定文字 d=0 (結果を W に格納) d=1 (結果をファイルレジスタ「f」に格納) デフォルトは d=1
ラベル	ラベル名
TOS	スタックの最上位
PC	プログラムカウンタ
WDT	ウォッチドッグタイマカウンタ
TO	タイムアウトビット
PD	パワーダウンビット
dest	格納先 (W レジスタまたは指定されているレジスタファイルロケーション)
[]	オプション
()	内容
→	割り当て先
< >	レジスタビットフィールド
ε	セットを表す
イタリック体	ユーザー定義用語 (フォントは Courier)

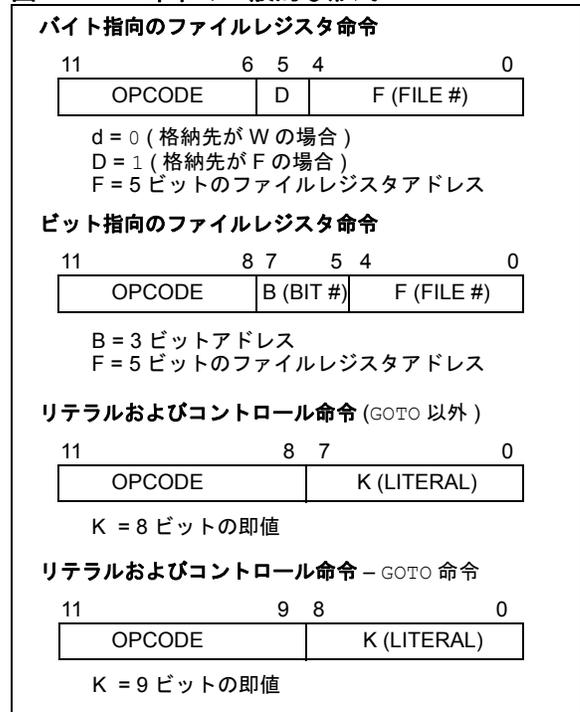
すべての命令は基本的に 1 命令サイクルで実行されますが、命令の結果、プログラムカウンタが変化した場合や条件付きテストが真になった場合は例外です。このような場合、実行には 2 命令サイクルが必要です。1 命令サイクルは 4 つの発振器周期で構成されます。したがって、発振器周波数が 4 MHz の場合、通常の命令実行時間は 1 μs です。命令の結果、プログラムカウンタが変化した場合や条件付きテストが真の場合、命令実行時間は 2 μs になります。

図 9-1 は、命令の 3 つの一般的な形式を示しています。図中のすべての例では、以下の形式を使って 16 進数を表記します。

`'0xhhh'`

「h」は 16 進数字です。

図 9-1: 命令の一般的な形式



PIC10F220/222

表 9-2: 命令セット まとめ

ニーモニック オペランド	概要	サイクル	12 ビットのおペコード			影響を受ける ステータス	注意
			MSb	LSb			
ADDWF f, d	Add W and f	1	0001	11df	ffff	C,DC,Z	1,2,4
ANDWF f, d	AND W with f	1	0001	01df	ffff	Z	2,4
CLRF f	Clear f	1	0000	011f	ffff	Z	4
CLRW -	Clear W	1	0000	0100	0000	Z	
COMF f, d	Complement f	1	0010	01df	ffff	Z	
DECF f, d	Decrement f	1	0000	11df	ffff	Z	2,4
DECFSZ f, d	Decrement f, Skip if 0	1 ⁽²⁾	0010	11df	ffff	なし	2,4
INCF f, d	Increment f	1	0010	10df	ffff	Z	2,4
INCFSZ f, d	Increment f, Skip if 0	1 ⁽²⁾	0011	11df	ffff	なし	2,4
IORWF f, d	Inclusive OR W with f	1	0001	00df	ffff	Z	2,4
MOVF f, d	Move f	1	0010	00df	ffff	Z	2,4
MOVWF f	Move W to f	1	0000	001f	ffff	なし	1,4
NOP -	No Operation	1	0000	0000	0000	なし	
RLF f, d	Rotate left f through Carry	1	0011	01df	ffff	C	2,4
RRF f, d	Rotate right f through Carry	1	0011	00df	ffff	C	2,4
SUBWF f, d	Subtract W from f	1	0000	10df	ffff	C,DC,Z	1,2,4
SWAPF f, d	Swap f	1	0011	10df	ffff	なし	2,4
XORWF f, d	Exclusive OR W with f	1	0001	10df	ffff	Z	2,4
ビット指向のファイルレジスタ命令							
BCF f, b	Bit Clear f	1	0100	bbbb	ffff	なし	2,4
BSF f, b	Bit Set f	1	0101	bbbb	ffff	なし	2,4
BTFSC f, b	Bit Test f, Skip if Clear	1 ⁽²⁾	0110	bbbb	ffff	なし	
BTFSS f, b	Bit Test f, Skip if Set	1 ⁽²⁾	0111	bbbb	ffff	なし	
リテラルおよびコントロール命令							
ANDLW k	AND literal with W	1	1110	kkkk	kkkk	Z	
CALL k	Call subroutine	2	1001	kkkk	kkkk	なし	1
CLRWDT k	Clear Watchdog Timer	1	0000	0000	0100	$\overline{TO}, \overline{PD}$	
GOTO k	Unconditional branch	2	101k	kkkk	kkkk	なし	
IORLW k	Inclusive OR Literal with W	1	1101	kkkk	kkkk	Z	
MOVLW k	Move Literal to W	1	1100	kkkk	kkkk	なし	
OPTION -	Load OPTION register	1	0000	0000	0010	なし	
RETLW k	Return, place Literal in W	2	1000	kkkk	kkkk	なし	
SLEEP -	Go into standby mode	1	0000	0000	0011	$\overline{TO}, \overline{PD}$	
TRIS f	Load TRIS register	1	0000	0000	0fff	なし	3
XORLW k	Exclusive OR Literal to W	1	1111	kkkk	kkkk	Z	

- 注 1: プログラムカウンタの第9ビットは、プログラムカウンタに書き込む命令(GOTO以外)によって強制的に「0」にされます。セクション 4.7「プログラムカウンタ」を参照してください。
- 2: I/O レジスタの値を、そのレジスタ自体を使用して変更する場合(MOVF PORTB, 1 など)、使用される値は、対応するピン自体の値になります。例えば、入力として構成されているピンのデータラッチが「1」で、外部デバイスにより Low にされている場合、そのデータは「0」で書き戻されます。
- 3: 命令 TRIS f (f=6) を実行すると、W レジスタの内容が PORTB のトライステートラッチに書き込まれます。「1」の場合、ピンは強制的にハイインピーダンス状態にされ、出力バッファが無効になります。
- 4: この命令を (指定可能な場合には d に 1 を指定して) TMR0 レジスタで実行すると、プリスケアラが TMR0 に割り当てられているときにはプリスケアラがクリアされます。

9.1 命令の説明

ADDWF Add W and f

シンタックス: [*label*] ADDWF *f*,*d*
 オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$
 実行内容: $(W) + (f) \rightarrow (\text{格納先})$
 影響を受けるステータス: C, DC, Z
 説明: Wレジスタとレジスタ「f」の内容を加算します。「d」が「0」である場合、結果はWレジスタに書き込まれます。「d」が「1」である場合、結果はレジスタ「f」に書き戻されます。

BCF Bit Clear f

シンタックス: [*label*] BCF *f*,*b*
 オペランド: $0 \leq f \leq 31$
 $0 \leq b \leq 7$
 実行内容: $0 \rightarrow (f\langle b \rangle)$
 影響を受けるステータス: なし
 説明: レジスタ「f」のビット「b」をクリアします。

ANDLW AND literal with W

シンタックス: [*label*] ANDLW *k*
 オペランド: $0 \leq k \leq 255$
 実行内容: $(W).AND.(k) \rightarrow (W)$
 影響を受けるステータス: Z
 説明: Wレジスタの内容と8ビットのリテラル「k」でAND演算を行います。結果はWレジスタに配置されます。

BSF Bit Set f

シンタックス: [*label*] BSF *f*,*b*
 オペランド: $0 \leq f \leq 31$
 $0 \leq b \leq 7$
 実行内容: $1 \rightarrow (f\langle b \rangle)$
 影響を受けるステータス: なし
 説明: レジスタ「F」のビット「b」を設定します。

ANDWF AND W with f

シンタックス: [*label*] ANDWF *f*,*d*
 オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$
 実行内容: $(W) AND (f) \rightarrow (\text{格納先})$
 影響を受けるステータス: Z
 説明: Wレジスタの内容とレジスタ「f」でAND演算を行います。「d」が「0」である場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

BTFSC Bit Test f, Skip if Clear

シンタックス: [*label*] BTFSC *f*,*b*
 オペランド: $0 \leq f \leq 31$
 $0 \leq b \leq 7$
 実行内容: skip if $(f\langle b \rangle) = 0$
 影響を受けるステータス: なし
 説明: レジスタ「f」のビット「b」が「0」の場合、次の命令をスキップします。ビット「b」が「0」の場合、現在の命令の実行中にフェッチされた次の命令を破棄し、代わりにNOPを実行して、2サイクルの命令にします。

PIC10F220/222

BTFSS **Bit Test f, Skip if Set**

シンタックス: [label] BTFSS f,b
オペランド: $0 \leq f \leq 31$
 $0 \leq b < 7$
実行内容: skip if (f) = 1
影響を受けるステータス: なし
説明: レジスタ「f」のビット「b」が「1」の場合、次の命令をスキップします。
ビット「b」が「1」の場合、現在の命令の実行中にフェッチされた次の命令を破棄し、代わりにNOPを実行して、2サイクルの命令にします。

CALL **Subroutine Call**

シンタックス: [label] CALL k
オペランド: $0 \leq k \leq 255$
実行内容: (PC) + 1 → Top of Stack;
k → PC<7:0>;
(Status<6:5>) → PC<10:9>;
0 → PC<8>
影響を受けるステータス: なし
説明: サブルーチンコール。最初にリターンアドレス (PC + 1) をスタックにプッシュします。続いて8ビットの即値アドレスをPCビット<7:0>にロードします。その後でSTATUS<6:5>からPCの上位ビット<10:9>をロードし、PC<8>をクリアします。CALLは2サイクルの命令です。

CLRF **Clear f**

シンタックス: [label] CLRF f
オペランド: $0 \leq f \leq 31$
実行内容: 00h → (f);
1 → Z
影響を受けるステータス: Z
説明: レジスタ「f」の内容をクリアして、Zビットを設定します。

CLRW **Clear W**

シンタックス: [label] CLRW
オペランド: なし
実行内容: 00h → (W);
1 → Z
影響を受けるステータス: Z
説明: Wレジスタをクリアします。0ビット(Z)を設定します。

CLRWD T **Clear Watchdog Timer**

シンタックス: [label] CLRWD k
オペランド: なし
実行内容: 00h → WDT;
0 → WDT prescaler (if assigned);
1 → TO;
1 → PD
影響を受けるステータス: TO, PD
説明: CLRWD命令はWDTをリセットします。プリスケアラがタイム0でなくWDTに割り当てられている場合、プリスケアラもリセットします。STATUSビットTOおよびPDを設定します。

COMF **Complement f**

シンタックス: [label] COMF f,d
オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$
実行内容: $\bar{(f)} \rightarrow (\text{dest})$
影響を受けるステータス: Z
説明: レジスタ「f」の内容の補数を演算します。「d」が「0」である場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

DECF	Decrement f
シンタックス:	[<i>label</i>] DECF f,d
オペランド:	$0 \leq f \leq 31$ $d \in [0,1]$
実行内容:	$(f) - 1 \rightarrow (\text{dest})$
影響を受けるステータス:	Z
説明:	レジスタ「f」をデクリメントします。「d」が「0」の場合、結果はWレジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

INCF	Increment f
シンタックス:	[<i>label</i>] INCF f,d
オペランド:	$0 \leq f \leq 31$ $d \in [0,1]$
実行内容:	$(f) + 1 \rightarrow (\text{dest})$
影響を受けるステータス:	Z
説明:	レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果はWレジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

DECFSZ	Decrement f, Skip if 0
シンタックス:	[<i>label</i>] DECFSZ f,d
オペランド:	$0 \leq f \leq 31$ $d \in [0,1]$
実行内容:	$(f) - 1 \rightarrow d$; skip if result = 0
影響を受けるステータス:	なし
説明:	レジスタ「f」の内容をデクリメントします。「d」が「0」の場合、結果はWレジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。 結果が「0」の場合、既にフェッチされている次の命令を破棄し、代わりにNOPを実行して2サイクルの命令にします。

INCFSZ	Increment f, Skip if 0
シンタックス:	[<i>label</i>] INCFSZ f,d
オペランド:	$0 \leq f \leq 31$ $d \in [0,1]$
実行内容:	$(f) + 1 \rightarrow (\text{dest})$, skip if result = 0
影響を受けるステータス:	なし
説明:	レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果はWレジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。 結果が「0」の場合、既にフェッチされている次の命令を破棄し、代わりにNOPを実行して2サイクルの命令にします。

GOTO	Unconditional Branch
シンタックス:	[<i>label</i>] GOTO k
オペランド:	$0 \leq k \leq 511$
実行内容:	$k \rightarrow PC<8:0>$; $STATUS<6:5> \rightarrow PC<10:9>$
影響を受けるステータス:	なし
説明:	GOTOは無条件の分岐です。9ビットの即値をPCビット<8:0>にロードします。PCの上位ビットをSTATUS<6:5>からロードします。GOTOは2サイクルの命令です。

IORLW	Inclusive OR literal with W
シンタックス:	[<i>label</i>] IORLW k
オペランド:	$0 \leq k \leq 255$
実行内容:	$(W) .OR.(k) \rightarrow (W)$
影響を受けるステータス:	Z
説明:	Wレジスタの内容と8ビットのリテラル「k」でOR演算を行います。結果はWレジスタに配置されます。

PIC10F220/222

IORWF **Inclusive OR W with f**

シンタックス: [*label*] IORWF f,d

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: (W) .OR.(f) → (dest)

影響を受ける
ステータス: Z

説明: W レジスタとレジスタ「f」で OR 演算を行います。「d」が「0」の場合、結果は W レジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

MOVF **Move f**

シンタックス: [*label*] MOVF f,d

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: (f) → (dest)

影響を受ける
ステータス: Z

説明: レジスタ「f」の内容を格納先「d」に移動します。「d」が「0」の場合、格納先は W レジスタです。「d」が「1」の場合、格納先はファイルレジスタ「f」です。「d」=1 は、ステータスフラグ Z が影響を受けるため、ファイルレジスタのテストとして有用です。

MOVLW **Move Literal to W**

シンタックス: [*label*] MOVLW k

オペランド: $0 \leq k \leq 255$

実行内容: $k \rightarrow (W)$

影響を受ける
ステータス: なし

説明: 8 ビットのリテラル「k」を W レジスタにロードします。「don't care」は「0」としてアセンブルされます。

MOVWF **Move W to f**

シンタックス: [*label*] MOVWF f

オペランド: $0 \leq f \leq 31$

実行内容: (W) → (f)

影響を受ける
ステータス: なし

説明: W レジスタからレジスタ「f」にデータを移動します。

NOP **No Operation**

シンタックス: [*label*] NOP

オペランド: なし

実行内容: なし

影響を受ける
ステータス: なし

説明: 何もしません。

OPTION **Load OPTION Register**

シンタックス: [*label*] OPTION

オペランド: なし

実行内容: (W) → OPTION

影響を受ける
ステータス: なし

説明: W レジスタの内容を OPTION レジスタにロードします。

RETLW Return with Literal in W

シンタックス: [*label*] RETLW *k*

オペランド: $0 \leq k \leq 255$

実行内容: $k \rightarrow (W);$
TOS \rightarrow PC

影響を受けるステータス: なし

説明: 8ビットのリテラル「*k*」を W レジスタにロードします。スタックの最上位 (リターンアドレス) をプログラムカウンタへロードします。これは 2 サイクルの命令です。

RRF Rotate Right f through Carry

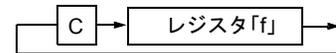
シンタックス: [*label*] RRF *f,d*

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: 下記参照

影響を受けるステータス: C

説明: レジスタ「*f*」の内容をキャリーフラグを通して右に 1 ビット回転させます。「*d*」が「0」の場合、結果は W レジスタに格納されます。「*d*」が「1」の場合、結果はレジスタ「*f*」に書き戻されます。



RLF Rotate Left f through Carry

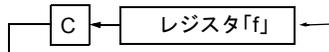
シンタックス: [*label*] RLF *f,d*

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: 下記参照

影響を受けるステータス: C

説明: レジスタ「*f*」の内容をキャリーフラグを通して左に 1 ビット回転させます。「*d*」が「0」の場合、結果は W レジスタに格納されます。「*d*」が「1」の場合、結果はレジスタ「*f*」に書き戻されます。



SLEEP Enter SLEEP Mode

シンタックス: [*label*] SLEEP

オペランド: なし

実行内容: $00h \rightarrow$ WDT;
 $0 \rightarrow$ WDT prescaler;
 $1 \rightarrow$ TO;
 $0 \rightarrow$ PD

影響を受けるステータス: TO, PD, RBWUF

説明: タイムアウト STATUS ビット (TO) をセットします。パワーダウン STATUS ビット (PD) をクリアします。
RBWUF には影響しません。
WDT とそのプリスケアラをクリアします。
発振器を停止させてプロセッサをスリープモードにします。詳細については、スリープに関する項を参照してください。

PIC10F220/222

SUBWF Subtract W from f

シンタックス: [label] SUBWF f,d

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: $(f) - (W) \rightarrow (\text{dest})$

影響を受けるステータス: C, DC, Z

説明: レジスタ「f」から W レジスタを引きます (2 の補数法)。「d」が「0」である場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

XORLW Exclusive OR literal with W

シンタックス: [label] XORLW k

オペランド: $0 \leq k \leq 255$

実行内容: $(W) .XOR. k \rightarrow (W)$

影響を受けるステータス: Z

説明: W レジスタの内容と 8 ビットのリテラル「k」で XOR 演算を行います。結果は W レジスタに配置されます。

SWAPF Swap Nibbles in f

シンタックス: [label] SWAPF f,d

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: $(f<3:0>) \rightarrow (\text{dest}<7:4>);$
 $(f<7:4>) \rightarrow (\text{dest}<3:0>)$

影響を受けるステータス: なし

説明: レジスタ「f」の上位 4 ビットと下位 4 ビットを入れ替えます。「d」が「0」の場合、結果は W レジスタに格納されます。「d」が「1」の場合、結果はレジスタ「f」に格納されます。

XORWF Exclusive OR W with f

シンタックス: [label] XORWF f,d

オペランド: $0 \leq f \leq 31$
 $d \in [0,1]$

実行内容: $(W) .XOR.(f) \rightarrow (\text{dest})$

影響を受けるステータス: Z

説明: W レジスタの内容とレジスタ「f」で XOR 演算を行います。「d」が「0」である場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

TRIS Load TRIS Register

シンタックス: [label] TRIS f

オペランド: $f = 6$

実行内容: $(W) \rightarrow \text{TRIS register } f$

影響を受けるステータス: なし

説明: TRIS レジスタ「f」 ($f = 6$ または 7) に W レジスタの内容をロードします。

10.0 電気的特性

絶対最大定格 (†)

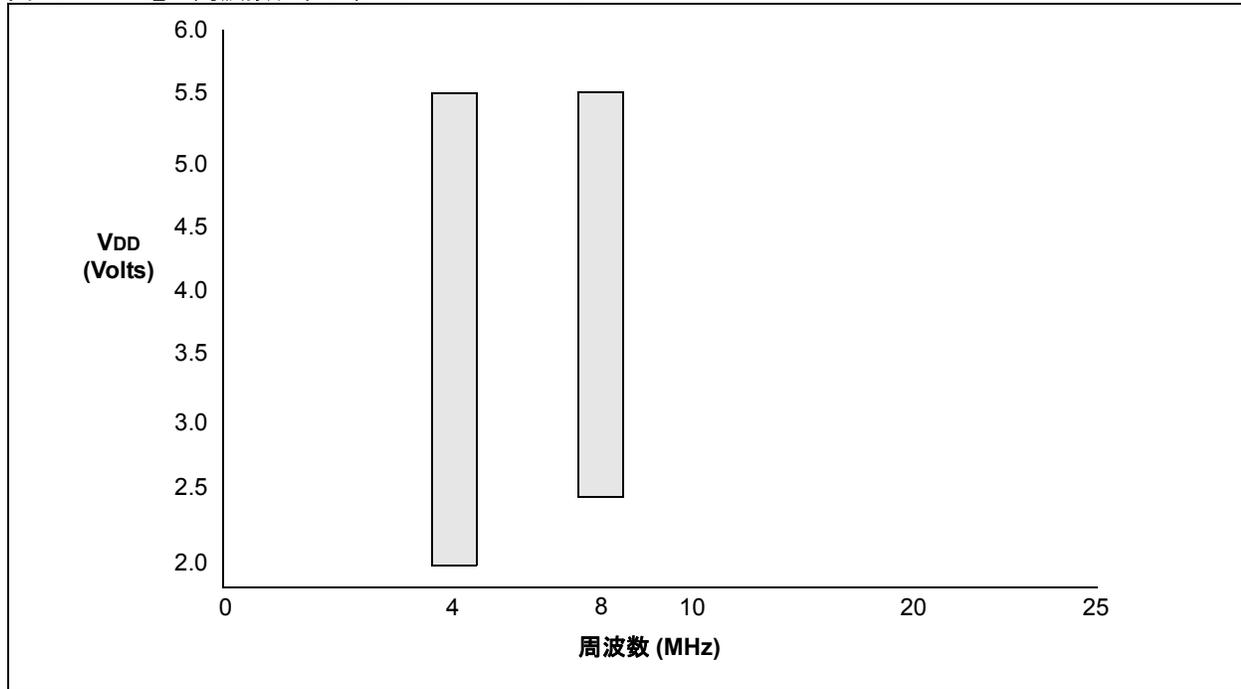
バイアス下での周囲温度	-40°C ~ +125°C
保存温度	-65°C ~ +150°C
VSS に対する VDD の電圧	0 ~ +6.5V
VSS に対する MCLR の電圧	0 ~ +13.5V
VSS に対する他のすべてのピンの電圧	-0.3V ~ (VDD + 0.3V)
消費電力の合計 (1)	200 mW
VSS ピンからの最大電流	80 mA
VDD ピンへの最大電流	80 mA
入力クランプ電流、I _{IK} (V _I < 0 または V _I > V _{DD})	±20 mA
出力クランプ電流、I _{OK} (V _O < 0 または V _O > V _{DD})	±20 mA
I/O ピンごとの最大出力シンク電流	25 mA
I/O ピンごとの最大出力ソース電流	25 mA
I/O ポートごとの最大出力ソース電流	75 mA
I/O ポートごとの最大出力シンク電流	75 mA

注 1: 消費電力は次の式で計算されます。 $P_{DIS} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$

注意：上記の「絶対最大定格」を超えるストレスを加えると、デバイスに修復不能な損傷を与える可能性があります。絶対最大定格は定格ストレスのみを示すものであり、上記の状態または本仕様書の動作条件に示されている規定値を超える状態でデバイスが正常に機能することを示すものではありません。最大定格の状態に長時間放置すると、デバイスの信頼性に影響を及ぼすおそれがあります。

PIC10F220/222

図 10-1: 電圧周波数グラフ、 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$



10.1 DC 特性 :PIC10F220/222 (工業用)

DC 特性			標準動作条件 (特に指定のない場合) 動作温度 $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ (工業用)				
パラメータ番号	記号	特性	最小	標準 ⁽¹⁾	最大	単位	条件
D001	VDD	電源電圧	2.0	—	5.5	V	図 10-1 参照
D002	VDR	RAM データ保持電圧 ⁽²⁾	—	1.5*	—	V	スリープモードの場合
D003	VPOR	確実にパワーオンリセットを実行するための VDD スタート電圧	—	V _{SS}	—	V	詳細はセクション 8.4 「パワーオンリセット (POR)」参照
D004	SVDD	確実にパワーオンリセットを実行するための VDD 立ち上がり率 パワーオンリセット	0.05*	—	—	V/ms	詳細はセクション 8.4 「パワーオンリセット (POR)」参照
D010	IDD	供給電流 ⁽³⁾	—	170	TBD	μA	FOSC = 4 MHz, VDD = 2.0V
			—	350	TBD	μA	FOSC = 4 MHz, VDD = 5.0V
			—	250	TBD	μA	FOSC = 8 MHz, VDD = 2.0V
			—	450	TBD	μA	FOSC = 8 MHz, VDD = 5.0V
D020	IPD	待機電流 ⁽⁴⁾	—	0.1	TBD	μA	VDD = 2.0V
D022	ΔI _{WDT}	WDT 電流 ⁽⁴⁾	—	1.0	TBD	μA	VDD = 2.0V
D024	ΔI _{ADC}	A/D 電流	—	80	TBD	μA	VDD = 2.0V

記号の説明：TBD = 未定

* これらのパラメータは特性解析されたものですが、テストはされていません。

- 注 1: 「標準」欄のデータは 25°C での特性解析結果に基づくもので、設計の指標としてのみ使用します。テストはされていません。
- 2: これはスリープモードで VDD を下げたときに RAM データを失わない下限値です。
- 3: 供給電流は主に動作電圧と周波数によって変化します。その他に、バス負荷、バスレート、内部コード実行パターン、温度などの要素も消費電流に影響を及ぼします。
- a) アクティブ動作モードでは、すべての IDD 測定に関して、以下のテスト条件が適用されます。
すべての I/O ピンがトライステート状態で、V_{SS} にプル、T0CKI = VDD、MCLR = VDD、WDT オン/オフ (指定に従う)
- b) 待機電流の測定については、デバイスがスリープモードであること以外、条件は同じです。
- 4: 待機電流は、デバイスをスリープモードにし、すべての I/O ピンをハイインピーダンス状態にして VDD または V_{SS} に接続した状態で測定します。

PIC10F220/222

10.2 DC 特性 :PIC10F220/222 (拡張用途)

DC 特性			標準動作条件 (特に指定のない場合) 動作温度 $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ (拡張用途)				
パラメータ番号	記号	特性	最小	標準 ⁽¹⁾	最大	単位	条件
D001	VDD	電源電圧	2.0		5.5	V	図 10-1 参照
D002	VDR	RAM データ保持電圧 ⁽²⁾	—	1.5*	—	V	スリープモードの場合
D003	VPOR	確実にパワーオンリセットを実行するための VDD スタート電圧	—	Vss	—	V	詳細はセクション 8.4 「パワーオンリセット (POR)」参照
D004	SVDD	確実にパワーオンリセットを実行するための VDD 立ち上がり率 パワーオンリセット	0.05*	—	—	V/ms	詳細はセクション 8.4 「パワーオンリセット (POR)」参照
D010	IDD	供給電流 ⁽³⁾	—	170	TBD	μA	FOSC = 4 MHz、VDD = 2.0V
			—	350	TBD	μA	FOSC = 4 MHz、VDD = 5.0V
			—	250	TBD	μA	FOSC = 8 MHz、VDD = 2.0V
			—	450	TBD	μA	FOSC = 8 MHz、VDD = 5.0V
D020	IPD	待機電流 ⁽⁴⁾	—	0.1	TBD	μA	VDD = 2.0V
D022	ΔI_{WDT}	WDT 電流 ⁽⁴⁾	—	1.0	TBD	μA	VDD = 2.0V
D024	ΔI_{ADC}	A/D 電流	—	80	TBD	μA	VDD = 2.0V

記号の説明：TBD = 未定

* これらのパラメータは特性解析されたものですが、テストはされていません。

- 注 1: 「標準」欄のデータは 25°C での特性解析結果に基づくもので、設計の指標としてのみ使用します。テストはされていません。
- 2: これはスリープモードで VDD を下げたときに RAM データを失わない下限値です。
- 3: 供給電流は主に動作電圧と周波数によって変化します。その他に、バス負荷、バスレート、内部コード実行パターン、温度などの要素も消費電流に影響を及ぼします。
- a) アクティブ動作モードでは、すべての IDD 測定に関して、以下のテスト条件が適用されます。
すべての I/O ピンがトライステート状態で、VSS にプル、T0CKI = VDD、MCLR = VDD、WDT オン/オフ (指定に従う)
- b) 待機電流の測定については、デバイスがスリープモードであること以外、条件は同じです。
- 4: 待機電流は、デバイスをスリープモードにし、すべての I/O ピンをハイインピーダンス状態にして VDD または VSS に接続した状態で測定します。

表 10-1: DC 特性 :PIC10F220/222 (工業用、拡張用途)

DC 特性		標準動作条件 (特に指定のない場合) 動作温度 -40°C ≤ TA ≤ +85°C (工業用) -40°C ≤ TA ≤ +125°C (拡張用途) 動作電圧 VDD の範囲は DC 仕様で説明されている通りです。					
パラメータ番号	記号	特性	最小	標準	最大	単位	条件
D030 D030A D031 D032	VIL	Low レベル入力電圧 I/O ポート TTL バッファ付き シュミットトリガバッファ付き MCLR、T0CKI	Vss Vss Vss Vss	— — — —	0.8V 0.15 VDD 0.15 VDD 0.15 VDD	V V V V	4.5 ≤ Vdd ≤ 5.5V 上記以外
D040 D040A D041 D042	VIH	High レベル入力電圧 I/O ポート TTL バッファ付き シュミットトリガバッファ付き MCLR、T0CKI	2.0 0.25 VDD + 0.8V 0.85 VDD 0.85 VDD	— — — — —	VDD VDD VDD VDD VDD	V V V V V	4.5 ≤ Vdd ≤ 5.5V 上記以外 VDD の全範囲
D070	IPUR	GPIO 弱プルアップ電流	TBD	250	TBD	μA	VDD = 5V, VPIN = VSS
D060 D061	IIL	入力リーク電流^{(1),(2)} I/O ポート GP3/MCLR ⁽³⁾	— —	— —	± 1 ± 5	μA μA	VSS ≤ VPIN ≤ VDD、ピンがハイインピーダンス状態 VSS ≤ VPIN ≤ VDD
D080 D080A		Low レベル出力電圧 I/O ポート	— —	— —	0.6 0.6	V V	IOI = 8.5 mA, VDD = 4.5V, -40°C ~ +85°C IOI = 7.0 mA, VDD = 4.5V, +85°C ~ +125°C
D090 D090A		High レベル出力電圧 I/O ポート ⁽²⁾	VDD-0.7 VDD-0.7	— —	— —	V V	IOH = -3.0 mA, VDD = 4.5V, -40°C ~ +85°C IOH = -2.5 mA, VDD = 4.5V, +85°C ~ +125°C
D101		出力ピンに要求される容量負荷 すべての I/O ピン	—	—	50*	pF	

記号の説明: TBD = 未定

† 「標準」欄のデータは、特に指定がない限り、5V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

* このパラメータは設計の指針としてのみ使用します。テストはされていません。

- 注 1: MCLR ピンのリーク電流は、印加電圧レベルにより大きく異なります。指定のレベルは通常の動作条件に相当します。異なる入力電圧では、リーク電流がさらに高くなる場合があります。
- 2: 負の電流はピンからの出力として定義されます。
- 3: この規定値は GP3/MCLR がプルアップ無効時の入力として構成されている場合に適用されます。MCLR 回路のリーク電流は、標準の I/O ロジックよりも高くなります。

PIC10F220/222

表 10-2: プルアップ抵抗範囲

VDD (V)	温度 (°C)	最小	標準	最大	単位
GP0/GP1					
2.0	-40	TBD	91K	TBD	Ω
	25	TBD	105K	TBD	Ω
	85	TBD	118K	TBD	Ω
	125	TBD	125K	TBD	Ω
5.5	-40	TBD	18K	TBD	Ω
	25	TBD	23K	TBD	Ω
	85	TBD	26K	TBD	Ω
	125	TBD	28K	TBD	Ω
GP3					
2.0	-40	TBD	63K	TBD	Ω
	25	TBD	74K	TBD	Ω
	85	TBD	83K	TBD	Ω
	125	TBD	87K	TBD	Ω
5.5	-40	TBD	16K	TBD	Ω
	25	TBD	21K	TBD	Ω
	85	TBD	25K	TBD	Ω
	125	TBD	27K	TBD	Ω

記号の説明: TBD = 未定

* これらのパラメータは特性解析されたものですが、テストはされていません。

10.3 タイミングパラメータの記号と負荷条件

タイミングパラメータの記号は、以下の形式に従って作成されています。

1. TppS2ppS
2. TppS

T		
F	周波数	T 時間

小文字の下付き記号とその意味

PP			
2	to	mc	MCLR
ck	CLKOUT	osc	発振器
cy	サイクル時間	os	OSCI
drt	デバイスリセットタイマ	t0	T0CKI
io	I/O ポート	wdt	ウォッチドッグタイマ

大文字の記号とその意味

S			
F	立ち下がり	P	周期
H	High	R	立ち上がり
I	無効 (ハイインピーダンス)	V	有効
L	Low	Z	ハイインピーダンス

図 10-2: 負荷条件



表 10-3: 校正後の内部 RC 周波数

AC 特性		標準動作条件 (特に指定のない場合) 動作温度 -40°C ≤ TA ≤ +85°C (工業用)、 -40°C ≤ TA ≤ +125°C (拡張用途)						
パラメータ番号	記号	特性	周波数公差	最小	標準	最大	単位	条件
F10	FOSC	校正後の内部 INTOSC 周波数 (1), (2)	±1%	3.96	4.00	4.04	MHz	3.5V @ TA = 25°C
			±2%	3.92	4.00	4.08	MHz	2.5V ≤ VDD ≤ 5.5V 0 ≤ TA ≤ 85°C
			±5%	3.80	4.00	4.20	MHz	2.0V ≤ VDD ≤ 5.5V -40°C ≤ TA ≤ +85°C (工業用) -40°C ≤ TA ≤ +125°C (拡張用途)

記号の説明: TBD = 未定

* これらのパラメータは特性解析されたものですが、テストはされていません。

† 「標準」欄のデータは、特に指定がない限り、5V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

注 1: この発振器周波数公差を確保するには、VDD および VSS を可能な限りデバイスの近くで容量性デカップリングを行う必要があります。0.1 μF と 0.01 μF の値を並列で使用することを推奨します。

2: 4 MHz クロックは 8 MHz 発振器から得られます。4 MHz 公差値を得るには、適切な 8 MHz 値を 2 で割ります。

PIC10F220/222

図 10-3: リセット、ウォッチドッグタイマ、デバイスリセットタイマのタイミング

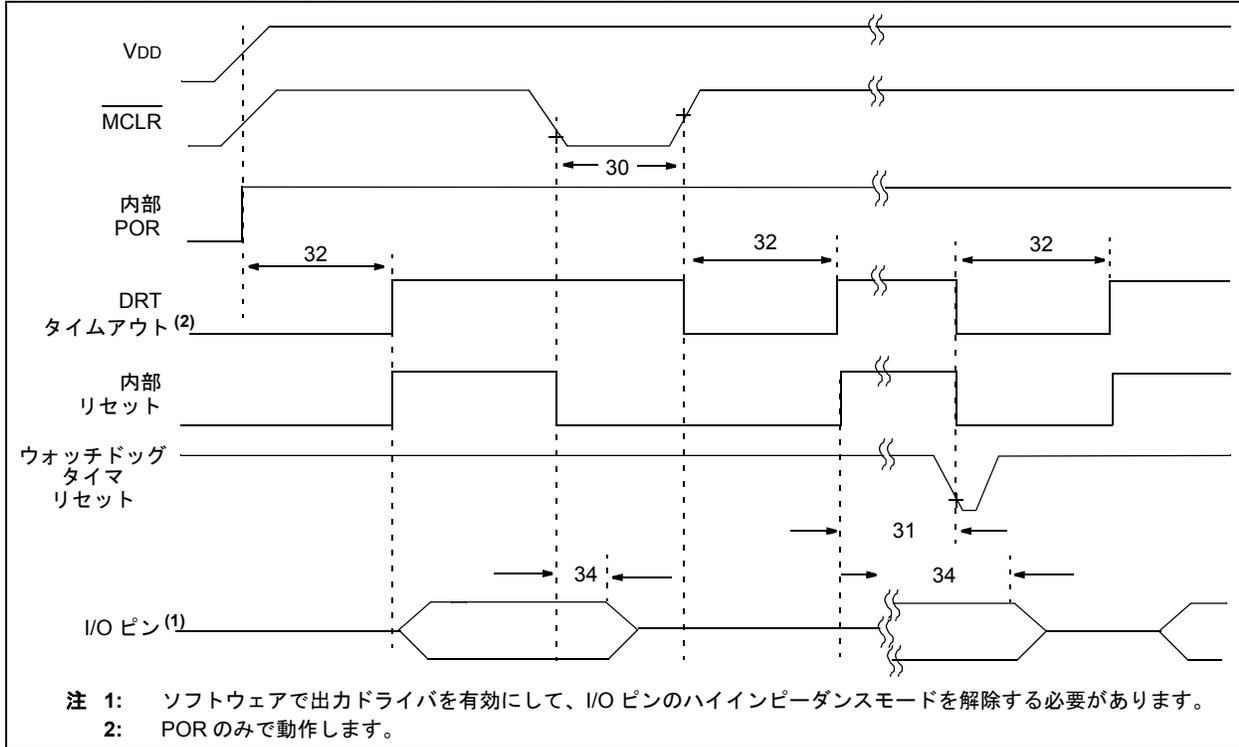


表 10-4: リセット、ウォッチドッグタイマ、デバイスリセットタイマ

AC 特性		標準動作条件 (特に指定のない場合) 動作温度 -40°C ≤ T _A ≤ +85°C (工業用) -40°C ≤ T _A ≤ +125°C (拡張用途)					
パラメータ番号	記号	特性	最小	標準 ⁽¹⁾	最大	単位	条件
30	T _{MCLR}	MCLR パルス幅 (low)	2000*	—	—	ns	V _{DD} = 5.0V
31	T _{WDT}	ウォッチドッグタイマタイムアウト周期 (プリスケアラなし)	9*	18*	30*	ms	V _{DD} = 5.0V (工業用)
			9*	18*	40*	ms	V _{DD} = 5.0V (拡張用途)
32	T _{DRT}	デバイスリセットタイマ周期	0.5*	1.125*	2*	ms	V _{DD} = 5.0V (工業用)
			0.5*	1.125*	2.5*	ms	V _{DD} = 5.0V (拡張用途)
34	T _{IOZ}	MCLR low からの I/O ハイインピーダンス	—	—	2000*	ns	

* これらのパラメータは特性解析されたものですが、テストはされていません。

注 1: 「標準」欄のデータは、特に指定がない限り、5V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

図 10-4: タイマ 0 クロックのタイミング

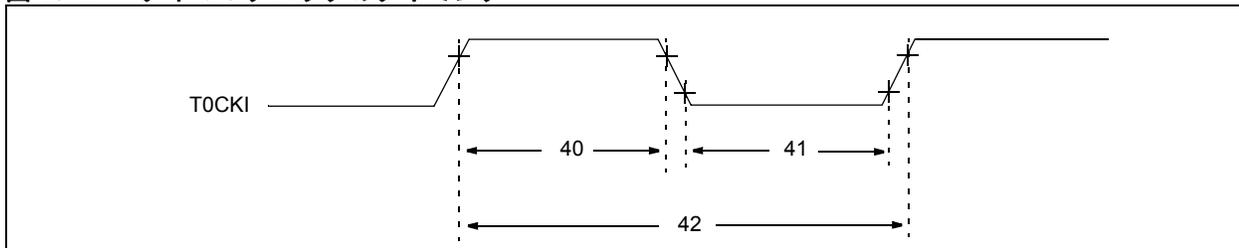


表 10-5: タイマ 0 クロック条件

AC 特性		標準動作条件 (特に指定のない場合) 動作温度 -40°C ≤ TA ≤ +85°C (工業用) -40°C ≤ TA ≤ +125°C (拡張用途)					
パラメータ番号	記号	特性	最小	標準 ⁽¹⁾	最大	単位	条件
40	Tt0H	T0CKI High パルス幅	プリスケアラなし	0.5 Tcy + 20*	—	—	ns
			プリスケアラあり	10*	—	—	ns
41	Tt0L	T0CKI Low パルス幅	プリスケアラなし	0.5 Tcy + 20*	—	—	ns
			プリスケアラあり	10*	—	—	ns
42	Tt0P	T0CKI 周期	20 または Tcy + 40* N	—	—	ns	いずれか大きい方 N = プリスケール値 (1, 2, 4, ..., 256)

* これらのパラメータは特性解析されたものですが、テストはされていません。

注 1: 「標準」欄のデータは、特に指定がない限り、5V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

表 10-6: A/D コンバータ特性 (PIC10F220)

パラメータ番号	記号	特性	最小	標準	最大	単位	条件
A01	NR	解像度	—	—	8 ビット	ビット	
A02	EABS	総絶対誤差 * ⁽¹⁾	—	—	TBD	LSb	VDD = 5.0V
A03	EIL	積分誤差	—	—	±1	LSb	VDD = 5.0V
A04	EDL	微分誤差	—	—	-1 < EDL ≤ +1.0	LSb	8 ビットまでコードの欠落がない、VDD = 5.0V
A05	EFS	フルスケールレンジ	2.0*	—	5.5*	V	VDD
A06	EOFF	オフセットエラー	—	—	±1	LSb	VREF = 5.0V
A07	EGN	ゲイン誤差	—	—	±1	LSb	VREF = 5.0V
A10	—	単調性	—	保証済み ⁽²⁾	—	—	VSS ≤ VAIN ≤ VDD
A25	VAIN	アナログ入力電圧	VSS	—	VDD	V	
A30	ZAIN	アナログ電圧ソースの推奨インピーダンス	—	—	10	kΩ	

* これらのパラメータは特性解析されたものですが、テストはされていません。

† 「標準」欄のデータは、特に指定がない限り、5.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

- 注 1: 総絶対誤差には、積分誤差、微分誤差、オフセット誤差、ゲイン誤差が含まれます。
- 2: A/D 変換結果は、入力電圧の増加に対して減少することはありません。また、コードの欠落もありません。
- 3: VREF 電流は外部 VREF または VDD ピン (リファレンス入力として選択されている方) から供給されます。
- 4: A/D がオフの場合、リーク電流以外の電流は消費されません。パワーダウン電流の規定値には、A/D モジュールからのリークがすべて含まれます。

PIC10F220/222

表 10-7: A/D コンバータ特性 (PIC10F222)

パラメータ番号	記号	特性	最小	標準	最大	単位	条件
A01	NR	解像度	—	—	8 ビット	ビット	
A03	EIL	積分誤差	—	—	±1	LSb	VDD = 5.0V
A04	EDL	微分誤差	—	—	-1 < EDL ≤ +1.0	LSb	8 ビットまでコードの欠落がない、VDD = 5.0V
A05	EFS	フルスケールレンジ	2.0*	—	5.5*	V	VDD
A06	EOFF	オフセットエラー	—	—	±1	LSb	VREF = 5.0V
A07	EGN	ゲイン誤差	—	—	±1	LSb	VREF = 5.0V
A10	—	単調性	—	保証済み (1)	—	—	VSS ≤ VAIN ≤ VDD
A25	VAIN	アナログ入力電圧	VSS	—	VDD	V	
A30	ZAIN	アナログ電圧ソースの推奨インピーダンス	—	—	10	kΩ	

* これらのパラメータは特性解析されたものですが、テストはされていません。

† 「標準」欄のデータは、特に指定がない限り、5.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

注 1: A/D 変換結果は、入力電圧の増加に対して減少することはありません。また、コードの欠落もありません。

表 10-8: PIC10F220/222 A/D 変換条件

標準動作条件 (特に指定のない場合)							
動作温度 -40°C ≤ TA ≤ +125°C							
パラメータ番号	記号	特性	最小	標準	最大	単位	条件
AD131	TCNV	変換時間 (アキュイジション時間は含まれない) ⁽¹⁾	—	13	—	Tcy	A/D 結果レジスタの新しいデータに GO/DONE ビットをセットします。
AD132*	TACQ	アキュイジション時間	—	3.5 5	—	μs μs	VDD = 5V VDD = 2.5V

* これらのパラメータは特性解析されたものですが、テストはされていません。

† 「標準」欄のデータは、特に指定がない限り、5.0V、25°C 時のものです。このパラメータは設計の指針としてのみ使用します。テストはされていません。

11.0 開発サポート

PIC[®] マイクロコントローラは、以下のさまざまな種類のハードウェア開発ツールおよびソフトウェア開発ツールでサポートされています。

- 統合開発環境 (IDE)
 - MPLAB[®] IDE ソフトウェア
- アセンブラ/コンパイラ/リンカ
 - MPASM[™] アセンブラ
 - MPLAB C18 および MPLAB C30 C コンパイラ
 - MPLINK[™] オブジェクトリンカ / MPLIB[™] オブジェクトライブラリアン
 - MPLAB ASM30 アセンブラ/リンカ/ライブラリ
- シミュレータ
 - MPLAB SIM ソフトウェアシミュレータ
- エミュレータ
 - MPLAB ICE 2000 インサーキット エミュレータ
 - MPLAB REAL ICE インサーキット エミュレータ
- インサーキットデバッガ
 - MPLAB ICD 2
- デバイスプログラマ
 - PICSTART[®] Plus デバイスプログラマ
 - MPLAB PM3 デバイスプログラマ
 - PICKit[™] 2 開発用プログラマ
- 低価格のデモンストレーションおよび開発ボードと評価キット

11.1 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアを使用すると、8/16 ビットマイクロコントローラ市場には未だかつてなかったほど、ソフトウェア開発が容易になります。MPLAB IDEはWindows[®]オペレーティングシステムをベースにしたアプリケーションで、以下のような特徴があります。

- すべてのデバッグツールに対応するシングルグラフィカルインタフェース
 - シミュレータ
 - プログラマ (別売り)
 - エミュレータ (別売り)
 - インサーキットデバッガ (別売り)
- 色分けコンテキスト対応のフル機能エディタ
- マルチプルプロジェクトマネージャ
- コンテンツを直接編集できるカスタマイズ可能なデータウィンドウ
- 高レベルなソースコードのデバッグ
- レジスタの初期化を容易にするビジュアルデバインシヤライザ
- マウスオーバーによる変数の内容表示
- ドラッグ & ドロップによるソースの変数表示
- 充実したオンラインヘルプ
- 精選サードパーティツールの統合 (例: HI-TECH Software 製 C コンパイラおよび IAR 製 C コンパイラ)

MPLAB IDE を使用すると、以下の操作が可能になります。

- ソースファイル(アセンブリまたはC)を編集する
- ワンタッチでアセンブル (またはコンパイル) して、PIC MCU エミュレータおよびシミュレータツールにダウンロードする (すべてのプロジェクト情報を自動更新)
- 以下を使用してデバッグする
 - ソースファイル(アセンブリ言語またはC言語)
 - アセンブリ言語と C 言語の混合
 - マシンコード

MPLAB IDE は、コスト効果の高いシミュレータから低価格のインサーキットデバッガおよびフル機能のエミュレータに至る複数のデバッグツールを単一の開発パラダイムでサポートします。これにより、柔軟性と機能が向上したツールにアップグレードする場合でも、学習をすばやく終えることができます。

11.2 MPASM アセンブラ

MPASM アセンブラは、すべての PIC MCU に対応するフル機能のユニバーサルマクロアセンブラです。

MPASM アセンブラは、MPLINK オブジェクトリンカ用の再配置可能なオブジェクトファイル、Intel® 標準 HEX ファイル、メモリ使用量と記号参照を説明する MAP ファイル、ソースラインと生成されたマシンコードを含む絶対 LST ファイル、デバッグ用 COFF ファイルを生成します。

MPASM アセンブラには以下の特徴があります。

- MPLAB IDE プロジェクトへの統合
- ユーザー定義マクロによる アセンブリコードの簡素化
- 多用途ソースファイルに対応する 条件付きアセンブリ
- アセンブリプロセスの完全な制御を可能にする 指令

11.3 MPLAB C18 および MPLAB C30 C コンパイラ

MPLAB C18 および MPLAB C30 コード開発システムは、マイクロチップ社の PIC18/PIC24 ファミリのマイクロコントローラおよび dsPIC30/dsPIC33 ファミリのデジタルシグナルコントローラに対応する、完全な ANSIC コンパイラです。これらのコンパイラは強力な統合機能と優れたコード最適化機能を備え、他のコンパイラにない使いやすさを実現しています。

ソースレベルのデバッグを容易にするために、これらのコンパイラは最適化されるシンボル情報を MPLAB IDE デバッガに提供します。

11.4 MPLINK オブジェクトリンカ / MPLIB オブジェクトライブラリアン

MPLINK オブジェクトリンカは、MPASM アセンブラと MPLAB C18 C コンパイラによって作成された再配置可能なオブジェクトを結合します。このオブジェクトリンカは、リンカスクリプトからの指令を使用して、プリコンパイル済みライブラリから再配置可能なオブジェクトをリンクできます。

MPLIB オブジェクトライブラリアンは、プリコンパイル済みコードのライブラリファイルの作成と変更を管理します。ライブラリのルーチンがソースファイルから呼び出されると、そのルーチンが含まれているモジュールのみがアプリケーションにリンクされます。これにより、大きなライブラリを多くの異なるアプリケーションで効率的に使用することができます。

オブジェクトリンカ/ライブラリには、以下の機能が含まれています。

- 多数の小さいファイルの代わりに、1つのライブラリを効果的にリンクする
- 関連モジュールをグループ化することにより、コードの保守のしやすさを強化する
- モジュールのリスト作成、置換、削除、抽出が簡単なライブラリを柔軟に作成する

11.5 MPLAB ASM30 アセンブラ、リンカ、ライブラリアン

MPLAB ASM30 アセンブラは、記号アセンブリ言語から dsPIC30F デバイス向けの再配置可能マシンコードを生成します。MPLAB C30 C コンパイラはこのアセンブラを使用してオブジェクトファイルを生成します。アセンブラは、アーカイブ化できる、または他のオブジェクトファイルおよびアーカイブとリンクできる再配置可能オブジェクトファイルを生成して、実行ファイルを作成します。アセンブラの主な機能は以下のとおりです。

- dsPIC30F 命令セット全体のサポート
- 固定小数点データおよび浮動小数点データのサポート
- コマンドラインインタフェース
- 豊富な指令セット
- 柔軟性の高いマクロ言語
- MPLAB IDE との互換性

11.6 MPLAB SIM ソフトウェアシミュレータ

MPLAB SIM ソフトウェアシミュレータでは、PIC MCU および dsPIC® DSC を 1つの命令レベルでシミュレートすることにより、PCホスト環境でのコード開発を可能にしています。任意の命令でデータ領域を検査または変更することができ、総合的な刺激コントローラから刺激を適用することができます。ランタイム分析を詳しく行う場合、レジスタをファイルに記録することができます。トレースバッファおよびロジックアナライザディスプレイを使用すると、シミュレータの機能を拡張して、プログラム実行、I/O の動作、大部分の周辺機能と内部レジスタを記録および追跡することができます。

MPLAB SIM ソフトウェアシミュレータは、MPLAB C18 および MPLAB C30 C コンパイラと MPASM および MPLAB ASM30 アセンブラを使用したシンボリックデバッグをフルにサポートしています。このソフトウェアシミュレータは、ハードウェア実験室の環境にないコードを開発およびデバッグする柔軟性を備えた経済的で優秀なソフトウェア開発ツールです。

11.7 MPLAB ICE 2000 高性能 インサーキットエミュレータ

MPLAB ICE 2000 インサーキットエミュレータは製品開発エンジニア向けの製品であり、PIC マイクロコントローラ用のマイクロコントローラ設計ツールセット一式が付属しています。MPLAB ICE 2000 インサーキットエミュレータのソフトウェア制御は、MPLAB 統合開発環境によって機能向上が図られ、1つの環境から編集、ビルド、ダウンロード、ソースデバッグができるようになりました。

MPLAB ICE 2000 は、拡張トレース、トリガ、データモニタの機能を備えたフル機能エミュレータシステムです。交換可能なプロセッサモジュールを採用しているため、異なるプロセッサのエミュレーションに応じて、システムを簡単に再設定することができます。MPLAB ICE 2000 インサーキットエミュレータのアーキテクチャでは、拡張により、新しいPICマイクロコントローラをサポートすることができます。

MPLAB ICE 2000 インサーキットエミュレータシステムは、通常はるかに高価な開発ツールに見られる高度な機能を持つリアルタイムエミュレーションシステムとして設計されたものです。シンプルな統一アプリケーションにおいて、これらの機能を最も効果的に使用するには、PC プラットフォームと Microsoft® Windows® 32 ビットオペレーティングシステムの組み合わせが最適です。

11.8 MPLAB REAL ICE インサーキット エミュレータシステム

MPLAB REAL ICE インサーキットエミュレータシステムは、マイクロチップ社の次世代型高速エミュレータです。マイクロチップ社のフラッシュ DSC® デバイスおよび MCU デバイスに対応しています。MPLAB 統合開発環境 (IDE) の使いやすく強力なグラフィカルユーザーインターフェースを利用して、PIC® および dsPIC® フラッシュマイクロコントローラのデバッグとプログラムを行うことができます。MPLAB IDE は、このエミュレータシステムのキットと同梱されています。

MPLAB REAL ICE プロブは、高速 USB2.0 インターフェースを使用して設計エンジニアの PC に接続します。ターゲットへの接続には、MPLAB ICD 2 で採用されている一般的な接続方式 (RJ11) に対応しているコネクタか、耐ノイズ性に優れた低電圧差動信号 (LVDS) 方式の新しい高速相互接続規格 (CAT5) に対応しているコネクタのいずれかを使用します。

MPLAB REAL ICE は、今後リリースされるファームウェアを MPLAB IDE からダウンロードすることにより、ユーザーが現場でアップグレードできます。MPLAB IDE の今後のリリースでは、新しいデバイスがサポートされる予定です。また、ソフトウェアブレイクポイントやアセンブラコードのトレースなどの新しい機能の追加も予定されています。

MPLAB REAL ICE には、競合するエミュレータ製品よりも大幅に優れている点が複数あります。例えば、低価格のほかに、フルスピードでのエミュレーション、リアルタイム変数監視、トレース解析、および複雑なブレイクポイント設定が可能である点、耐久性の高いプローブインターフェースを備え、相互接続に長いケーブル (最長 3m) を使用できる点が挙げられます。

11.9 MPLAB ICD 2 インサーキット デバッグ

マイクロチップ社の MPLAB ICD 2 インサーキットデバッグは、RS-232 または高速 USB インターフェースでホスト PC と接続するパワフルかつ低価格のランタイム開発ツールです。このツールはフラッシュ PIC MCU をベースにしており、PIC MCU および dsPIC DSC 向けの開発に使用することができます。MPLAB ICD 2 は、フラッシュデバイスに組み込まれているインサーキットデバッグ機能を使用します。この機能とマイクロチップ社の In-Circuit Serial Programming™ (ICSP™) プロトコルを組み合わせると、MPLAB 統合開発環境のグラフィカルユーザーインターフェースから、コスト効果の高い、フラッシュデバイスのインサーキットデバッグを実現することができます。これにより、設計者はブレイクポイント、個々のステップ変数およびウォッチ変数、CPU ステータスおよび周辺レジスタを設定することにより、ソースコードを開発およびデバッグすることができます。最高速度で実行すると、リアルタイムでハードウェアおよびアプリケーションをテストすることができます。MPLAB ICD 2 は、特定の PIC デバイスの開発プログラマとしても機能します。

11.10 MPLAB PM3 デバイスプログラマ

MPLAB PM3 デバイスプログラマは CE 準拠のユニバーサルデバイスプログラマで、VDDMIN および VDDMAX でのプログラマブル電圧検証により信頼性を最大限に高めています。このデバイスプログラマには、メニューとエラーメッセージを表示する大型 LCD ディスプレイ (128 x 64) と、さまざまなパッケージタイプへの対応を可能にする脱着式のモジュラソケットアセンブリが装備されています。ICSP™ ケーブルアセンブリは標準で付属します。スタンドアロンモードの場合、MPLAB PM3 デバイスプログラマは、PC と接続することなく、PIC デバイスの読み取り、検証、プログラムを行うことができます。このモードでは、コードプロテクションを設定することもできます。MPLAB PM3 とホスト PC との接続には、RS-232 または USB ケーブルが使用されます。MPLAB PM3 は、大容量メモリデバイスの高速プログラムを可能にする最適化アルゴリズムと高速通信を備え、ファイルの保存と安全なデータアプリケーションのための SD/MMC カードを内蔵しています。

11.11 PICSTART Plus 開発用プログラマ

PICSTART Plus 開発用プログラマは、低価格の使いやすいプロトタイププログラマです。PC との接続には、COM (RS-232)ポートを使用します。MPLAB統合開発環境ソフトウェアにより、このプログラマは簡単かつ効率的に使用できます。PICSTART Plus 開発用プログラマは、40 ピン以下の DIP パッケージを採用しているPICデバイスのほとんどをサポートします。PIC16C92X や PIC17C76X など、40 ピンよりもピン数の多いデバイスの場合、アダプタソケットを使用することで対応できます。PICSTART Plus 開発用プログラマは、CE に準拠しています。

11.12 PICKit 2 開発用プログラマ

PICKit™ 2 開発用プログラマは、使いやすいインタフェースを備えた低価格プログラマであり、多くのユーザーに選ばれているフラッシュデバイスデバッグです。このツールでは、マイクロチップ社のベースライン、ミッドレンジ、PIC18F ファミリのフラッシュメモリマイクロコントローラの多くをプログラムできます。PICKit 2 スタータキットには、プロトタイプ開発ボード 1 個、12 回のレッスンからなる学習ハンドブック、ソフトウェア、HI-TECH 社製PICC™ Lite Cコンパイラが含まれており、PIC® マイクロコントローラを使用してすぐに開発を始められるようになっています。このキットには、マイクロチップ社の高性能なミッドレンジフラッシュメモリファミリのマイクロコントローラを使用してアプリケーションをプログラム、評価、開発する際に必要なすべてのものが含まれています。

11.13 デモンストレーションボード、開発ボード、評価ボード

さまざまな PIC MCU と dsPIC DSC に対応するデモンストレーションボード、開発ボード、評価ボードが豊富に取り揃えられているため、完全に機能するシステムでアプリケーションを手早く開発することができます。ほとんどのボードには、カスタム回路を追加するためのプロトタイプ領域があります。また、アプリケーションファームウェアとソースコードを提供して、検査および変更を可能にします。

ボードは、LED、温度センサ、スイッチ、スピーカ、RS-232インタフェース、LCD ディスプレイ、ポテンシオメータ、追加 EEPROM メモリなど、さまざまな機能をサポートします。

デモンストレーションボードと開発ボードは、教材として、カスタム回路の試作やさまざまなマイクロコントローラアプリケーションに関する学習などの目的で使用することができます。

PICDEM™ および dsPICDEM™ デモンストレーション/開発ボードシリーズの回路の他に、マイクロチップ社では、アナログフィルタ設計、KEELOQ®セキュリティ IC、CAN、IrDA®、PowerSmart® バッテリマネージメント、SEEVAL® 評価システム、Sigma-Delta ADC、流量感知などに対応する評価キットおよびデモンストレーションソフトウェアを取り揃えています。

マイクロチップ社の Web ページ (www.microchip.com) にアクセスして、最新の「*Product Selector Guide (製品選択ガイド)*」(DS00148) でデモンストレーションボード、開発ボード、評価キットの一覧をご確認ください。

12.0 DC および AC 特性のグラフ / 表

現時点では、グラフと表はありません。

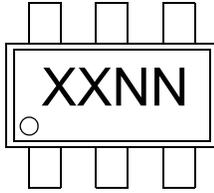
PIC10F220/222

メモ:

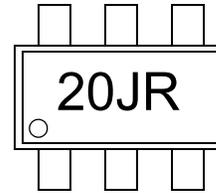
13.0 パッケージ

13.1 パッケージマーキング情報

6 リード SOT-23*



例



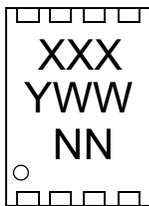
8 リード PDIP



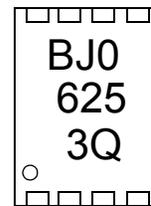
例



8 リード DFN*



例



記号の説明 :XX...X カスタマ固有情報

- Y 製造年コード (西暦の最終桁)
- YY 製造年コード (西暦の下2桁)
- WW 製造週コード (例:1月の第1週を「01」と表示)
- NNN 英数字によるトレーサビリティコード
- (e3) 鉛フリーのつや消し錫 (Sn) メッキ製品を示す JEDEC 準拠マーク
- * このパッケージには鉛が使用されていません。鉛フリーを示す JEDEC 準拠マーク (e3) は、このパッケージの外部包装に表示されています。

注: マイクロチップ社のパーツ番号全体が1行に収まらないときは、次の行に続きます。このためカスタマ固有情報用の文字数が制限されます。

PIC10F220/222

表 13-1: 8 リード 2x3 DFN (MC) のマーキング

部品番号	マーキング
PIC10F220-I/MC	BJ0
PIC10F220-E/MC	BK0
PIC10F222-I/MC	BL0
PIC10F222-E/MC	BM0

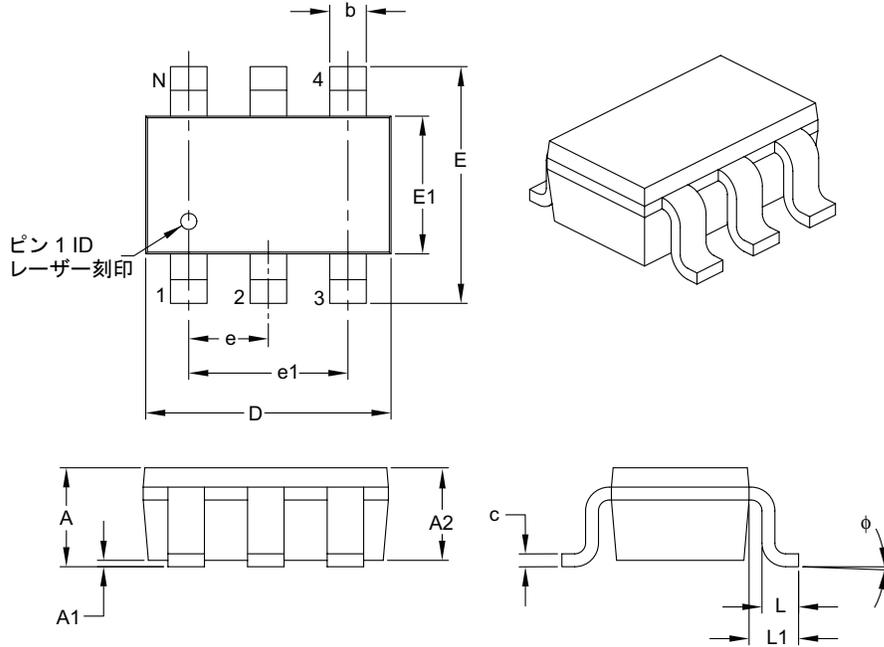
表 13-2: 6 リード SOT-23 (OT) パッケージ
マーキング

部品番号	マーキング
PIC10F220-I/OT	20NN
PIC10F220-E/OT	A0NN
PIC10F222-I/OT	22NN
PIC10F222-E/OT	A2NN

注: NN は英数字によるトレーサビリティコードを表します。

6 リードプラスチックモールドアウトライトランジスタ (OT) (SOT-23)

注： 最新のパッケージ図面については、次の Web サイトにある「Microchip Packaging Specification(マイクロチップ社パッケージ仕様)」を参照してください：
<http://www.microchip.com/packaging>



寸法	単位	ミリメートル		
		最小	公称	最大
ピン数	N	6		
ピッチ	e	0.95 BSC		
外側リードピッチ	e1	1.90 BSC		
全高	A	0.90	-	1.45
モールドパッケージ厚さ	A2	0.89	-	1.30
座面からの高さ	A1	0.00	-	0.15
全幅	E	2.20	-	3.20
モールドパッケージ幅	E1	1.30	-	1.80
全長	D	2.70	-	3.10
足の長さ	L	0.10	-	0.60
フットプリント	L1	0.35	-	0.80
足の角度	ϕ	0°	-	30°
リード厚さ	c	0.08	-	0.26
リード幅	b	0.20	-	0.51

注：

- 寸法 D と E1 には、モールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は各側で 0.127mm 以下とします。
- 寸法および公差は AMME Y14.5M に準拠。

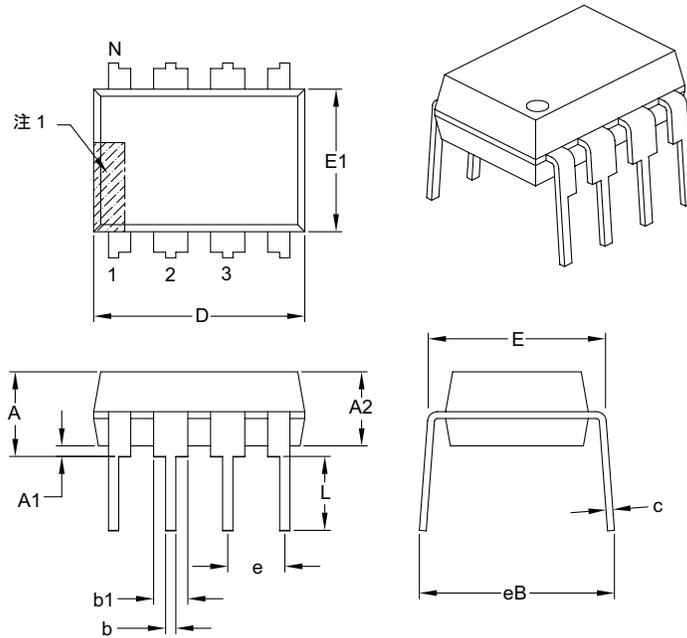
BSC: 基準寸法。公差を含まずに表示される理論的に一致する値

マイクロチップ・テクノロジー・ジャパン C04-028B

PIC10F220/222

8 リードプラスチックデュアルインライン (P または PA) – 300 mil ボディ (PDIP)

注： 最新のパッケージ図面については、次の Web サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください：
<http://www.microchip.com/packaging>



寸法限度	単位	インチ		
		最小	公称	最大
ピン数	N	8		
ピッチ	e	0.100 BSC		
座面から上面までの高さ	A	-	-	.210
モールドパッケージ厚さ	A2	.115	.130	.195
座面から底面までの高さ	A1	.015	-	-
ショルダ幅	E	.290	.310	.325
モールドパッケージ幅	E1	.240	.250	.280
全長	D	.348	.365	.400
リード先端から座面までの高さ	L	.115	.130	.150
リード厚さ	c	.008	.010	.015
上部リード幅	b1	.040	.060	.070
下部リード幅	b	.014	.018	.022
リード列間隔 §	eB	-	-	.430

注：

1. ピン1のビジュアルインデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
2. § 重要な特徴
3. 寸法 D と E1 には、モールドフラッシュまたは突出部は含みません。モールドフラッシュまたは突出部は各側で 0.010" (0.254mm) 以下とします。
4. 寸法および公差は AMME Y14.5M に準拠。

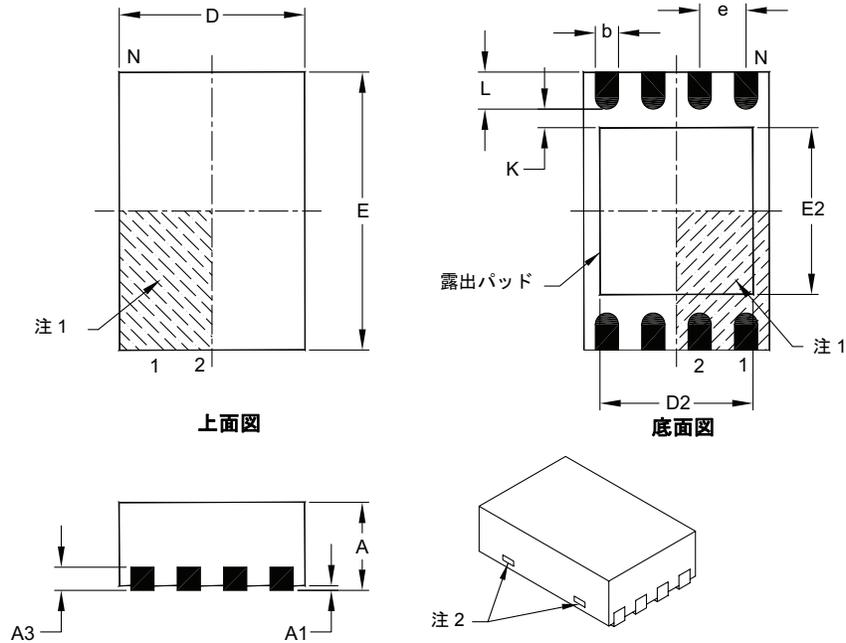
BSC: 基準寸法。公差を含まずに表示される理論的に一致する値

マイクロチップ・テクノロジー・ジャパン C04-018B

PIC10F220/222

8 リードプラスチックデュアルフラット、ノーリードパッケージ (MC) - 2x3x0.9 mm ボディ (DFN)

注： 最新のパッケージ図面については、次の Web サイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください：
<http://www.microchip.com/packaging>



寸法	単位	ミリメートル		
		最小	公称	最大
ピン数	N	8		
ピッチ	e	0.50 BSC		
全高	A	0.80	0.90	1.00
座面からの高さ	A1	0.00	0.02	0.05
接点の厚さ	A3	0.20 REF		
全長	D	2.00 BSC		
全幅	E	3.00 BSC		
露出パッド長さ	D2	1.30	-	1.75
露出パッド幅	E2	1.50	-	1.90
接点幅	b	0.18	0.25	0.30
接点長	L	0.30	0.40	0.50
接点から露出パッドまでの距離	K	0.20	-	-

注：

- ピン 1 のビジュアルインデックスの場所はばらつきがありますが、必ず斜線部分内にあります。
- パッケージの端には 1 つ以上の露出タイパーがあります。
- パッケージは切削切り出しされています。
- 寸法および公差は AMME Y14.5M に準拠。

BSC: 基準寸法。公差を含まずに表示される理論的に一致する値
 REF: 参考寸法。通常は公差を含まない、情報としてのみ使用される値

マイクロチップ・テクノロジー・ジャパン C04-123B

PIC10F220/222

付録 A: 改訂履歴

リビジョン A

文書の初版

リビジョン B (2006 年 3 月)

表 3-1(GP1)、第 4.7 項 (プログラムカウンタ)、表 5-2、図 8-5、第 9.1 項 (ANDWF、SLEEP、SUBWF、SWAPF、XORLW)。

リビジョン C (2006 年 8 月)

8 リード DFN ピン配置図を追加、表 1-1 を更新して DFN パッケージを追加、第 10.0 項の表 10-3 を更新、第 13.0 項に 8 リード DFN パッケージマーキング情報を追加、「製品識別システム」項を更新して DFN パッケージ識別を追加。

パッケージ図に注記を追加。

リビジョン D (2007 年 2 月)

開発ツールに関する項の記述を更新。パッケージ図を更新。

索引

A

A/D	
仕様	60
ADC	
ソースインピーダンス	32
内部サンプリングスイッチ (Rss) インピーダンス	32
ALU	9

C

CPU の特殊機能	33
C コンパイラ	
MPLAB C18	62
MPLAB C30	62

D

DC および AC 特性	65
--------------	----

F

FSR	20
-----	----

G

GPIO	21
------	----

I

I/O インタフェース	21
I/O プログラミングの注意点	23
I/O ポート	21
ID ロケーション	33, 41
INDF	20

M

MPLAB ASM30 アセンブラ、リンカ、ライブラリアン	62
MPLAB ICD 2 インサーキット デバッグ	63
MPLAB ICE 2000 高性能ユニバーサルインサーキット エミュレータ	63
MPLAB PM3 デバイスプログラマ	63
MPLAB REAL ICE インサーキットエミュレータ システム	63
MPLAB 統合開発環境ソフトウェア	61
MPLINK オブジェクトリンカ /MPLIB オブジェクト ライブラリアン	62

O

OPTION レジスタ	17
OSCCAL レジスタ	18

P

PC のロード	19
PIC10F220/222 デバイスの種類	7
PICSTART Plus 開発用プログラマ	64
POR	
PD	39
TO	39
デバイスリセットタイマ (DRT)	33, 38
パワーオンリセット (POR)	33

Q

Q サイクル	11
--------	----

S

STATUS レジスタ	9, 15, 29
-------------	-----------

T

TRIS レジスタ	21
-----------	----

W

WWW アドレス	75
WWW、オンラインサポート	3

あ

アセンブラ	
MPASM アセンブラ	62

い

インターネットアドレス	75
-------------	----

う

ウォッチドッグタイマ (WDT)	33, 38
周期	38
プログラミングの注意点	38

お

お客様サポート	75
お客様変更通知サービス	75

か

開発サポート	61
間接データアドレッシング	20

き

キャリー	9
------	---

く

クロック方式	11
--------	----

こ

コードプロテクション	33, 41
コンフィグレーションビット	33

す

スタック	19
スリープ	33, 40
スリープからのウェイクアップ	41

せ

正誤表情報	3
ゼロビット	9

そ

ソフトウェアシミュレータ (MPLAB SIM)	62
--------------------------	----

た

タイマ 0	
外部クロックを使用する TMR0	26
タイマ 0	25
タイマ 0 (TMR0) モジュール	25
タイミングパラメータの記号と負荷条件	57

て

デジットキャリー	9
デバイスファミリ	
PIC10F22X	5

と

読者アンケート	76
---------	----

PIC10F220/222

特殊機能レジスタ	14
な	
内部サンプリングスイッチ (Rss) インピーダンス	32
は	
発振器の構成	34
発振器の種類	
HS	34
LP	34
パワーダウンモード	40
ふ	
ブラウンアウトによるリセット	40
ブラウンアウト保護回路	40
プリスケーラ	27
プログラムカウンタ	19
ブロック図	
TMR0/WDI プリスケーラ	28
アナログ入力モジュール	32
ウォッチドッグタイマ	39
オンチップリセット回路	36
タイマ 0	25
へ	
変更通知サービス	75
ま	
マイクロチップ社のインターネット Web サイト	75
め	
命令サイクル	11
命令セットの一覧	44
命令フロー/パイプライン	11
メモリ構成	13
データメモリ	14
プログラムメモリ (PIC10F220)	13
プログラムメモリ (PIC10F222)	13
よ	
読み出し - 変更 - 書き込み	23
り	
リセット	33
れ	
レジスタ	
特殊機能	14
レジスタファイルマップ	
PIC10F220	14
PIC10F222	14

マイクロチップ社のWEB サイト

マイクロチップ社は、Webサイト(www.microchip.com)でオンラインサポートを提供しています。この Web サイトを使うことで、お客様はファイルや情報を簡単に入手することができます。お客様のお気に入りのインターネットブラウザでアクセスすることができます。Web サイトには以下の情報が掲載されています。

- **製品サポート** – データシートと正誤表、アプリケーションノートとサンプルプログラム、設計リソース、ユーザーズガイドとハードウェアサポート文書、最新のソフトウェアと過去のソフトウェア
- **一般テクニカルサポート** – よくある質問 (FAQ)、テクニカルサポートリクエスト、オンラインディスカッショングループ、マイクロチップ社コンサルタントプログラムメンバの一覧
- **マイクロチップ社の事業** – 製品選択および注文ガイド、マイクロチップ社の最新プレスリリース、セミナーおよびイベントの一覧、マイクロチップ社営業所、販売代理店、工場担当者の一覧

お客様変更通知サービス

マイクロチップ社のお客様通知サービスを利用すると、お客様にはマイクロチップ社製品の最新情報が送信されます。この通知サービスを申し込んだお客様には、お客様の指定した製品ファミリまたは開発ツールに関する変更、更新、改訂、正誤情報が電子メールでいち早く送信されます。

登録するには、マイクロチップ社の Web サイト (www.microchip.com) にアクセスし、[Customer Change Notification] をクリックして、登録手順に従ってください。

お客様サポート

マイクロチップ社製品のユーザーは、以下の複数のルートでサポートを受けることができます。

- 販売代理店
- 該当地域の営業所
- フィールドアプリケーションエンジニア (FAE)
- テクニカルサポート
- Development Systems Information Line (開発システム情報を提供する電話サービス)

サポートが必要な場合、お客様は製品を購入した販売代理店またはフィールドアプリケーションエンジニア (FAE) にご連絡ください。該当地域の営業所でもお客様へのサポートを提供しています。各営業所と所在地の一覧は、本書の最終ページに記載されています。

テクニカルサポートは Web サイト (<http://support.microchip.com>) を介して提供されます。

PIC10F220/222

読者アンケート

マイクロチップ社では、お客様にマイクロチップ社製品を効果的にお使いいただくために、わかりやすい文書を提供するように努めています。文書の構成、明瞭さ、内容、改善して欲しい点に関してご意見を提供していただける場合は、ファクスにて弊社のテクニカルパブリケーションマネージャ宛にご意見をお送りください。ファクス番号は 1-480-792-4150 (国際電話) です。

以下の欄に必要な事項と本書に関するご意見をご記入の上、お送りください。

送信先: テクニカルパブリケーションマネージャ

送信枚数 _____

件名: 読者アンケート

発信元: 名前 _____

会社名 _____

住所 _____

市町村 / 都道府県 / 郵便番号 / 国名 _____

電話: (_____) _____ - _____

ファクス: (_____) _____ - _____

用途 (オプション):

回答を希望しますか? ____ はい ____ いいえ

デバイス: PIC10F220/222

文書番号: DS41270D_JP

質問:

1. 本書の中で最も良い記事はどれですか?

2. 本書には、お客様がハードウェアおよびソフトウェアを開発する際に必要な情報が十分に記載されていますか?

3. 本書の構成はわかりやすいですか? わかりにくいと感じた場合、その理由をお書きください。

4. 本書の構成や内容を改善するには、何を追加したらよいですか?

5. 全体に影響を与えず、本書から削除してもかまわないと思われる内容があれば、お書きください。

6. 不正確な情報または誤解を与える情報がありますか? もしあれば、記載ページと該当箇所をお書きください。

7. 本書をさらにわかりやすくするには、どのような改善が必要だと思いますか?

製品識別システム

ご注文または価格や納期などの情報については、弊社工場または一覧に記載されている営業にお問い合わせください。

PART NO.	X	/XX	XXX	
デバイス	温度範囲	パッケージ	パターン	
デバイス:	PIC10F220 ⁽¹⁾ 、PIC10F222 ⁽¹⁾ (V _{DD} 範囲 2.0V ~ 5.5V)			例 a) PIC10F220-I/P = 工業用温度、PDIP パッケージ (鉛フリー) b) PIC10F222-T-I/OT = 工業用温度、SOT パッケージ (鉛フリー) c) PIC10F220-I/MC = 工業用温度、DFN パッケージ (鉛フリー)
温度範囲:	I	= -40°C ~ +85°C (工業用)		
	E	= -40°C ~ +125°C (拡張用途)		
パッケージ:	OT	= SOT、6-LD (鉛フリー)		
	P	= 300 mil PDIP、8-LD (鉛フリー)		
	MC	= DFN、8-LD 2x3 (鉛フリー)		
パターン:	特別要件			注 1: SOT パッケージはテープ & リール品のみ提供しています。

世界各国での販売およびサービス

北米

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
テクニカルサポート :
http://support.microchip.com
Web アドレス :
www.microchip.com

アトランタ

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

ボストン

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ダラス

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト

Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

ココモ

Kokomo, IN
Tel: 765-864-8360
Fax: 765-864-8387

ロサンゼルス

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント

Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア / 太平洋

アジア太平洋支社

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2401-1200
Fax: 852-2401-3431

オーストラリア - シドニー

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京

Tel: 86-10-8528-2100
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 福州

Tel: 86-591-8750-3506
Fax: 86-591-8750-3521

中国 - 香港 SAR

Tel: 852-2401-1200
Fax: 852-2401-3431

中国 - 青島

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深川

Tel: 86-755-8203-2660
Fax: 86-755-8203-1760

中国 - 順徳

Tel: 86-757-2839-5507
Fax: 86-757-2839-5571

中国 - 武漢

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7250
Fax: 86-29-8833-7256

アジア / 太平洋

インド - バンガロール

Tel: 91-80-4182-8400
Fax: 91-80-4182-8422

インド - ニューデリー

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 横浜

Tel: 81-45-471-6166
Fax: 81-45-471-6122

韓国 - 亀尾

Tel: 82-54-473-4301
Fax: 82-54-473-4302

韓国 - ソウル

Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - ペナン

Tel: 60-4-646-8870
Fax: 60-4-646-5086

フィリピン - マニラ

Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール

Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹

Tel: 886-3-572-9526
Fax: 886-3-572-6459

台湾 - 高雄

Tel: 886-7-536-4818
Fax: 886-7-536-4803

台湾 - 台北

Tel: 886-2-2500-6610
Fax: 886-2-2508-0102

タイ - バンコク

Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ

Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリュエネン

Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリッド

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

英国 - ウォーキングガム

Tel: 44-118-921-5869
Fax: 44-118-921-5820