



YMZ771

SSGS3

SSG&amusement music decoder with Sequencer 3

■概要

本LSIは、SSG音源(矩形波3音+ノイズ1音)2系統と、高音質・高圧縮なAMM(AMusement Music compression)データデコーダを内蔵した自動演奏LSIです。

8系統のシーケンサーにより、独立した8フレーズの同時再生が可能であり、さらに多彩な自動演奏が可能です。AMMデータの圧縮率は、ビットレート 24k~384kbit/sec の範囲で指定が可能であり、サンプリング周波数は16kHz または 32kHz の2種類から選択することができます。

また、3.3VのHostCPU及びフレーズデータ用ROMとのインターフェイスに対応しています。

■特徴

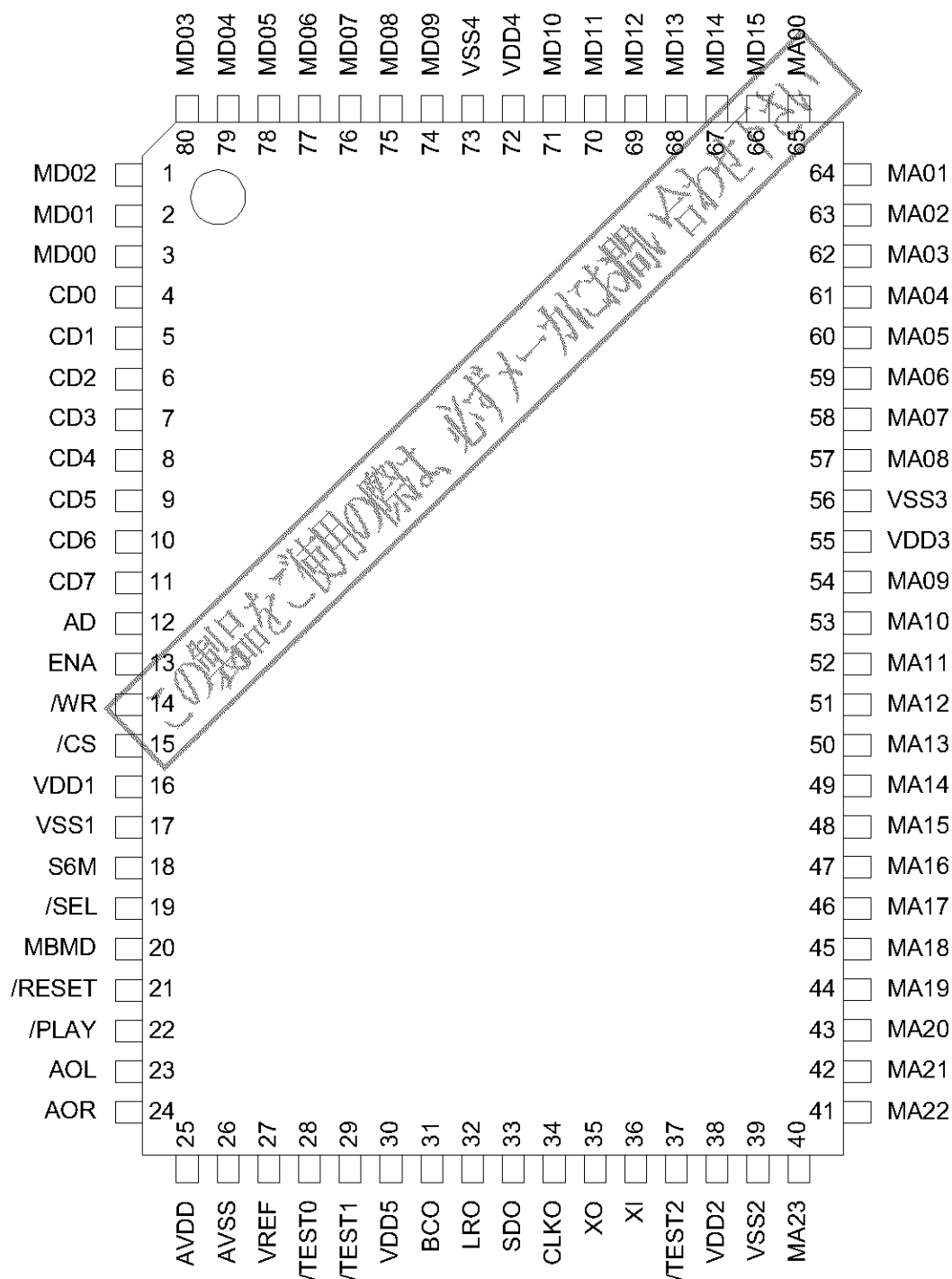
- ・SSG音源(矩形波3音+ノイズ1音)を2系統内蔵。
- ・3.3VのHostCPU及びフレーズデータ用外部ROMとのインターフェイスに対応。
- ・AMMデータデコーダによる高音質、高圧縮の実現。
ビットレートは、24k~384kbit/secの範囲で1kbit/secごとの指定が可能。
サンプリング周波数は、16kHz/32kHzを選択可能。
- ・フレーズデータ用外部ROMに記憶された最大256曲のフレーズデータから、最大8フレーズの同時再生が可能。(ステレオフレーズの場合は、2フレーズと計算される)
- ・8系統のシーケンサーを内蔵し、フレーズ再生停止検出機能やタイマー機能を利用して、曲順指定、フェードイン/フェードアウト、オートパン等が実現可能。
- ・外部からの制御は8ビットパラレルインターフェースと、データバス8本のみで制御可能な「シンプルアクセスモード」が選択可能。
- ・クリップ防止リミッタ付きバスブーストを内蔵し、効果的な低音強調が可能。
フィルタ：シェルビング型及びピーキング型、ゲイン:+6dB/+12dB/+18dB/+24dB
- ・オーディオ出力は内蔵16ビットDACからのアナログ出力と、16ビットPCMのデジタル出力が可能。
フレーズデータ用外部ROMは最大32Mバイト(データバス16ビット時)または16Mバイト(データバス8ビット時)まで接続可能。
- ・アクセスタイム180ns以下(電源電圧5V仕様のフレーズデータ用外部ROM)、または120ns以下(電源電圧3.3V仕様のフレーズデータ用外部ROM)。
- ・電源電圧
5V±10%(HostCPU、フレーズデータ用外部ROMともに電源電圧5V仕様の場合)
5V±10%、3.3V±10%(HostCPU、フレーズデータ用外部ROMともに電源電圧3.3V仕様が含まれる場合)
- ・シリコンゲートCMOSプロセス。
- ・80ピンプラスチックQFP(YMZ771-F)

ヤマハ株式会社

YMZ771 カタログ
CATALOG No.: LSI-3MZ771A40
2005.1

■端子配置図

YMZ771-F



< 80 Pin QFP Top View >

■端子機能説明

No.	名称	I/O	Type	機能
16	VDD1	—	—	+5V/+3.3V 電源 (HostCPU の電源 = +5/+3.3V)
38	VDD2	—	—	+5V/+3.3V 電源 (フレーズデータ用外部 ROM の電源 = +5/+3.3V)
55	VDD3	—	—	+5V/+3.3V 電源 (フレーズデータ用外部 ROM の電源 = +5/+3.3V)
72	VDD4	—	—	+5V 電源
30	VDD5	—	—	+5V 電源
17	VSS1	—	—	グランド
39	VSS2	—	—	グランド
56	VSS3	—	—	グランド
73	VSS4	—	—	グランド
25	AVDD	—	—	+5V 電源 (アナログ)
26	AVSS	—	—	グランド (アナログ)
21	/RESET	I+	CMOS, Schmitt	リセット入力
36	XI	I	CMOS	水晶発振子接続端子または外部クロック入力 (16.384MHz)
35	XO	O	—	水晶発振子接続端子
34	CLKO	O	IOL=2mA	クロック出力端子
19	/SEL	I+	CMOS	インターフェイスモード選択信号 電源(VDD1)またはグランド(VSS1~VSS4)に接続してご使用下さい。(*1)
18	S6M	I+	CMOS, Schmitt	CPU インターフェイスモード選択信号 電源(VDD1)またはグランド(VSS1~VSS4)に接続してご使用下さい。(*1)
15	/CS	I	CMOS, Schmitt	CPU インターフェイス チップセレクト信号入力
14	/WR	I	CMOS, Schmitt	CPU インターフェイス ライトイネーブル信号入力
13	ENA	I	CMOS, Schmitt	CPU インターフェイス イネーブル信号入力 (ノーマルモード 2) CPU インターフェイス ライトイネーブル信号 (ノーマルモード 1)
12	AD	I	CMOS, Schmitt	CPU インターフェイス アドレスデータ選択信号入力
4	CD0	I	CMOS, Schmitt	CPU インターフェイス データバス
5	CD1	I	CMOS, Schmitt	CPU インターフェイス データバス
6	CD2	I	CMOS, Schmitt	CPU インターフェイス データバス
7	CD3	I	CMOS, Schmitt	CPU インターフェイス データバス
8	CD4	I	CMOS, Schmitt	CPU インターフェイス データバス
9	CD5	I	CMOS, Schmitt	CPU インターフェイス データバス
10	CD6	I	CMOS, Schmitt	CPU インターフェイス データバス
11	CD7	I	CMOS, Schmitt	CPU インターフェイス データバス
20	MBMD	I+	CMOS	フレーズデータ用外部 ROM インターフェイス データバス幅選択信号 電源(VDD1)またはグランド(VSS1~VSS4)に接続してご使用下さい。(*1)
3	MD00	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
2	MD01	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
1	MD02	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
80	MD03	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
79	MD04	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
78	MD05	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
77	MD06	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
76	MD07	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
75	MD08	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
74	MD09	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
71	MD10	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
70	MD11	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
69	MD12	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
68	MD13	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
67	MD14	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス
66	MD15	I+	TTL	フレーズデータ用外部 ROM インターフェイス データバス

No.	名称	I/O	Type	機能
65	MA00	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
64	MA01	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
63	MA02	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
62	MA03	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
61	MA04	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
60	MA05	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
59	MA06	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
58	MA07	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
57	MA08	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
54	MA09	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
53	MA10	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
52	MA11	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
51	MA12	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
50	MA13	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
49	MA14	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
48	MA15	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
47	MA16	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
46	MA17	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
45	MA18	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
44	MA19	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
43	MA20	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
42	MA21	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
41	MA22	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
40	MA23	O	$I_{OL}=2mA/1.6mA(*2)$	フリーズデータ用外部 ROM インターフェイス アドレスバス
32	LRO	O	$I_{OL}=2mA$	デジタル出力 ワードクロック
31	BCO	O	$I_{OL}=2mA$	デジタル出力 ビットクロック
33	SDO	O	$I_{OL}=2mA$	デジタル出力 データ
22	/PLAY	O	$I_{OL}=2mA$	再生中フラグ
23	AOL	AO	0dB=2.5VPP	アナログ出力 L チャンネル
24	AOR	AO	0dB=2.5VPP	アナログ出力 R チャンネル
27	VREF	AO	—	基準電圧出力端子
28	/TEST0	I+	CMOS	LSI テスト用端子 (電源(VDD4,VDD5)に接続してご使用ください。)
29	/TEST1	I+	CMOS	LSI テスト用端子 (電源(VDD4,VDD5)に接続してご使用ください。)
37	/TEST2	I	CMOS	LSI テスト用端子 (電源(VDD4,VDD5)に接続してご使用ください。)

(注) I+:プルアップ抵抗内蔵入力端子

各端子のプルアップ電源供給元は下記の通りです。

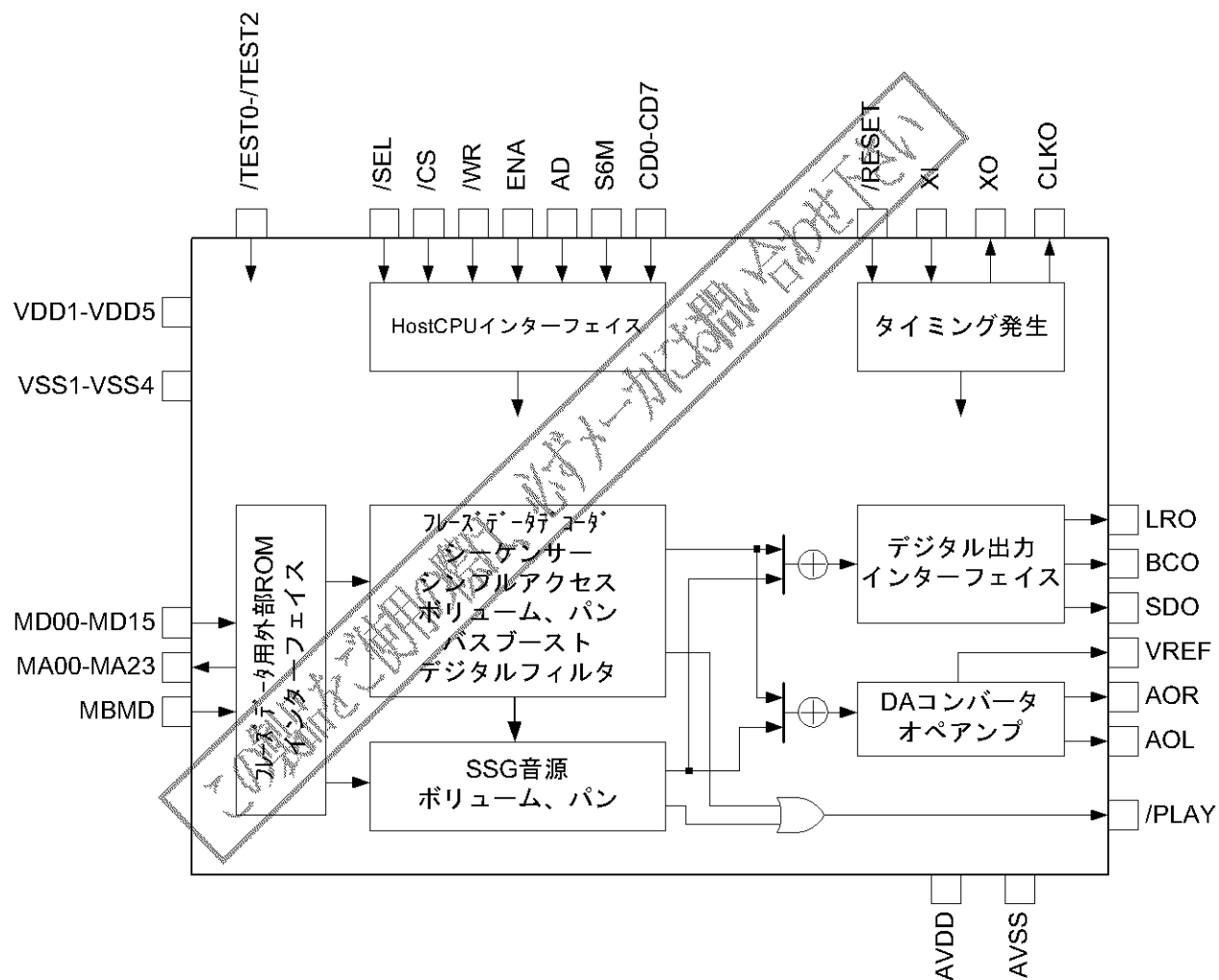
プルアップ抵抗内蔵入力端子	プルアップ電源供給元
/RESET 端子	VDD1
/SEL 端子	VDD1
S6M 端子	VDD1
MBMD 端子	VDD1
MD00~MD15 端子	VDD2,VDD3
/TEST0 端子	VDD4,VDD5
/TEST1 端子	VDD4,VDD5

A:アナログ端子

*1:静電気や電源ノイズの状態がよくない環境では、プルアップ状態の入力端子はノイズの影響を受けやすく、誤作動の原因になることが考えられますので、レベルを固定して使用する入力ピンは、プルアップ処理を避け、電源またはグランドに直接接続してご使用下さい。

*2:VDD2,VDD3=5V 時、 $I_{OL}=2mA$ となります。VDD2,VDD3=3.3V の時、 $I_{OL}=1.6mA$ となります。

■ブロック図



■機能説明

●電源 VDD1-VDD5、VSS1-VSS4、AVDD、AVSS

VDD1-VDD5 端子はデジタル電源端子です。

VDD1 端子は HostCPU が 5V 仕様の時は 5V 電源に、3.3V 仕様の時は 3.3V の電源に接続します。

VDD2、VDD3 端子はフレーズデータ用外部 ROM が 5V 仕様の時は 5V 電源に、3.3V 仕様の時は 3.3V 電源に接続します。

VDD4、VDD5 端子は HostCPU、フレーズデータ用外部 ROM の仕様にかかわらず 5V 電源に接続して下さい。

VSS1-VSS4 端子はデジタルグランド端子です。共通のグランドに接続して下さい。

AVDD 端子はアナログ電源端子です。5V 電源に接続します。

AVSS 端子はアナロググランド端子です。

アナログ電源とデジタル電源、アナロググランドとデジタルグランドは、それぞれ別の電源、グランドへの接続を推奨します。

HostCPU	フレーズデータ用外部 ROM	VDD1	VDD2、VDD3	VDD4、VDD5	AVDD
5V 仕様	5V 仕様	5V	5V	5V	5V
5V 仕様	3.3V 仕様	5V	3.3V	5V	5V
3.3V 仕様	5V 仕様	3.3V	5V	5V	5V
3.3V 仕様	3.3V 仕様	3.3V	3.3V	5V	5V

各電源の立ち上げの順序については特に規定はありませんが、最初の電源の立ち上げから最後の電源の立ち上げまでの時間が 100ms 以内になることを推奨致します。

●クロック発振 XI、XO、CLKO

XI、XO 端子を使用して水晶発振回路を構成します。

発振周波数は 16.384MHz です。

CLKO 端子からは 256fs のクロックが出力されます。

fs は再生時に AMM データで指定される fs に設定されます。

XI 端子に外部よりクロックを入力することも可能です。その場合 XO 端子はオープンにして下さい。

DOEN レジスタ=0 の時は、CLKO 端子は L レベルが出力されます。

fs	XI 端子入力周波数	CLKO 出力周波数
32kHz、16kHz	16.384MHz	256fs

●Host CPU インターフェイス /SEL、S6M、/CS、/WR、ENA、AD、CD0~CD7

/SEL、S6M、/CS、/WR、ENA、AD 端子により以下のようなモード、及び状態になります。

/SEL 端子はインターフェイスモード選択端子です。

S6M 端子は CPU インターフェイスモード選択端子です。

CD0-CD7 端子は CPU からのコマンドデータ入力端子です。

コマンドデータの書き込みは /CS、/WR、ENA、AD 端子で行います。

/SEL、S6M 端子は電源 (VDD1) またはグランド (VSS1~VSS4) に接続してご使用下さい。

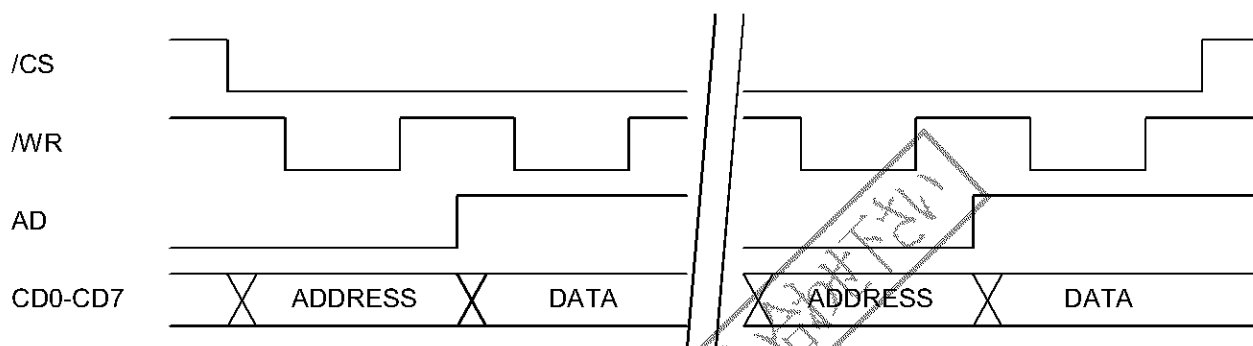
ノーマルモード 1、ノーマルモード 2、シンプルアクセスモードはいずれかのモードに固定してご使用下さい。

/SEL	S6M	/CS	/WR	ENA	AD	機能	
L	*	L	*	*	*	シンプルアクセスモード	
H	H	L	L	*	L	ノーマルモード 1	アドレスライトステート
H	H	L	L	*	H		データライトステート
H	L	L	L	H	L	ノーマルモード 2	アドレスライトステート
H	L	L	L	H	H		データライトステート
H	L	*	*	L	*	ノーマルモード 1&2 共通	インアクティブステート
H	*	H	*	*	*		インアクティブステート
H	*	*	H	*	*		インアクティブステート

* :Don't care

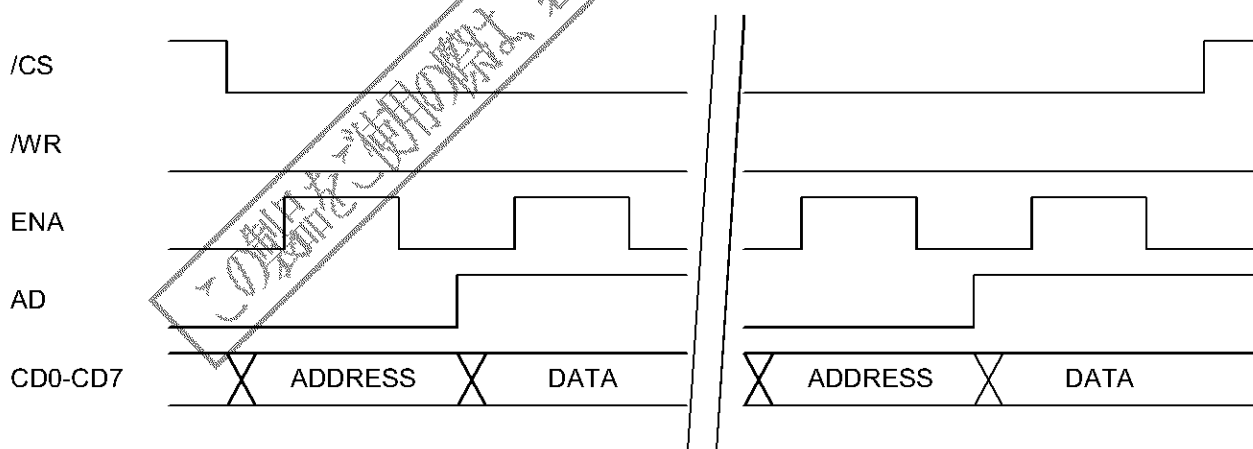
・ノーマルモード 1 (/SEL= “H”、S6M= “H”)

CD0-CD7 端子に、AD 端子= “L” でレジスタアドレスを設定し、AD 端子= “H” でデータを設定します。
レジスタアドレス及びデータは、/WR 端子の立ち上がりで、LSI 内部に取り込まれます。



・ノーマルモード 2 (/SEL= “H”、S6M= “L”)

CD0-CD7 端子に、AD 端子= “L” でレジスタアドレスを設定し、AD 端子= “H” でデータを設定します。
レジスタアドレス及びデータは、ENA 端子の立ち下がりで、LSI 内部に取り込まれます。



・シンプルアクセスモード (/SEL= “L”)

データバス 8 本 (CD0-CD7) のみでシーケンス制御が可能です。

●フレーズデータ用外部 ROM インターフェイス MA00-MA23、MD00-MD15、MBMD

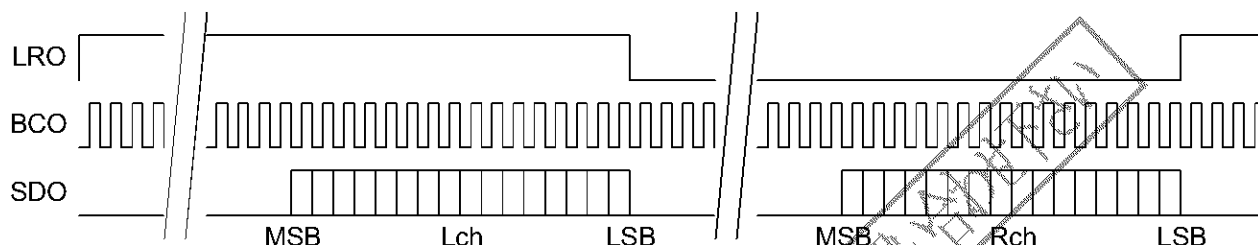
- ・MBMD 端子が “H” レベルの時、16 ビットデータバスに対応します。
フレーズデータ用外部 ROM の容量は最大 32M バイトです。
MA00-MA23 端子よりアドレスを出力し、MD00-MD15 端子からデータを読み込みます。
- ・MBMD 端子が “L” レベルの時、8 ビットデータバスに対応します。
フレーズデータ用外部 ROM の容量は最大 16M バイトです。
MA00-MA23 端子よりアドレスを出力し、MD00-MD07 端子からデータを読み込みます。
使用しない MD08-MD15 端子は電源 (VDD2, VDD3) に直接接続してご使用下さい。

MBMD 端子は電源 (VDD1) またはグランド (VSS1~VSS4) に直接接続してご使用下さい。
フレーズデータ用外部 ROM は、5V 使用の場合はアクセスタイムが 180ns 以下のものを、3.3V 仕様の場合はアクセスタイムが 120ns 以下のものをご使用下さい。

●デジタル出力 LRO、BCO、SDO

DOEN レジスタ=1 の時、PCM データにデコードされたフレーズデータをデジタル出力します。
データは 16 ビット毎に MSB ファーストでシリアル出力です。
fs (サンプリング周波数) は再生状態時にフレーズデータで指定される fs に指定されます。

fs	BCO 出力周波数
32kHz、16kHz	64fs



DOEN レジスタ=0 の時、LRO、BCO、SDO 端子からは“L”レベルが出力されます。
デジタル出力を使用しない場合は、LRO、BCO、SDO 端子はオープンで使用下さい。

●アナログ出力 AOL、AOR、/PLAY、VREF

PCM データにデコードされたフレーズデータは、デジタルフィルタで 2 倍にオーバーサンプリングされ、16 ビット DAC およびオペアンプを介して、AOL、AOR 端子からアナログ出力されます。

出力レベルは 0dB で 2.5Vpp、最大振幅は 5.0Vpp です。

/PLAY 端子は各再生チャンネルのいずれかが再生中の場合、“L”レベルとなります。

AMM 音は KONx レジスタ (\$43、\$47、\$4B、\$4F、\$53、\$57、\$5B、\$5F) の設定、SSG 音はミキサーレジスタ (\$1E、\$1F) の設定により、いずれかのチャンネルが再生状態になると /PLAY 端子が“H”→“L”に変化します。再生中の状態から再生停止命令直後に /PLAY 端子が“L”→“H”に変化するタイミングは AMM 音と SSG 音とで異なります。

MUTING tr. 等を使用し、再生中以外は MUTE することができます。



VREF 端子はアナログ回路の基準電圧を出力します。コンデンサを接続して使用します。

●システムリセット /RESET

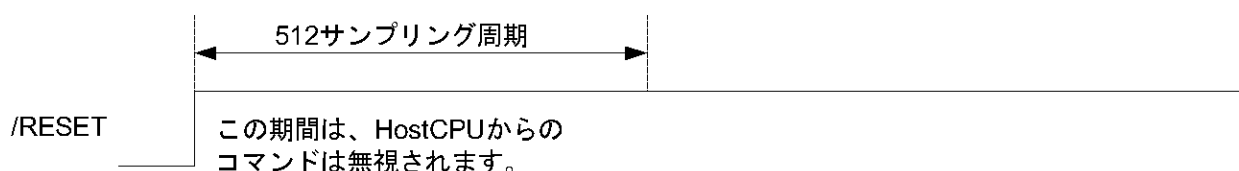
/RESET 端子が“L”レベルの時、内部レジスタを初期化します。再生は強制的に停止されます。

本 LSI は電源投入時、システムリセットが必要です。

システムリセットには全ての電源が立ち上がってから、規定の時間、/RESET 端子を“L”レベルにする必要があります。

システムリセットが解除 (“L”→“H”) されてから 512 サンプル周期の間は、LSI の内蔵 RAM の初期化が行われますので、この期間は HostCPU からのコマンドは無視されます。

電源が立ち上がる前は /RESET 端子=“L”レベルとして下さい。



■フレーズ再生制御レジスタマップ

本 LSI のフレーズ再生は、以下のレジスタによって制御されます。

fs の切り替えはフレーズデータに含まれるコードにより自動識別され、再生状態で fs が設定されます。再生が停止しても、前の状態が保持され、再設定はできません。フレーズデータ用外部 ROM には異なる fs のフレーズデータは混在できますが、同時に再生されるフレーズデータはすべて同じ fs であることが必要です。フレーズデータの圧縮率、音質はエンコード時にビットレート指定、通過帯域指定を行い調整します。ダイレクトアクセスによるレジスタ設定回数+シンプルアクセスコードデータ+シーケンスコードデータの合計が 500 回/32 サンプリング周期以下にしてください。

ADRS	再生チャンネル	D7	D6	D5	D4	D3	D2	D1	D0	
\$00h	ALL								DOEN	MUTE
\$01h		VLMA (AMM トータルボリューム)								
\$02h		CPL (クリップリミット)				BSL (ブーストレベル)				
\$40h	チャンネル 0	MNS0 (フレーズナンバーの選択)								
\$41h		VLM0 (ボリューム)								
\$42h		PAN0 (パン)								
\$43h		KON0							LOOP0	
\$44h	チャンネル 1	MNS1 (フレーズナンバーの選択)								
\$45h		VLM1 (ボリューム)								
\$46h		PAN1 (パン)								
\$47h		KON1							LOOP1	
\$48h	チャンネル 2	MNS2 (フレーズナンバーの選択)								
\$49h		VLM2 (ボリューム)								
\$4Ah		PAN2 (パン)								
\$4Bh		KON2							LOOP2	
\$4Ch	チャンネル 3	MNS3 (フレーズナンバーの選択)								
\$4Dh		VLM3 (ボリューム)								
\$4Eh		PAN3 (パン)								
\$4Fh		KON3							LOOP3	
\$50h	チャンネル 4	MNS4 (フレーズナンバーの選択)								
\$51h		VLM4 (ボリューム)								
\$52h		PAN4 (パン)								
\$53h		KON4							LOOP4	
\$54h	チャンネル 5	MNS5 (フレーズナンバーの選択)								
\$55h		VLM5 (ボリューム)								
\$56h		PAN5 (パン)								
\$57h		KON5							LOOP5	
\$58h	チャンネル 6	MNS6 (フレーズナンバーの選択)								
\$59h		VLM6 (ボリューム)								
\$5Ah		PAN6 (パン)								
\$5Bh		KON6							LOOP6	
\$5Ch	チャンネル 7	MNS7 (フレーズナンバーの選択)								
\$5Dh		VLM7 (ボリューム)								
\$5Eh		PAN7 (パン)								
\$5Fh		KON7							LOOP7	

注)  には “0” をライトして下さい。

■SSG 音源制御レジスタマップ

本 LSI は、2 系統の SSG 音源が内蔵されており、以下のレジスタによって制御されます。

ADRS	機能	D7	D6	D5	D4	D3	D2	D1	D0
\$10h	チャンネル-1A 周波数	TP1A							
\$11h									
\$12h	チャンネル-1B 周波数	TP1B							
\$13h									
\$14h	チャンネル-1C 周波数	TP1C							
\$15h									
\$16h	チャンネル-2A 周波数	TP2A							
\$17h									
\$18h	チャンネル-2B 周波数	TP2B							
\$19h									
\$1Ah	チャンネル-2C 周波数	TP2C							
\$1Bh									
\$1Ch	ノイズ-1					NP1			
\$1Dh	ノイズ-2					NP2			
\$1Eh	ミキサー-1			N1C	N1B	N1A	T1C	T1B	T1A
\$1Fh	ミキサー-2			N2C	N2B	N2A	T2C	T2B	T2A
\$20h	チャンネル-1A 音量				M1A	L1A			
\$21h	チャンネル-1B 音量				M1B	L1B			
\$22h	チャンネル-1C 音量				M1C	L1C			
\$23h	チャンネル-2A 音量				M2A	L2A			
\$24h	チャンネル-2B 音量				M2B	L2B			
\$25h	チャンネル-2C 音量				M2C	L2C			
\$26h	エンベロープ-1 周波数	EP1							
\$27h									
\$28h	エンベロープ-2 周波数	EP2							
\$29h									
\$2Ah	エンベロープ-1 形状					CONT	ATT	ALT	HOLD
\$2Bh	エンベロープ-2 形状					CONT	ATT	ALT	HOLD
\$2Ch	チャンネル-1A パンポット				P1A				
\$2Dh	チャンネル-1B パンポット				P1B				
\$2Eh	チャンネル-1C パンポット				P1C				
\$2Fh	チャンネル-2A パンポット				P2A				
\$30h	チャンネル-2B パンポット				P2B				
\$31h	チャンネル-2C パンポット				P2C				
\$32h	SSG トータルボリューム	VLMA_SSG							

注) には“0”をライトして下さい。

■シーケンサーレジスタマップ

本 LSI は、8 系統のシーケンサーが内蔵されており、以下のレジスタによって制御されます。

ADRS	シーケンサー	D7	D6	D5	D4	D3	D2	D1	D0
\$80h	シーケンサー0	SQNS0 (シーケンスコードの選択)							
\$81h									SQON0
\$82h									SQNP0
\$83h		TMRH0 (ウェイトタイマーの H バイト)							
\$84h		TMRL0 (ウェイトタイマーの L バイト)							
\$85h		TGST0 (ON トリガの再生チャンネルの選択)							
\$86h		TGEN0 (OFF トリガの再生チャンネルの選択)							
\$87h		SQOF0 (シーケンサー終了時の再生停止チャンネルの選択)							
\$88h	シーケンサー1	SQOF0 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$89h		TEMPO0 (ウェイトタイマーのスピード制御)							
\$90h		SQNS1 (シーケンスコードの選択)							
\$91h									SQON1
\$92h									SQNP1
\$93h		TMRH1 (ウェイトタイマーの H バイト)							
\$94h		TMRL1 (ウェイトタイマーの L バイト)							
\$95h		TGST1 (ON トリガの再生チャンネルの選択)							
\$96h		TGEN1 (OFF トリガの再生チャンネルの選択)							
\$97h	シーケンサー2	SQOF1 (シーケンサー終了時の再生停止チャンネルの選択)							
\$98h		SQOF1 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$99h		TEMPO1 (ウェイトタイマーのスピード制御)							
\$A0h		SQNS2 (シーケンスコードの選択)							
\$A1h									SQON2
\$A2h									SQNP2
\$A3h		TMRH2 (ウェイトタイマーの H バイト)							
\$A4h		TMRL2 (ウェイトタイマーの L バイト)							
\$A5h	シーケンサー3	TGST2 (ON トリガの再生チャンネルの選択)							
\$A6h		TGEN2 (OFF トリガの再生チャンネルの選択)							
\$A7h		SQOF2 (シーケンサー終了時の再生停止チャンネルの選択)							
\$A8h		SQOF2 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$A9h		TEMPO2 (ウェイトタイマーのスピード制御)							
\$B0h		SQNS3 (シーケンスコードの選択)							
\$B1h									SQON3
\$B2h									SQNP3
\$B3h	シーケンサー4	TMRH3 (ウェイトタイマーの H バイト)							
\$B4h		TMRL3 (ウェイトタイマーの L バイト)							
\$B5h		TGST3 (ON トリガの再生チャンネルの選択)							
\$B6h		TGEN3 (OFF トリガの再生チャンネルの選択)							
\$B7h		SQOF3 (シーケンサー終了時の再生停止チャンネルの選択)							
\$B8h		SQOF3 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$B9h		TEMPO3 (ウェイトタイマーのスピード制御)							
\$C0h		SQNS4 (シーケンスコードの選択)							
\$C1h	シーケンサー5								SQON4
\$C2h									SQNP4
\$C3h		TMRH4 (ウェイトタイマーの H バイト)							
\$C4h		TMRL4 (ウェイトタイマーの L バイト)							
\$C5h		TGST4 (ON トリガの再生チャンネルの選択)							
\$C6h		TGEN4 (OFF トリガの再生チャンネルの選択)							
\$C7h		SQOF4 (シーケンサー終了時の再生停止チャンネルの選択)							
\$C8h		SQOF4 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$C9h	シーケンサー6	TEMPO4 (ウェイトタイマーのスピード制御)							
\$D0h		SQNS5 (シーケンスコードの選択)							
\$D1h									SQON5
\$D2h									SQNP5
\$D3h		TMRH5 (ウェイトタイマーの H バイト)							
\$D4h		TMRL5 (ウェイトタイマーの L バイト)							
\$D5h		TGST5 (ON トリガの再生チャンネルの選択)							
\$D6h		TGEN5 (OFF トリガの再生チャンネルの選択)							
\$D7h	シーケンサー7	SQOF5 (シーケンサー終了時の再生停止チャンネルの選択)							
\$D8h		SQOF5 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$D9h		TEMPO5 (ウェイトタイマーのスピード制御)							
\$E0h		SQNS6 (シーケンスコードの選択)							
\$E1h									SQON6
\$E2h									SQNP6
\$E3h		TMRH6 (ウェイトタイマーの H バイト)							
\$E4h		TMRL6 (ウェイトタイマーの L バイト)							
\$E5h	シーケンサー8	TGST6 (ON トリガの再生チャンネルの選択)							
\$E6h		TGEN6 (OFF トリガの再生チャンネルの選択)							
\$E7h		SQOF6 (シーケンサー終了時の再生停止チャンネルの選択)							
\$E8h		SQOF6 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$E9h		TEMPO6 (ウェイトタイマーのスピード制御)							
\$F0h		SQNS7 (シーケンスコードの選択)							
\$F1h									SQON7
\$F2h									SQNP7
\$F3h	シーケンサー9	TMRH7 (ウェイトタイマーの H バイト)							
\$F4h		TMRL7 (ウェイトタイマーの L バイト)							
\$F5h		TGST7 (ON トリガの再生チャンネルの選択)							
\$F6h		TGEN7 (OFF トリガの再生チャンネルの選択)							
\$F7h		SQOF7 (シーケンサー終了時の再生停止チャンネルの選択)							
\$F8h		SQOF7 SSG (シーケンサー終了時の再生停止チャンネルの選択)							
\$F9h		TEMPO7 (ウェイトタイマーのスピード制御)							

注) には“0”をライトして下さい。

■フレーズデータ用外部 ROM アドレスマップ

本 LSI では、データバス 8 ビット及びデータバス 16 ビットどちらにおいても、1 アドレス=データ 8 ビットで計算します。データバス 8 ビットのフレーズデータ用外部 ROM に接続した場合、アドレス=ROM アドレスとなります。データバス 16 ビットのフレーズデータ用外部 ROM に接続した場合、アドレスは“H” バイト、“L” バイトの順に割り付けられます。

ADRS	—	D7	D6	D5	D4	D3	D2	D1	D0
\$000_0000h	フレーズナンバー 0	(ATBL00)							
\$000_0001h		MST00 (フレーズデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0002h									
\$000_0003h									
\$000_0004h	フレーズナンバー 1	(ATBL01)							
\$000_0005h		MST01 (フレーズデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0006h									
\$000_0007h									
:	:	:							
\$000_03FCh	フレーズナンバー 255	(ATBLFF)							
\$000_03FDh		MSTFF (フレーズデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_03FEh									
\$000_03FFh									
\$000_0400h	シーケンスコード 0								
\$000_0401h		SQCD00 (シーケンスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0402h									
\$000_0403h									
\$000_0404h	シーケンスコード 1								
\$000_0405h		SQCD01 (シーケンスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0406h									
\$000_0407h									
:	:	:							
\$000_07FCh	シーケンスコード 255								
\$000_07FDh		SQCDFF (シーケンスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_07FEh									
\$000_07FFh									
\$000_0800h	シンプルアクセス コード 0								
\$000_0801h		SACD00 (シンプルアクセスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0802h									
\$000_0803h									
\$000_0804h	シンプルアクセス コード 1								
\$000_0805h		SACD01 (シンプルアクセスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0806h									
\$000_0807h									
:	:	:							
\$000_0BFCh	シンプルアクセス コード 255								
\$000_0BFDh		SACDFF (シンプルアクセスコードデータスタートアドレス 24~0 ビット、MSB ファースト)							
\$000_0BFEh									
\$000_0BFFh									
\$000_0C00h	—	シーケンスコードデータ、シンプルアクセスコードデータ、フレーズデータ							
:	:	:							

注) には“0”を設定して下さい。

■電気的特性

1.絶対最大定格

項目	記号	定格値	単位
電源電圧	VDD *1	-0.5~7.0	V
入力電圧	Vi	-0.5~VDD+0.5	V
出力電圧	Vo	-0.5~VDD+0.5	V
動作周囲温度	TOP	0~70	°C
保存温度	TSTG	-50~125	°C

(注) *1: VDD、AVDD を総称して VDD とします。

2.推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧 1	VDD_CO *1	4.5	5.0	5.5	V
電源電圧 2	VDD_HC *2	4.5	5.0	5.5	V
		3.0	3.3	3.6	
電源電圧 3	VDD_ER *3	4.5	5.0	5.5	V
		3.0	3.3	3.6	
電源電圧 4	AVDD *4	4.5	5.0	5.5	V
動作周囲温度	TOP	0	25	70	°C

(注) *1: VDD4、VDD5 端子に適用。

*2: VDD1 端子に適用。3.6V~4.5V は禁止。5V で使用する場合は VDD_CO と同一の電源に接続。

*3: VDD2、VDD3 端子に適用。3.6V~4.5V は禁止。5V で使用する場合は、VDD_CO と同一の電源に接続。

*4: AVDD 端子に適用。

3.直流特性(推奨動作条件において)

項目	記号	条件	最小	標準	最大	単位
消費電流	IDD	全ての VDD、AVDD=5V			70	mA
入力電圧 H レベル 1	VIH1	MD00~MD15 端子	2.2		VDD_CO+0.3	V
入力電圧 L レベル 1	VIL1		-0.3		0.8	V
入力電圧 H レベル 2	VIH2	*1	VDD_HC×0.7		VDD_HC+0.3	V
入力電圧 L レベル 2	VIL2		-0.3		VDD_HC×0.3	V
入力電圧 H レベル 3	VIH3	XI、/TEST0~/TEST2 端子	VDD_CO×0.7		VDD_CO+0.3	V
入力電圧 L レベル 3	VIL3		-0.3		VDD_CO×0.3	V
ヒステリシス電圧	Vh	*2 全ての VDD、AVDD=5V Ta=25°C		1.0		V
出力電圧 H レベル 1H	VOH1H	IOH=-0.1mA, IOL=2.0mA	VDD_ER-1.0			V
出力電圧 L レベル 1H	VOL1H	MA00~MA23 端子 VDD_ER が 4.5V 以上の時			0.4	V
出力電圧 H レベル 1L	VOH1L	IOH=-0.1mA, IOL=1.6mA	VDD_ER-0.4			V
出力電圧 L レベル 1L	VOL1L	MA00~MA23 端子 VDD_ER が 3.6V 以下の時			0.4	V
出力電圧 H レベル 2	VOH2	IOH=-0.1mA, IOL=2.0mA	VDD_CO-1.0			V
出力電圧 L レベル 2	VOL2	CLKO、LRO、BCO、SDO、 /PLAY 端子			0.4	V
入力リーク電流	ILI	Vi=0~5.0V *3	-10		10	μA
プルアップ抵抗	RU	*4	30		300	kΩ

(注) * : VDD_HC は VDD1 端子、VDD_ER は VDD2、VDD3 端子、VDD_CO は VDD4、VDD5 端子に適用。

*1: /RESET、/SEL、/CS、/WR、ENA、AD、S6M、CD0~CD7、MBMD 端子に適用。

*2: /RESET、/CS、/WR、ENA、AD、S6M、CD0~CD7 端子に適用。

*3: AD、ENA、/WR、/CS、CD0~CD7、/TEST2 端子に適用。

*4: /RESET、/SEL、S6M、MBMD、MD00~MD15、/TEST0、/TEST1 端子に適用。

4. アナログ特性 (推奨動作条件において)

項目	記号	条件	標準	単位
0dB 出力振幅	VOA0	AOL、AOR 端子 *1	2.5	V
最大出力振幅	VOA	AOL、AOR 端子 *1	5.0	V

(注) *1: AVDD=5.0V、無負荷時、peak to peak。最大振幅付近は歪みが大きくなります。

5. 交流特性 (推奨動作条件において)

項目	記号	最小	標準	最大	単位
マスタークロック周期 (*1)	tMCK	57.99	61.04	64.09	ns
マスタークロック立ち上がり時間 (*2)	tRCK			10	ns
マスタークロック立ち下がり時間 (*2)	tFCK			10	ns
マスタークロックデューティ (*2)	D	40	50	60	%
出力クロック周期	tCKO		(*)3		ns
出力クロックオンタイム	tCKOH	(*)3×0.3		(*)3×0.7	ns
出力クロックオフタイム	tCKOL	(*)3×0.3		(*)3×0.7	ns
リセットパルス幅 (*4)	tWRES	10			ms
リセットセットアップ時間 (*5)	tSRES	0			ns
クロックセットアップ時間 (*6)	tSCK	10			us
ライトパルス幅	tWRW	tMCK+20			ns
ENA パルス幅	tEW	tMCK+20			ns
ライトウェイト時間	tWWW	tMCK+20			ns
AD セットアップ時間	tAS	25			ns
AD ホールド時間	tAH	25			ns
ライトデータセットアップ時間	tWDS	25			ns
ライトデータホールド時間	tWDH	25			ns
チップセレクトセットアップ時間	tCSS	tMCK+20			ns
チップセレクトホールド時間	tCSH	0			ns
シンプルアクセス有効データ保持時間 (*7)	tVDH	(*)9			s
チップセレクトセットアップ時間 (シンプルアクセスモード)	tCSS_SA	40			ns
チップセレクトホールド時間 (シンプルアクセスモード)	tCSH_SA	tMCK×4 + tVDH			ns
フリーズデータ用外部ROM アクセス時間 (*8)	tRAC				
VDD_ER が 4.5V 以上の時				200	ns
VDD_ER が 3.6V 以下の時				160	ns
デジタル出力アクセス時間	tD	-20		20	ns

(注) 出力負荷容量 CL=50 (pF)

*1: マスタークロック周期を 61.04ns (標準値) として規定する。最大値、最小値は標準値±5%として規定する。

*2: 外部からクロックを供給する場合。

*3: 出力クロック周期は使用する AMM データのサンプリング周期により異なる。(fs:AMM データのサンプリング周波数) システムリセット後は、fs=32kHz の時と同じ状態に設定されている。

fs (サンプリング周波数)	出力クロック周期	単位
32kHz	122.07	ns
16kHz	244.14	ns

*4: 全ての電源が推奨動作条件における電源電圧値の最小値に到達した時点を基準とします。

電源立ち上げ後に XI に供給するクロックの発振が安定するまでの時間を考慮した値です。

電源立ち上げ直後のシステムリセットに必要なリセットパルス幅を示します。

*5: いずれかの電源が推奨動作条件における電源電圧値の 30% のレベルまで到達した時点を基準とします。

*6: 全ての電源、XI に入力されるクロックの周波数が安定している状態でのシステムリセットに必要なリセットパルス幅を示します。

/RESET が "L" レベルから "H" レベルに変化後 512 サンプリング周期の時間は、LSI の内蔵 RAM の初期化が行われるため、全てのモードで HostCPU からのコマンドは無視されます。

*7: /SEL="L" レベルの時に適用。

*8: アドレス出力からデータ入力確定までの時間。

*9: シンプルアクセスの有効データ保持時間は使用する AMM データのサンプリング周期により異なります。

fs (サンプリング周波数)	検知しない	検知する	単位
32kHz	tVDH<0.5/fs	tVDH>5/fs	s
16kHz	tVDH<0.25/fs	tVDH>2.5/fs	s

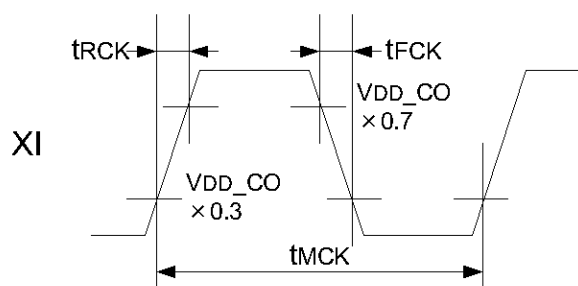


図1 マスタークロックタイミング

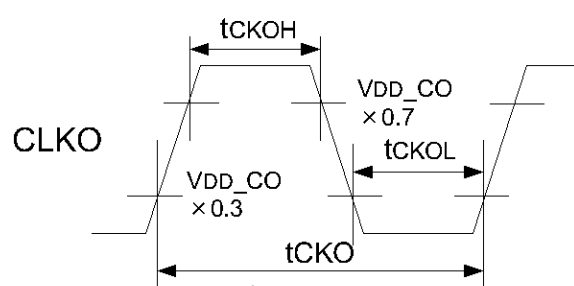


図2 出力クロックタイミング

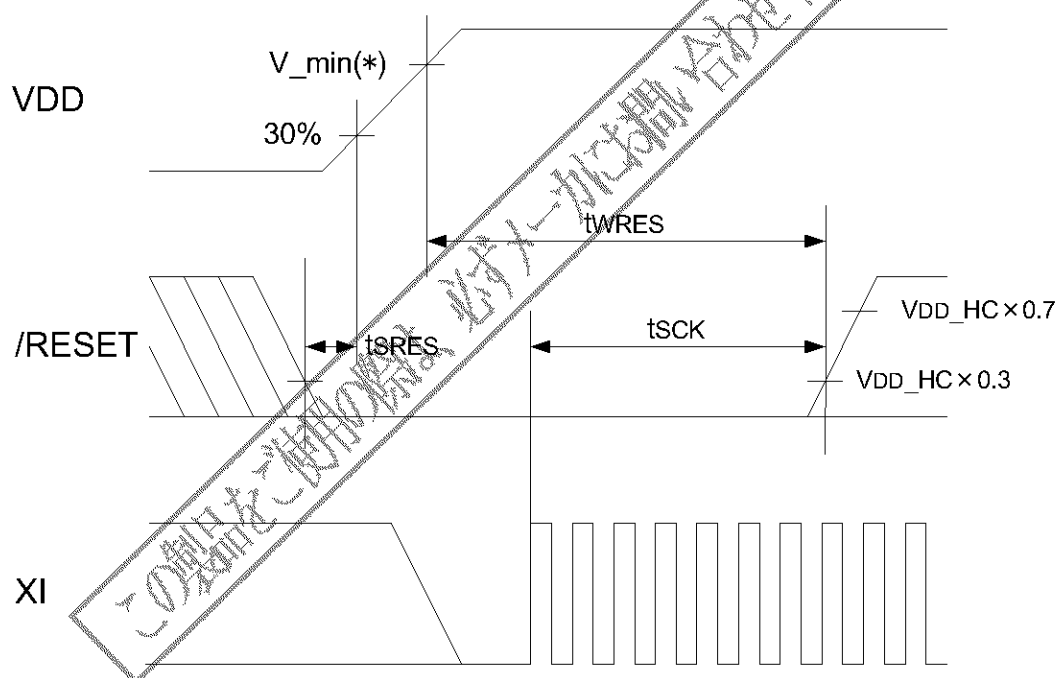


図3 リセットタイミング

(*): V_{min} = 推奨動作条件における電源電圧値の最小値

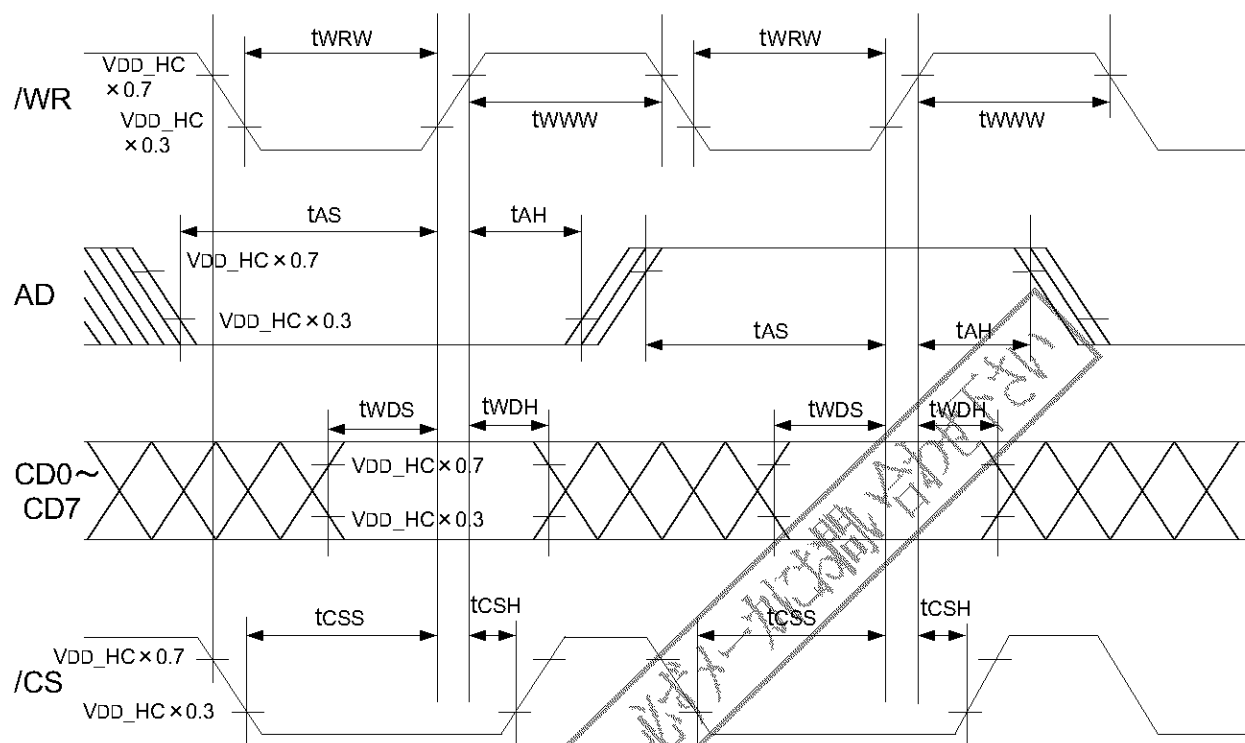


図4 CPUインターフェイスタイミング (ノーマルモード1:/SEL="H",S6M="H")

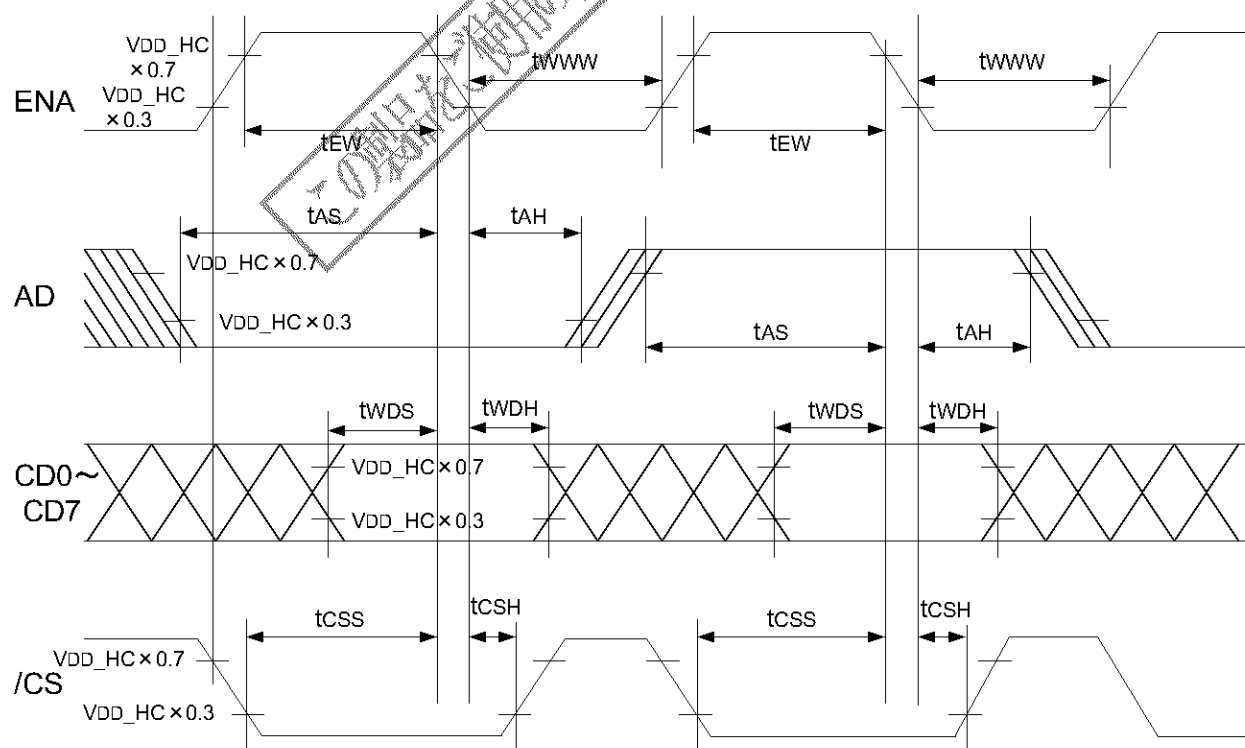


図5 CPUインターフェイスタイミング (ノーマルモード2:/SEL="H",S6M="L",/WR="L")

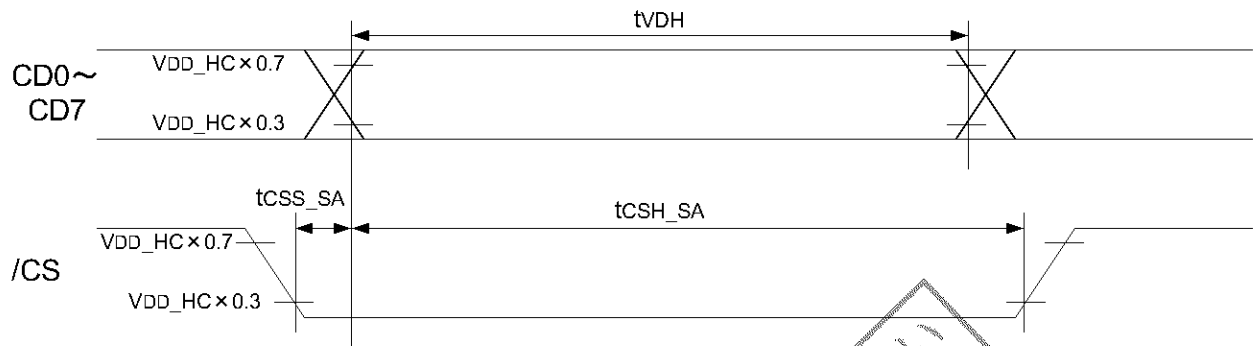


図6 CPUインターフェースタイミング（シンプルアクセスモード時:SEL="L"）

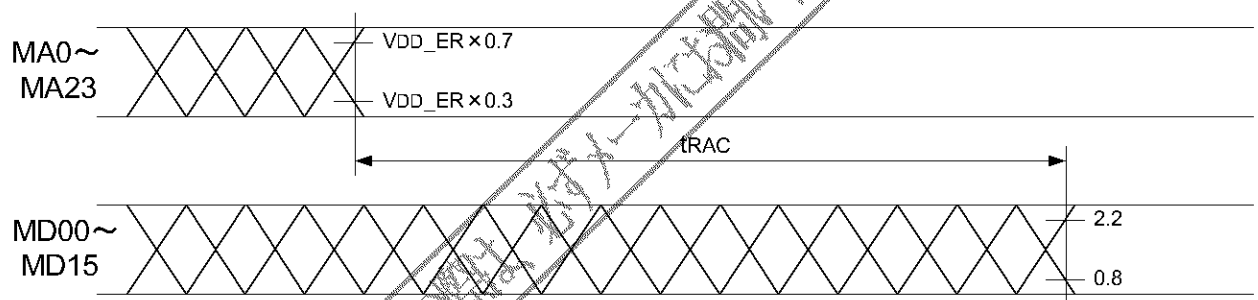


図7 フレームデータ用外部ROMアクセスタイミング

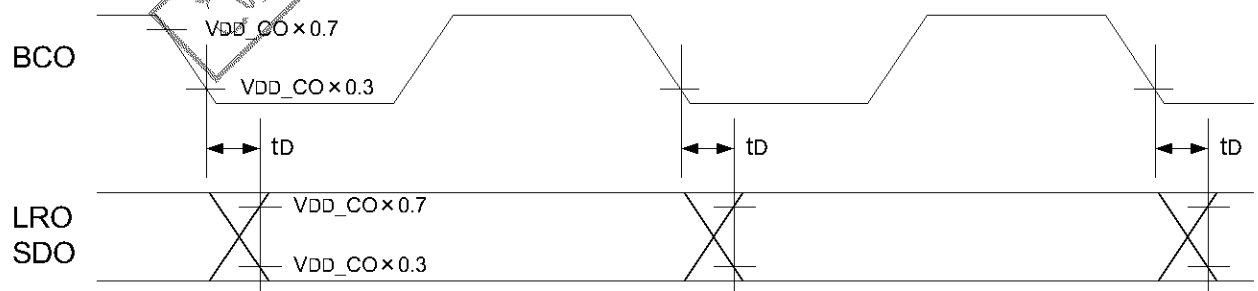
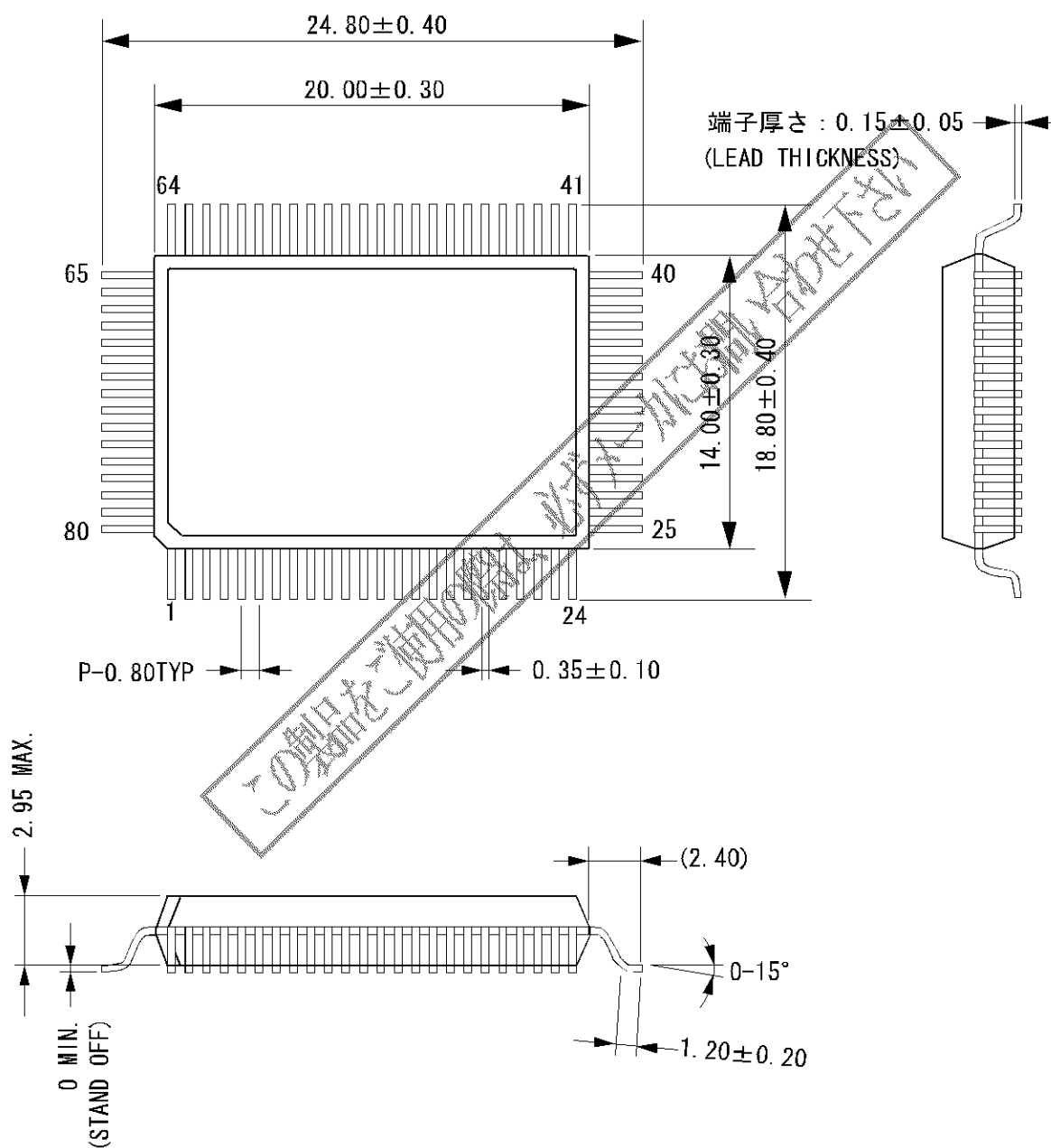


図8 デジタル出力タイミング

■パッケージ外形図

YMZ771-F

C-PK80FP-1



カッコ内の寸法値は参考値とする。
モールド外形寸法はバリを含まない。
単位 (UNIT) : mm (millimeters)

The figure in the parenthesis () should be used as a reference.
Plastic body dimensions do not include burr of resin.
UNIT: mm

注) 表面実装LSIは保管条件及び、半田付けについての特別な配慮が必要です。
詳しくはヤマハ代理店までお問い合わせ下さい。
Note: The LSIs for surface mount need special consideration on storage and soldering conditions.
For detailed information, Please contact your nearest Yamaha agent.

MEMO

この製品をご使用の際は、必ずメーカーからのご注意を合致下さい

重要なお知らせ

1. 本製品は、用途によっては外国為替及び外国貿易管理法に定める貨物または技術（役務）に該当する場合があります。該当する貨物または技術を輸出する場合は同法に基づく日本政府の輸出許可が必要です。詳しくは弊社営業所へお問い合わせください。
2. 本製品及び本文書は、何らの通知なしに変更される場合があります。本製品をご使用になる前に、最新のカatalog、マニュアルなどを弊社代理店よりお取り寄せください。
3. 本製品は、直接に生命にかかわる装置、原子力施設、航空機、交通機器、各種安全装置など製品の故障が直接に人の死亡、傷害、または重大な物理的もしくは環境上の損害を引き起こすようなシステム機器または装置に使用するために設計されたものではありません。本製品をこの様なシステム機器または装置に使用されることによる危険および損害は製品を使用されるお客様にご負担いただきます。
4. お客様が製品を誤った、または不適当な方法で使用または操作された結果の損害につきましては弊社は一切責任を負いません。
5. 本製品を他の製品と組み合わせてまたは他の装置に使用されることが、第三者または弊社の特許権、著作権またはその他の知的財産権の実施に該当するとしても、弊社はそれらに關して何らのライセンスも（明示であれ黙示であれ）許諾されていることを保証するものではありません。弊社は、製品のかかる使用によって生じた第三者の権利に対する侵害について、一切責任を負いません。
6. 本文章に記載されている使用例は、単に本製品の機能を説明したものにすぎません。弊社は、本文書に記載されている例に基づいた使用により生ずるかもしれない一切の知的財産権に関するクレームまたはその他のクレームに対して、何らの責任も負いません。
7. 弊社は品質・信頼性の向上に努めておりますが、弊社製品のご使用に際しては半導体製品について通常予想される故障発生率、故障モードをご考慮の上、本製品の動作が原因でご使用の機器が人命にかかわる事故、発煙・発火事故、その他の拡大損害を引き起こさないように、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を講じていただきますようお願い致します。
8. 本文書に記載された応用回路例及びその定数や計算式並びにプログラム及び制御手順等の情報は、本製品の標準的な動作や使い方を説明するためのものです。従いまして、本製品を使用される場合には外部諸条件を考慮のうえ、システム全体で十分に評価し、お客様の責任において適応可否の判断をお願い致します。これらの使用に起因しお客様または第三者に損害が生じた場合、弊社は一切その責任を負いません。

ご注意 本製品の仕様につきましては、改良の為予告なく変更される場合があります。

— 代理店 —

ヤマハ株式会社

半導体事業部

- 営業部 〒438-0192 静岡県磐田郡豊岡村松之本島203
TEL <0539> 62-4918(代)
FAX <0539> 62-5054
- 東京営業所 〒108-8568 東京都港区高輪2-17-11
TEL <03> 5488-5431
FAX <03> 5488-5088
- 大阪営業所 〒542-0081 大阪府大阪市中央区南船場3-12-12
心斎橋プラザビル本館
TEL <06> 6252-6221
FAX <06> 6252-6229