

DigiTrim 機能を備えた、 40V、 $\pm 0.07\mu\text{V}/^\circ\text{C}$ の高精度 レール to レール入出力オペアンプ

特長

- ▶ 低オフセット電圧ドリフト： $\pm 0.07\mu\text{V}/^\circ\text{C}$ （代表値）
- ▶ 低オフセット電圧： $\pm 5\mu\text{V}$ （代表値）、 $\pm 20\mu\text{V}$ （最大値）
- ▶ 低電圧ノイズ：0.1Hz~10Hzで $1\mu\text{V p-p}$ （代表値）
- ▶ 低電圧ノイズ密度： $f = 1\text{kHz}$ で $5\text{nV}/\sqrt{\text{Hz}}$ （代表値）
- ▶ 高い同相モード除去：140dB（代表値）
- ▶ 低入力バイアス電流： $\pm 10\text{pA}$ （最大値）
- ▶ 広いゲイン帯域幅積（GB積）：10.4MHz（代表値）
- ▶ 高スルー・レート：19V/ μs （代表値）
- ▶ 低 THD： -134dB （ $f = 1\text{kHz}$ ）
- ▶ 低静止電源電流：1.45mA/アンプ（代表値）
- ▶ 広い電源電圧動作：6V~40V、 $\pm 3\text{V} \sim \pm 20\text{V}$
- ▶ EMI フィルタ内蔵
- ▶ マルチプレクサ対応入力
 - ▶ レール to レールの高インピーダンス入力：
 - ▶ 差動および同相モード
 - ▶ 高速セトリング時間
- ▶ レール to レール出力
- ▶ 位相反転なし
- ▶ 大きな容量性負荷の駆動能力：1nF
- ▶ 広い仕様規定温度範囲： $-40^\circ\text{C} \sim +125^\circ\text{C}$
- ▶ 8ピン標準スモール・アウトライン・パッケージ（SOIC_N）で提供

アプリケーション

- ▶ 電子テストおよび計測
- ▶ データ・アキュイジション・システム
- ▶ ATE（自動試験装置）
- ▶ 医療用計測器
- ▶ マルチプレックスされた入力シグナル・チェーン
- ▶ 高精度電流測定
- ▶ フォト・ダイオード・アンプ

代表的なアプリケーション回路

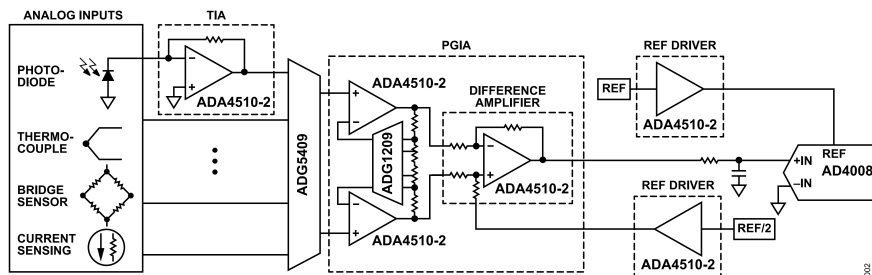


図 2. マルチプレックスされたデータ・アキュイジション・シグナル・チェーン

¹ 米国特許 11,329,612 で保護されています。その他の特許は申請中です。

Rev. 0

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

概要

ADA4510-2¹ は、デュアルチャンネル、40V、高精度、低入力バイアス電流、低オフセット電圧、低オフセット電圧ドリフト、低ノイズ、レール to レール入出力のオペアンプで、センシング、コンディショニング、出力駆動など、シグナル・チェーンの任意の場所で使用できます。アナログ・デバイセズ独自の DigiTrim™ 手法を用いることで、ADA4510-2 はクラス最高の低オフセット・ドリフト（ $\pm 0.07\mu\text{V}/^\circ\text{C}$ （代表値）、 $\pm 0.5\mu\text{V}/^\circ\text{C}$ （最大値））および低オフセット電圧（ $\pm 5\mu\text{V}$ （代表値）、 $\pm 20\mu\text{V}$ （最大値））を実現し、高精度設計における温度キャリブレーションを簡略化します。

ADA4510-2 は、優れた DC 精度と卓越した AC 性能を備えているため、広範なシグナル・チェーン・アプリケーションにおいて最良の選択肢となります。堅牢なマルチプレクサ対応アーキテクチャを統合化することで、ADA4510-2 は一般的なシステム歪みやセトリングの問題を効果的に解決し、マルチプレックスされたマルチチャンネル高精度シグナル・チェーンに必要な、優れた精度を提供します。ADA4510-2 は $-40^\circ\text{C} \sim +85^\circ\text{C}$ および $-40^\circ\text{C} \sim +125^\circ\text{C}$ で仕様規定され、8ピン SOIC_N で提供されます。

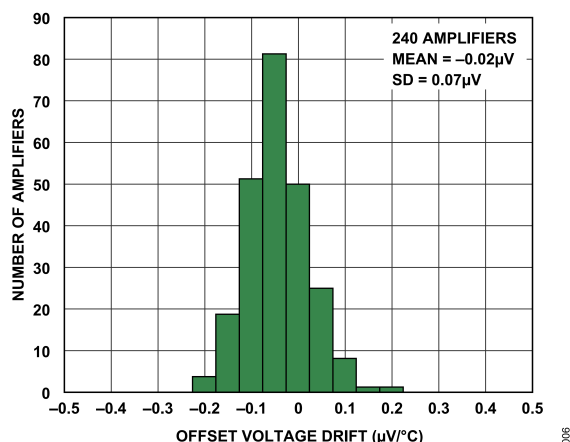


図 1. 高精度設計を可能にする超低オフセット電圧ドリフト

目次

特長	1	入力段およびゲイン段.....	22
アプリケーション	1	出力段.....	22
概要	1	EMI 除去.....	22
代表的なアプリケーション回路.....	1	無位相反転.....	22
関連製品	3	容量性負荷に対する駆動能力	23
仕様	4	アプリケーション情報.....	24
$T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ での電気仕様	4	マルチプレクサ対応データ・アクイジション・システム.....	24
$T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ での電気仕様	6	トランスインピーダンス・アンプ	25
絶対最大定格.....	8	アクティブ・フィルタ.....	27
熱抵抗	8	帰還回路部品	28
静電放電 (ESD) 定格.....	8	高精度バッファ	28
ESD に関する注意.....	8	推奨される電源ソリューション	28
ピン配置およびピン機能の説明.....	9	レイアウトのガイドライン.....	28
代表的な性能特性.....	10	外形寸法.....	29
動作原理	22	オーダー・ガイド	29
		評価用ボード	29

改訂履歴

7/2023—Revision 0: Initial Version

関連製品

- ▶ ADC : AD4695/AD4696、AD4697/AD4698、
AD4002/AD4006/AD4010、AD4000/AD4004/AD4008
- ▶ ADC 用ドライバ : ADA4945-1、LTC6363、AD8475
- ▶ 電圧リファレンス : LTC6655、ADR4525
- ▶ 電源 : LT3032、ADP5070、LT3093、LT3042

仕様

T_A = -40°C ~ +85°C での電気仕様

特に指定のない限り、電源電圧 (V_{SY}) = (V+) - (V-) = ±3V ~ ±20V、コモンモード電圧 (V_{CM}) = 0V、負荷抵抗 (R_L) = 10kΩ (電源電圧の1/2に接続)。

表 1. T_A = -40°C ~ +85°C での電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS					
Offset Voltage (V _{OS})	V _{CM} = 0 V, T _A = 25°C		±5	±20	μV
	0°C < T _A < +85°C			±40	μV
	-40°C < T _A < +85°C			±50	μV
	V _{CM} = (V+) - 1.5 V, T _A = 25°C		±10	±40	μV
	0°C < T _A < +85°C			±60	μV
	-40°C < T _A < +85°C			±120	μV
	V _{CM} = (V-) - 0.15 V, T _A = 25°C		±8	±35	μV
	0°C < T _A < +85°C			±90	μV
	-40°C < T _A < +85°C			±110	μV
Offset Voltage Drift (ΔV _{OS} /ΔT)	V _{CM} = 0 V				
	0°C < T _A < +85°C		±0.07	±0.5	μV/°C
	-40°C < T _A < +85°C		±0.12	±0.5	μV/°C
	V _{CM} = (V+) - 1.5 V				
	0°C < T _A < +85°C		±0.1	±0.7	μV/°C
	-40°C < T _A < +85°C		±0.15	±1	μV/°C
Input Bias Current (I _B)	T _A = 25°C		±2.5	±10	pA
	-40°C < T _A < +85°C			±0.8	nA
Input Offset Current (I _{OS})	T _A = 25°C		±0.5	±5	pA
	-40°C < T _A < +85°C			±0.15	nA
Input Voltage Range (IVR)	Guaranteed by CMRR	(V-) - 0.15		V+	V
Common-Mode Rejection Ratio (CMRR)	(V-) - 0.15 V < V _{CM} < (V+) - 3 V, T _A = 25°C	121	140		dB
	-40°C < T _A < +85°C	118			dB
	(V-) - 0.15 V < V _{CM} < V+, T _A = 25°C	100	112		dB
	-40°C < T _A < +85°C	100			dB
Open-Loop Voltage Gain (A _{VOL})	R _L = 10 kΩ, (V-) + 0.3 V < V _{OUT} < (V+) - 0.3 V, T _A = 25°C	126	140		dB
	-40°C < T _A < +85°C	124			dB
	R _L = 2 kΩ, (V-) + 0.9 V < V _{OUT} < (V+) - 0.9 V, T _A = 25°C	121	134		dB
	-40°C < T _A < +85°C	120			dB
Input Capacitance					
	Differential Mode (C _{INDM})	T _A = 25°C		20	pF
Common Mode (C _{INCM})	T _A = 25°C, V _{SY} = ±5 V to ±20 V		2		pF
Input Resistance					
	Differential Mode (R _{INDM})	T _A = 25°C		1	TΩ
Common Mode (R _{INCM})	T _A = 25°C		10		TΩ
NOISE PERFORMANCE					
Voltage Noise (e _{n p-p})	0.1 Hz to 10 Hz, T _A = 25°C		1		μV p-p
	0.1 Hz to 10 Hz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		2.7		μV p-p
Voltage Noise Density (e _n)	f = 100 Hz, T _A = 25°C		8		nV/√Hz
	f = 1 kHz, T _A = 25°C		5		nV/√Hz
	f = 100 Hz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		20		nV/√Hz
	f = 1 kHz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		10		nV/√Hz
Current Noise Density (I _n)	f = 10 Hz, T _A = 25°C		4		fA/√Hz

仕様

表 1. $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ での電気仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS					
Output Swing High (V_{OH})	$((V+) - V_{OUT})$ $R_L = 10\text{ k}\Omega, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$		100	116	mV
	$R_L = 2\text{ k}\Omega, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$		430	473	mV
Output Swing Low (V_{OL})	$(V_{OUT} - (V-))$ $R_L = 10\text{ k}\Omega, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$		73	85	mV
	$R_L = 2\text{ k}\Omega, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$		310	342	mV
Output Current (I_{OUT})	$(V_{OH}, V_{OL}) < 1\text{ V}, T_A = 25^\circ\text{C}$		± 22		mA
Short-Circuit Current (I_{SC})	Sourcing/sinking, $T_A = 25^\circ\text{C}$		55/70		mA
Closed-Loop Output Impedance (Z_{OUT})	$f = 1\text{ kHz}, T_A = 25^\circ\text{C}$ Gain = 1		19		m Ω
	Gain = 10		190		m Ω
	Gain = 100		1.9		Ω
Open-Loop Output Impedance (Z_O)	$f = 1\text{ kHz to } 1\text{ MHz}, T_A = 25^\circ\text{C}$		190		Ω
POWER SUPPLY					
$V_{SY} ((V+) - (V-))$	Guaranteed by PSRR	6		40	V
Power Supply Rejection Ratio (PSRR)	$V_{SY} = \pm 3\text{ V to } \pm 20\text{ V}, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$	121	140		dB
		117			dB
Supply Current per Amplifier (I_{SY})	$I_{OUT} = 0\text{ mA}, T_A = 25^\circ\text{C}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$		1.45	1.55	mA
				1.85	mA
DYNAMIC PERFORMANCE					
Slew Rate	$V_{OUT} = \pm 5\text{ V}, \text{gain} = +1, 10\% \text{ to } 90\%, T_A = 25^\circ\text{C}$		19		V/ μs
Gain Bandwidth Product (GBP)	$f = 100\text{ kHz}, T_A = 25^\circ\text{C}$		10.4		MHz
-3 dB Bandwidth	Gain = 1, $T_A = 25^\circ\text{C}$		13.5		MHz
Settling Time (t_s)	$T_A = 25^\circ\text{C}$ To 0.01%				
	Gain = -1, $V_{OUT} = 5\text{ V step}$		1.9		μs
	Gain = -1, $V_{OUT} = 10\text{ V step}$		2.2		μs
	To 0.001%				
Output Overload Recovery Time	Gain = -1, $V_{OUT} = 5\text{ V step}$		3.1		μs
	Gain = -1, $V_{OUT} = 10\text{ V step}$		3.5		μs
Total Harmonic Distortion (THD)	Gain = -10, $T_A = 25^\circ\text{C}$, positive/negative		300/100		ns
	$V_{OUT} = 10\text{ V p-p}, \text{gain} = 1, T_A = 25^\circ\text{C}$ $f = 1\text{ kHz}$		0.00002		%
ELECTROMAGNETIC INTERFERENCE REJECTION RATIO (EMIRR)	$f = 1\text{ kHz}$		-134		dB
	$f = 50\text{ kHz}$		0.0045		%
	$f = 50\text{ kHz}$		-87		dB
CROSSTALK	$V_{IN} = 4\text{ V p-p}, T_A = 25^\circ\text{C}$ DC		165		dB
	$f = 1\text{ kHz}$		164		dB
	$f = 100\text{ kHz}$		130		dB

仕様

T_A = -40°C ~ +125°C での電気仕様

特に指定のない限り、電源電圧 (V_{SY}) = (V+) - (V-) = ±3V ~ ±20V、コモンモード電圧 (V_{CM}) = 0V、負荷抵抗 (R_L) = 10kΩ (電源電圧の1/2に接続)。

表 2. T_A = -40°C ~ +125°C での電気仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS					
Offset Voltage (V _{OS})	V _{CM} = 0 V, T _A = 25°C		±5	±20	μV
	-40°C < T _A < +125°C			±100	μV
	V _{CM} = (V+) - 1.5 V, T _A = 25°C		±10	±40	μV
	-40°C < T _A < +125°C			±380	μV
	V _{CM} = V-, T _A = 25°C		±9	±35	μV
	-40°C < T _A < +125°C			±160	μV
Offset Voltage Drift (ΔV _{OS} /ΔT)	V _{CM} = 0 V		±0.12	±0.7	μV/°C
	-40°C < T _A < +125°C				
	V _{CM} = (V+) - 1.5 V		±0.5	±2.4	μV/°C
	-40°C < T _A < +125°C				
Input Bias Current (I _B)	T _A = 25°C		±2.5	±10	pA
	-40°C < T _A < +125°C			±18	nA
Input Offset Current (I _{OS})	T _A = 25°C		±0.5	±5	pA
	-40°C < T _A < +125°C			±5	nA
Input Voltage Range (IVR)	Guaranteed by CMRR	V-		V+	V
Common-Mode Rejection Ratio (CMRR)	V- < V _{CM} < (V+) - 3 V, T _A = 25°C	121	140		dB
	-40°C < T _A < +125°C	109			dB
	V- < V _{CM} < V+, T _A = 25°C	100	112		dB
	-40°C < T _A < +125°C	95			dB
Open-Loop Voltage Gain (A _{VOL})	R _L = 10 kΩ, (V-) + 0.3 V < V _{OUT} < (V+) - 0.3 V, T _A = 25°C	126	140		dB
	-40°C < T _A < +125°C	112			dB
	R _L = 2 kΩ, (V-) + 0.9 V < V _{OUT} < (V+) - 0.9 V, T _A = 25°C	121	134		dB
	-40°C < T _A < +125°C	106			dB
Input Capacitance					
	Differential Mode (C _{INDM})	T _A = 25°C		20	pF
Common Mode (C _{INCM})	T _A = 25°C, V _{SY} = ±5 V to ±20 V		2		pF
Input Resistance					
	Differential Mode (R _{INDM})	T _A = 25°C		1	TΩ
Common Mode (R _{INCM})	T _A = 25°C		10		TΩ
NOISE PERFORMANCE					
Voltage Noise (e _{n p-p})	0.1 Hz to 10 Hz, T _A = 25°C		1		μV p-p
	0.1 Hz to 10 Hz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		2.7		μV p-p
Voltage Noise Density (e _n)	f = 100 Hz, T _A = 25°C		8		nV/√Hz
	f = 1 kHz, T _A = 25°C		5		nV/√Hz
	f = 100 Hz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		20		nV/√Hz
	f = 1 kHz, V _{CM} = (V+) - 1.5 V, T _A = 25°C		10		nV/√Hz
	f = 10 Hz, T _A = 25°C		4		fA/√Hz
Current Noise Density (I _n)					
OUTPUT CHARACTERISTICS					
Output Swing High (V _{OH})	((V+) - V _{OUT})				
	R _L = 10 kΩ, T _A = 25°C		100	116	mV
	-40°C < T _A < +125°C			187	mV
	R _L = 2 kΩ, T _A = 25°C		430	473	mV

仕様

表 2. $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ での電気仕様 (続き)

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Output Swing Low (V_{OL})	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$ ($V_{OUT} - (V-)$)			765	mV
	$R_L = 10\text{ k}\Omega$, $T_A = 25^{\circ}\text{C}$		73	85	mV
	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$ $R_L = 2\text{ k}\Omega$, $T_A = 25^{\circ}\text{C}$			142	mV
	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$		310	342	mV
	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			573	mV
Output Current (I_{OUT})	(V_{OH} , V_{OL}) $< 1\text{ V}$, $T_A = 25^{\circ}\text{C}$		± 22		mA
Short-Circuit Current (I_{SC})	Sourcing/sinking, $T_A = 25^{\circ}\text{C}$		55/70		mA
Closed-Loop Output Impedance (Z_{OUT})	$f = 1\text{ kHz}$, $T_A = 25^{\circ}\text{C}$ Gain = 1		19		m Ω
	Gain = 10		190		m Ω
	Gain = 100		1.9		Ω
	Gain = 100		190		Ω
Open-Loop Output Impedance (Z_O)	$f = 1\text{ kHz}$ to 1 MHz , $T_A = 25^{\circ}\text{C}$		190		Ω
POWER SUPPLY					
V_{SY} ((V+) - (V-))	Guaranteed by PSRR	6		40	V
Power Supply Rejection Ratio (PSRR)	$V_{SY} = \pm 3\text{ V}$ to $\pm 20\text{ V}$, $T_A = 25^{\circ}\text{C}$	121	140		dB
	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$	116			dB
Supply Current per Amplifier (I_{SY})	$I_{OUT} = 0\text{ mA}$, $T_A = 25^{\circ}\text{C}$		1.45	1.55	mA
	$-40^{\circ}\text{C} < T_A < +125^{\circ}\text{C}$			2	mA
DYNAMIC PERFORMANCE					
Slew Rate	$V_{OUT} = \pm 5\text{ V}$, gain = 1, 10% to 90%, $T_A = 25^{\circ}\text{C}$		19		V/ μs
Gain Bandwidth Product (GBP)	$f = 100\text{ kHz}$, $T_A = 25^{\circ}\text{C}$		10.4		MHz
-3 dB Bandwidth	Gain = 1, $T_A = 25^{\circ}\text{C}$		13.5		MHz
Settling Time (t_s)	$T_A = 25^{\circ}\text{C}$ To 0.01%				
	Gain = -1, $V_{OUT} = 5\text{ V}$ step		1.9		μs
	Gain = -1, $V_{OUT} = 10\text{ V}$ step		2.2		μs
	To 0.001%				
	Gain = -1, $V_{OUT} = 5\text{ V}$ step		3.1		μs
	Gain = -1, $V_{OUT} = 10\text{ V}$ step		3.5		μs
Output Overload Recovery Time	Gain = -10, $T_A = 25^{\circ}\text{C}$, positive/negative		300/100		ns
Total Harmonic Distortion (THD)	$V_{OUT} = 10\text{ V p-p}$, gain = 1, $T_A = 25^{\circ}\text{C}$ $f = 1\text{ kHz}$		0.00002		%
	$f = 1\text{ kHz}$		-134		dB
	$f = 50\text{ kHz}$		0.00445		%
	$f = 50\text{ kHz}$		-87		dB
ELECTROMAGNETIC INTERFERENCE REJECTION RATIO (EMIRR)					
EMIRR = $20 \times \log_{10}(\Delta V_{IN}/\Delta V_{OS})$, $\Delta V_{IN} = 200\text{ mV p-p}$, $T_A = 25^{\circ}\text{C}$	$f = 1000\text{ MHz}$		71		dB
	$f = 2400\text{ MHz}$		81		dB
CROSSTALK					
$V_{IN} = 4\text{ V p-p}$, $T_A = 25^{\circ}\text{C}$	DC		165		dB
	$f = 1\text{ kHz}$		164		dB
	$f = 100\text{ kHz}$		130		dB
	$f = 100\text{ kHz}$				

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
V_{SY} (V+) - (V-)	-0.3 V to +45 V
Input V_{CM} (+IN A, -IN A, +IN B, -IN B) to V- (+IN A, -IN A, +IN B, -IN B) to V+	-0.3 V to +45 V +0.3 V to -45 V
Differential Input Voltage +IN A to -IN A, +IN B to -IN B	±45 V
Input Current	±10 mA
Output Short-Circuit Duration ¹	Thermally limited
Temperature Range	
Storage	-65°C to +150°C
Operating	-40°C to +125°C
T_J	150°C
Lead (soldering, 10 seconds)	300°C
T_C	260°C

¹ 出力が短絡したままになる場合には、 T_J を絶対最大定格未満に保つためにヒート・シンクが必要になる場合があります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
R-8	108.5	34.12	°C/W

静電放電 (ESD) 定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001-2017 準拠の人体モデル (HBM)。

ANSI/ESDA/JEDEC JS-002-2018 準拠の電界誘起帯電デバイス・モデル (FICDM)。

ADA4510-2 の ESD 定格

表 5. ADA4510-2、8 ピン SOIC_N

ESD Model	Withstand Threshold (V)	Class
HBM	±1000	1C
FICDM	±400	C1

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

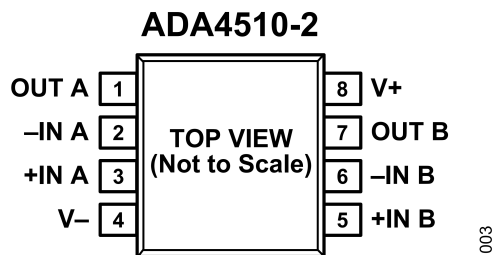


図 3. ピン配置

表 6. ピン機能の説明、8 ピン SOIC

ピン番号	記号	説明
1	OUT A	出力チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	V+	正電源電圧。

代表的な性能特性

特に指定のない限り、 $V_{SY} = \pm 20V$ 、 $V_{CM} = 0V$ 、 $R_L = 10k\Omega$ （電源電圧の1/2に接続）、 $T_A = 25^\circ C$ 。

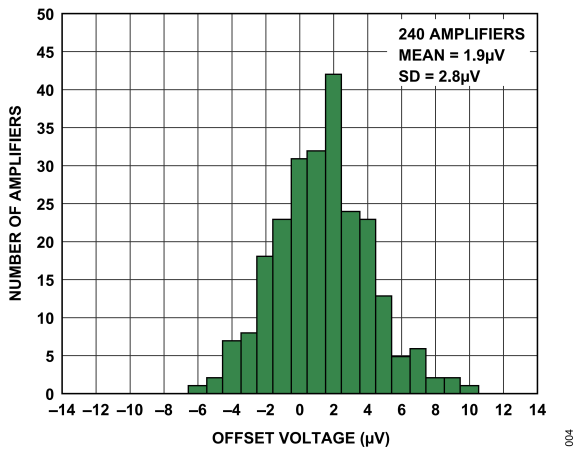


図 4. 25°C における V_{OS} の分布

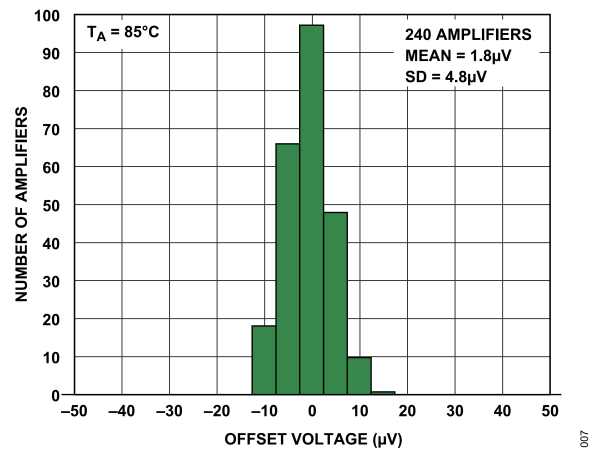


図 7. 85°C における V_{OS} の分布

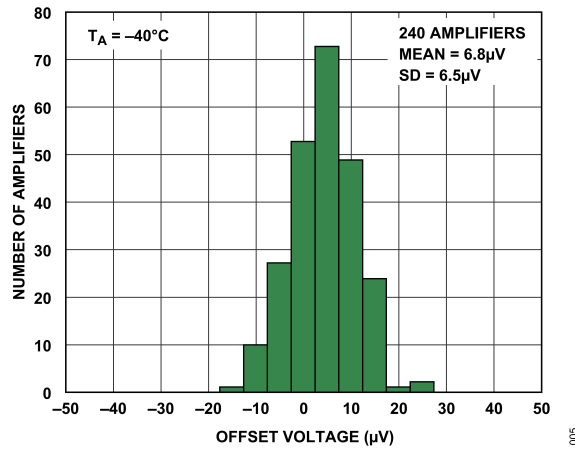


図 5. -40°C における V_{OS} の分布

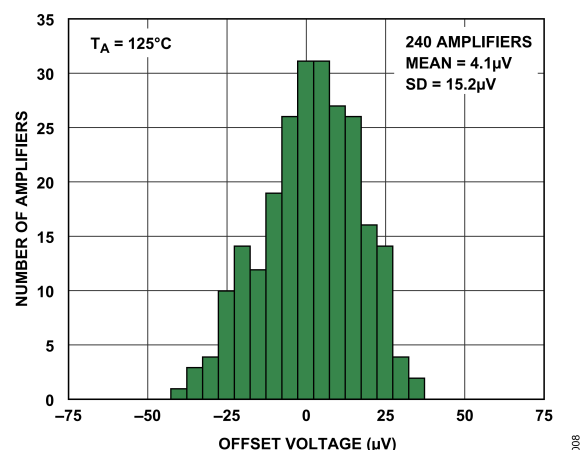


図 8. 125°C における V_{OS} の分布

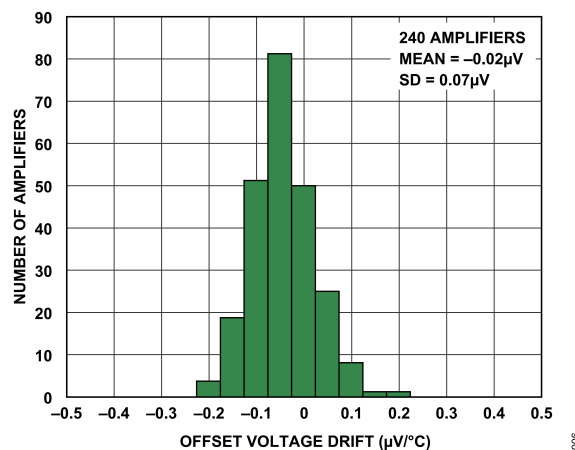


図 6. 0°C~+85°C における入力オフセット電圧ドリフト (TCV_{OS}) の分布

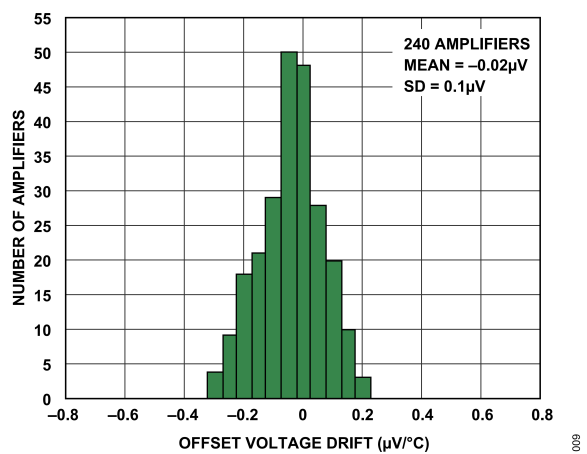


図 9. -40°C~+125°C における TCV_{OS} の分布

代表的な性能特性

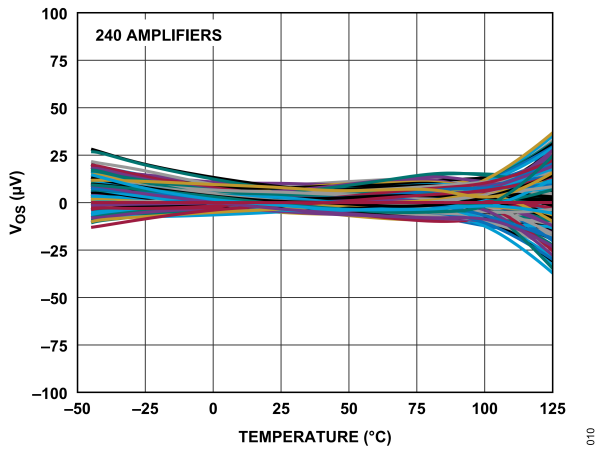


図 10. V_{OS} と温度の関係

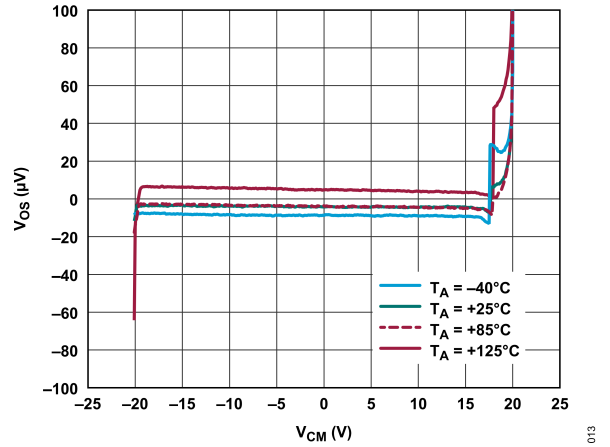


図 13. 4 通りの温度における V_{OS} と V_{CM} の関係

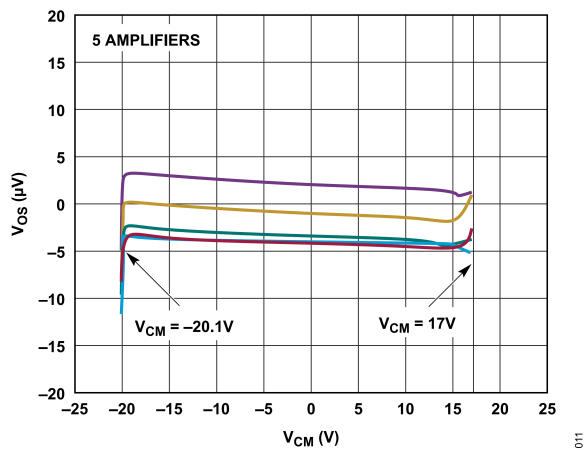


図 11. V_{OS} と V_{CM} の関係

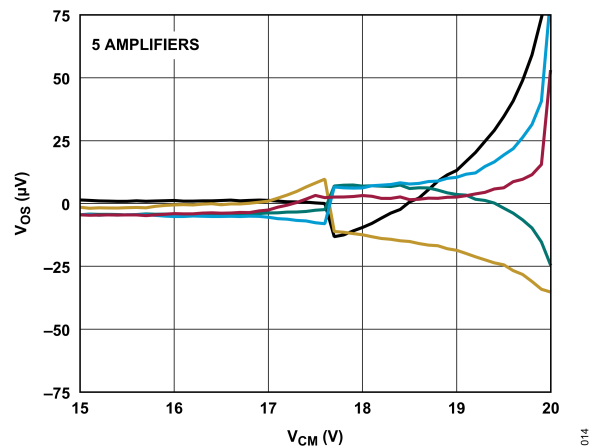


図 14. V_{OS} と V_{CM} の関係、高 V_{CM} 動作

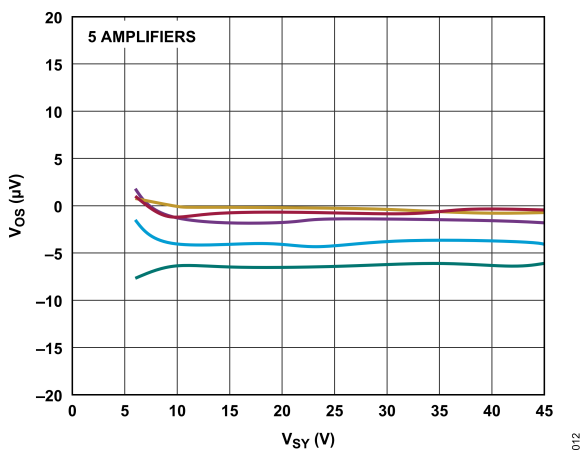


図 12. V_{OS} と V_{SY} の関係

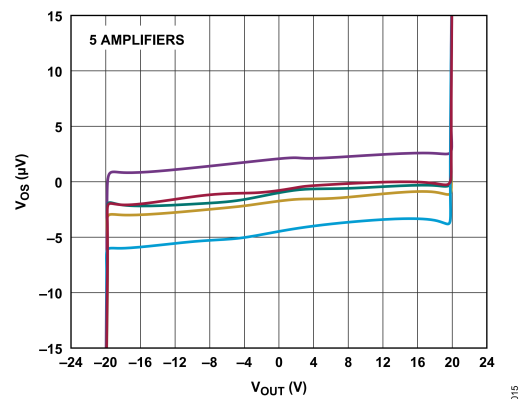


図 15. V_{OS} と V_{OUT} の関係

代表的な性能特性

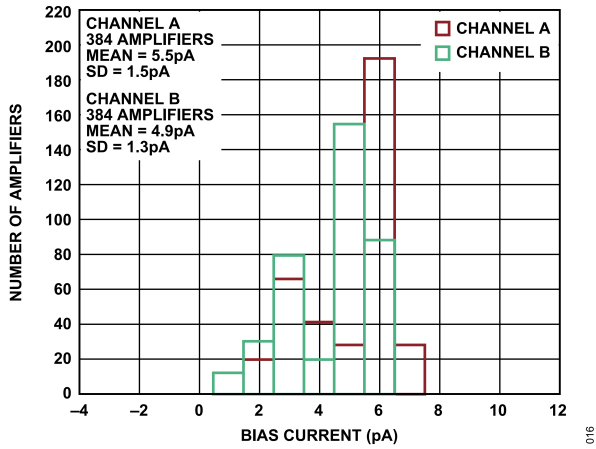


図 16. 25°C における I_B の分布

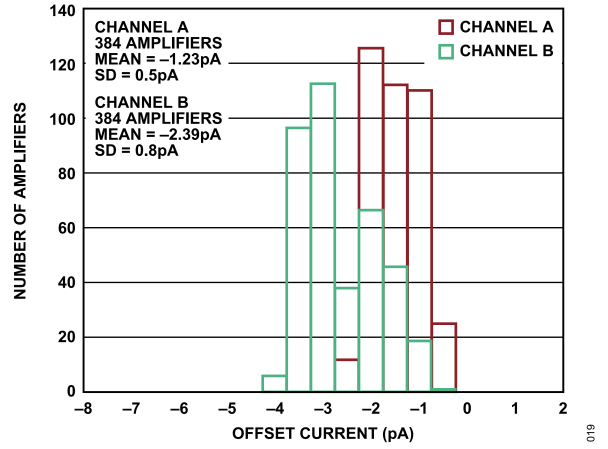


図 19. 25°C における I_{OS} の分布

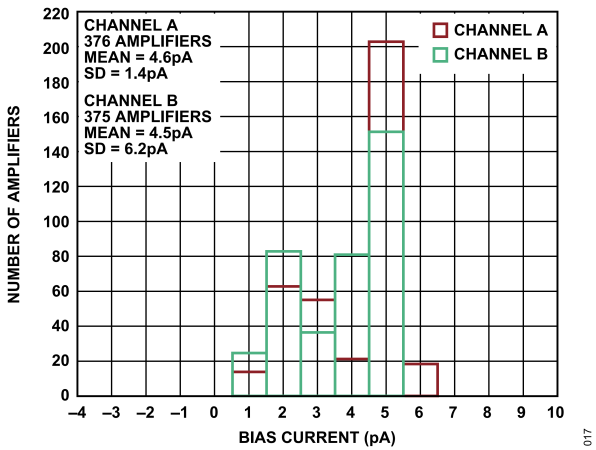


図 17. -40°C における I_B の分布

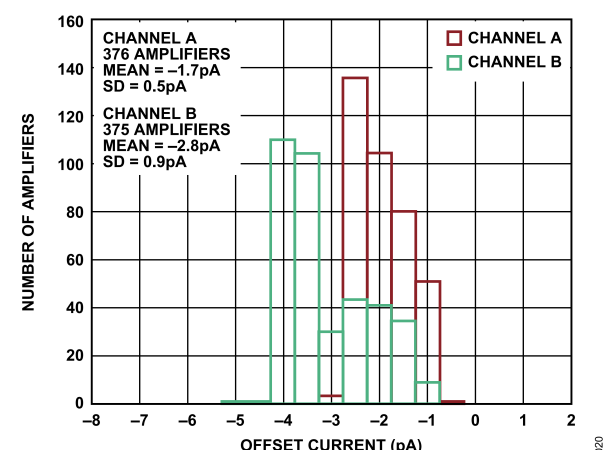


図 20. -40°C における I_{OS} の分布

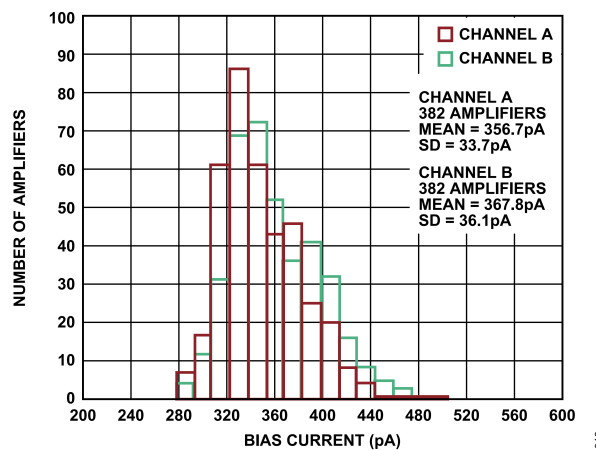


図 18. 85°C における I_B の分布

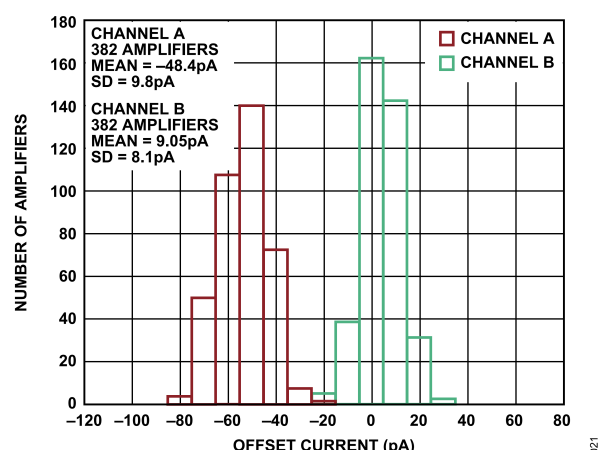


図 21. 85°C における I_{OS} の分布

代表的な性能特性

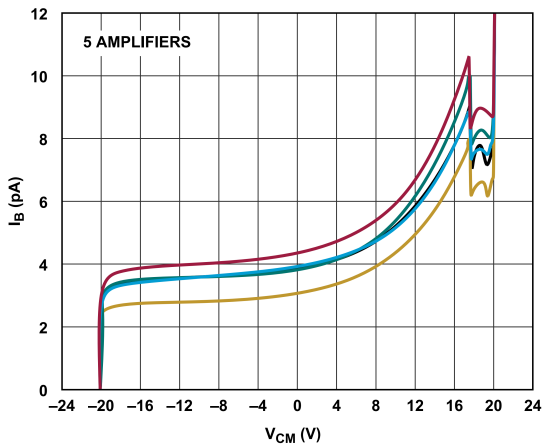


図 22. I_B と V_{CM} の関係

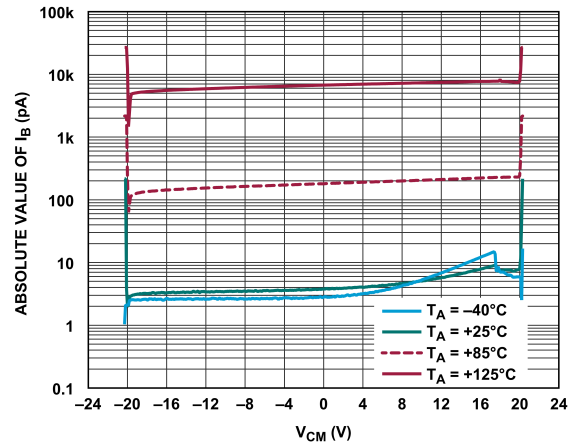


図 25. 4 通りの温度における I_B と V_{CM} の関係

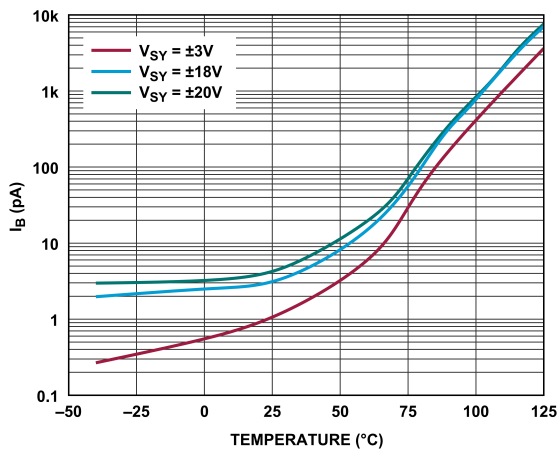


図 23. I_B と温度の関係

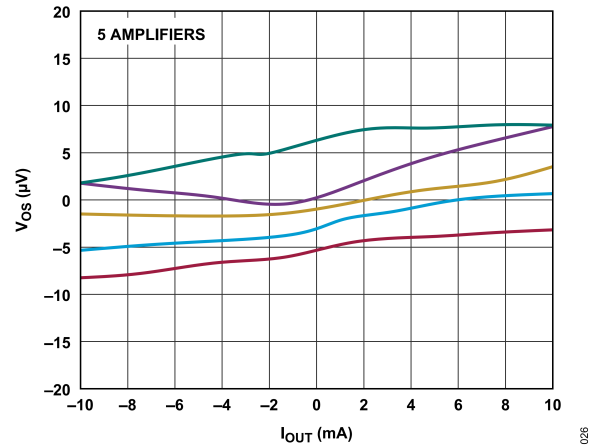


図 26. V_{OS} と I_{OUT} の関係

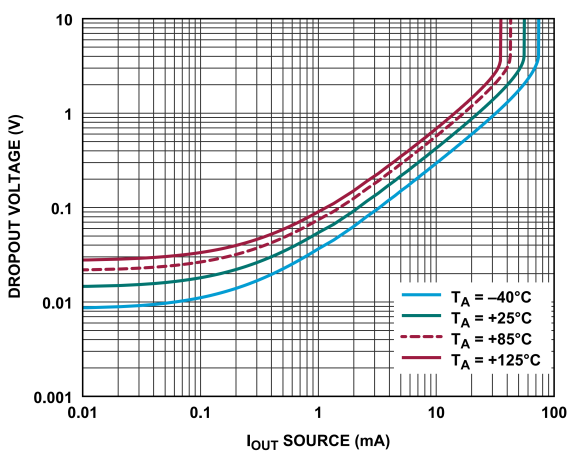


図 24. $V_{DROPOUT} ((V+) - V_{OUT})$ と I_{OUT} ソースの関係

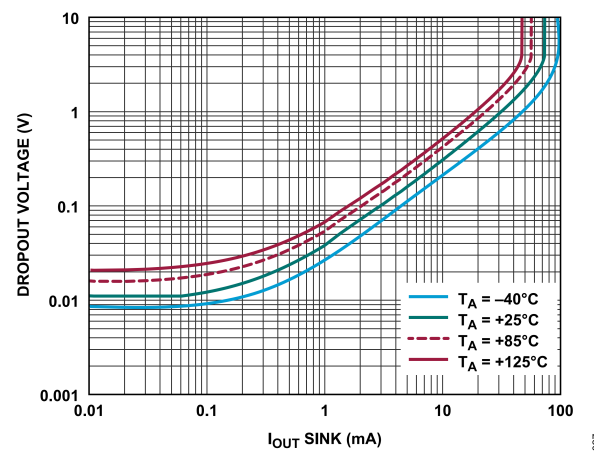


図 27. $V_{DROPOUT} (V_{OUT} - (V-))$ と I_{OUT} シンクの関係

代表的な性能特性

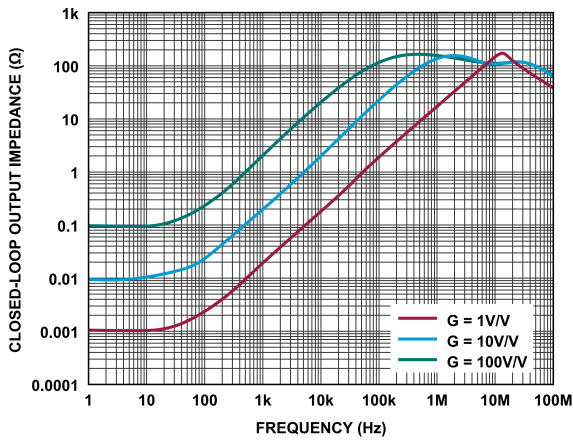


図 28. Z_{OUT} と周波数の関係

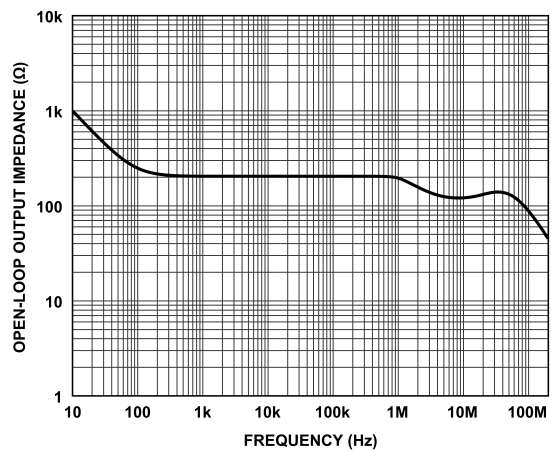


図 31. Z_o と周波数の関係

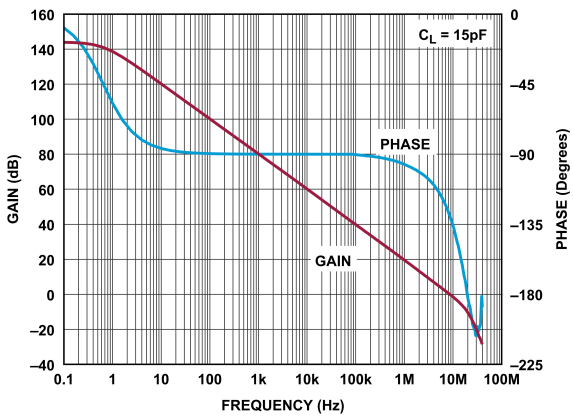


図 29. オープン・ループ・ゲインおよび位相と周波数の関係

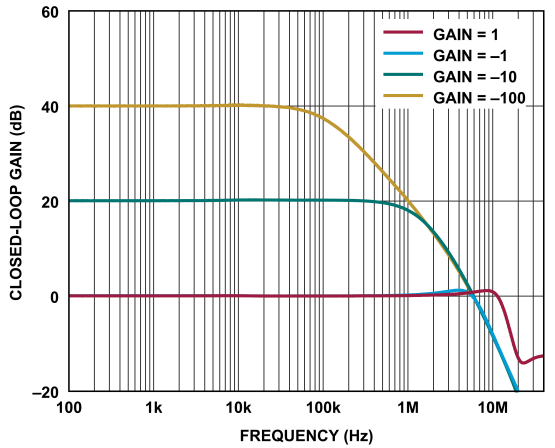


図 32. クローズド・ループ・ゲインと周波数の関係

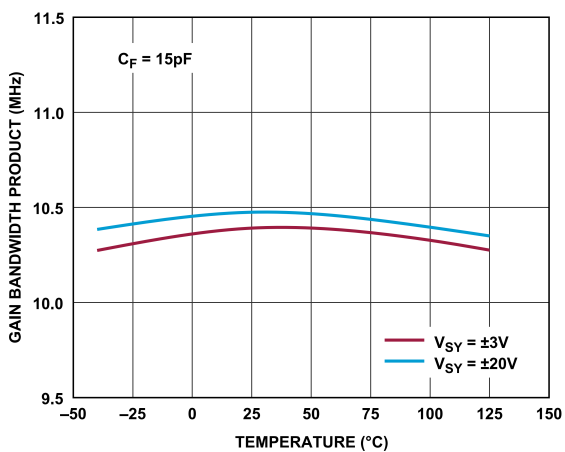


図 30. ゲイン帯域幅積 (GB 積) と温度の関係

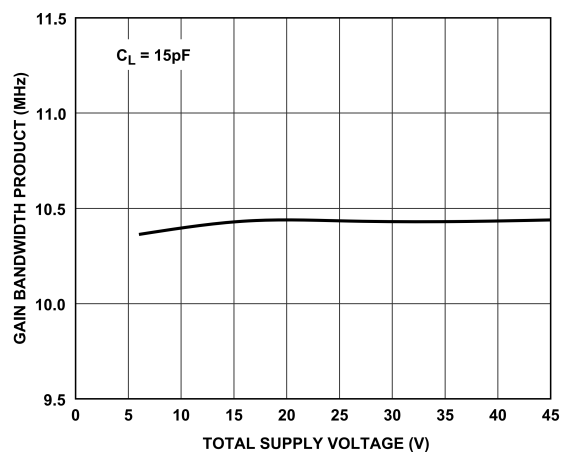


図 33. ゲイン帯域幅積 (GB 積) と総電源電圧の関係

代表的な性能特性

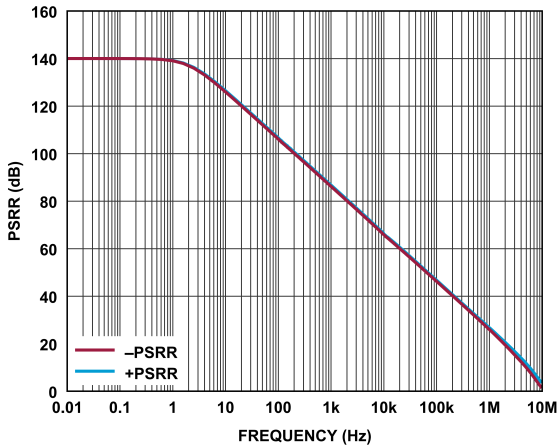


図 34. PSRR と周波数の関係

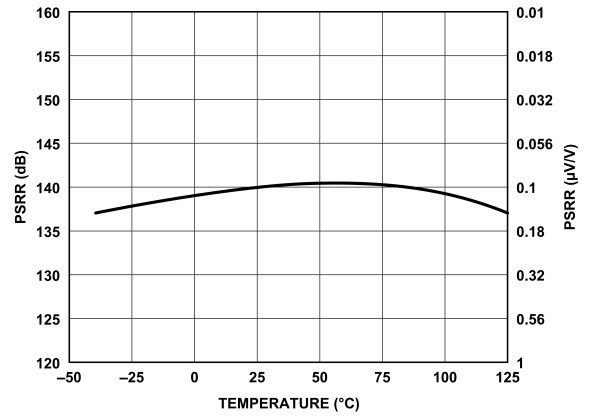


図 37. PSRR と温度の関係

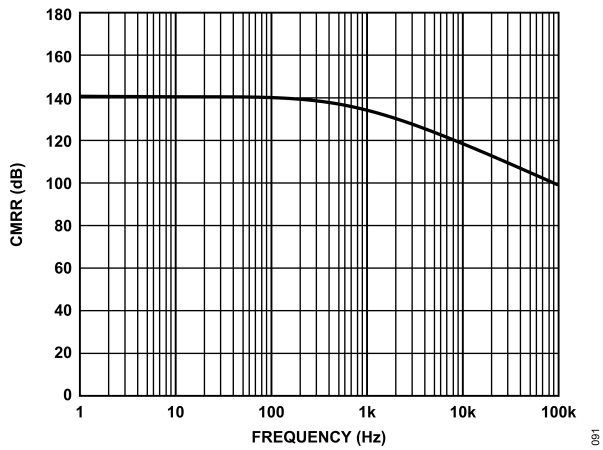


図 35. CMRR と周波数の関係

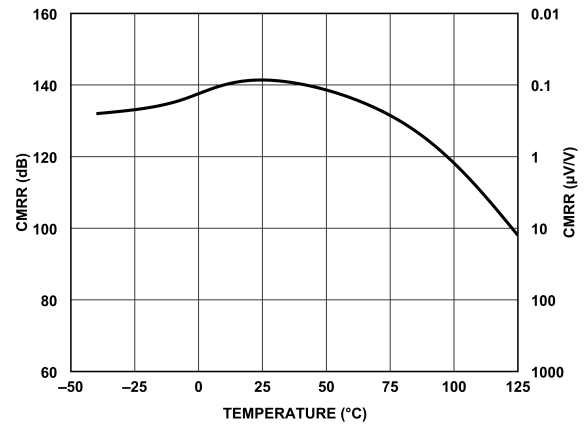


図 38. CMRR と温度の関係

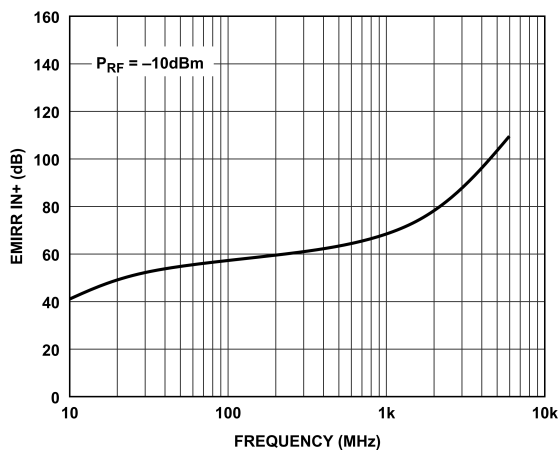


図 36. EMIRR IN+ と周波数の関係 (P_{RF} は RF 電力)

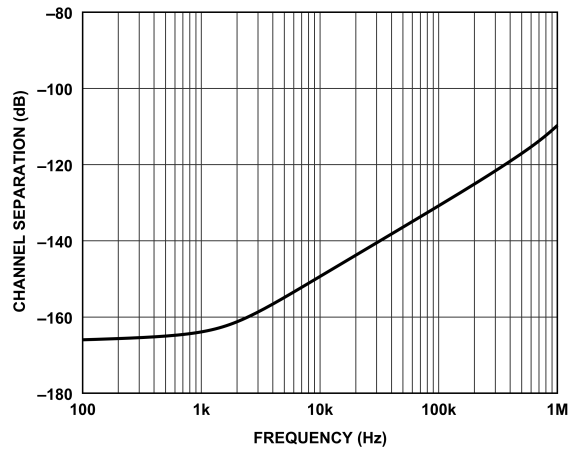


図 39. チャンネル・セパレーションと周波数の関係

代表的な性能特性

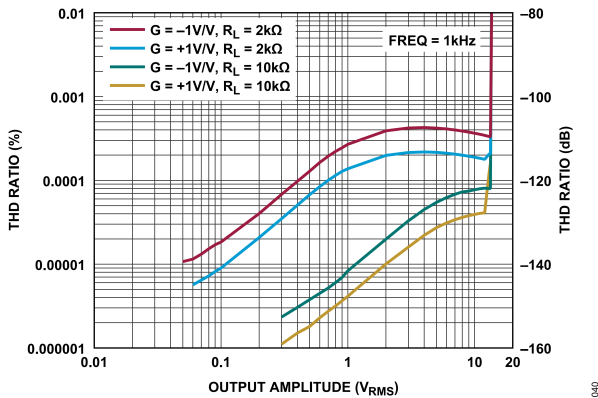


図 40. THD 比と出力振幅の関係

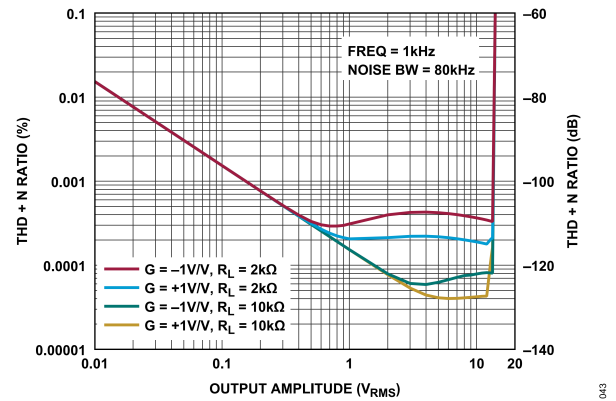


図 43. THD + ノイズ (THD + N) 比と出力振幅の関係

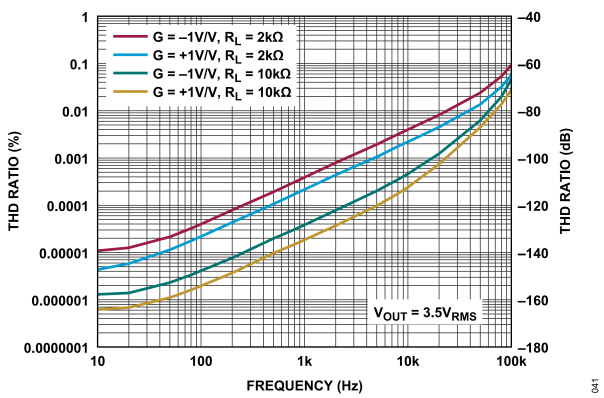


図 41. THD 比と周波数の関係

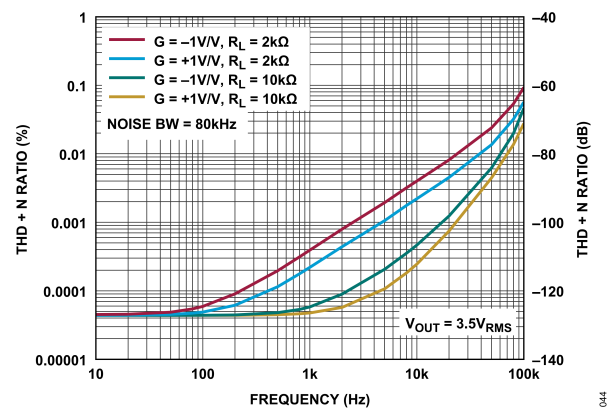


図 44. THD + N と周波数の関係

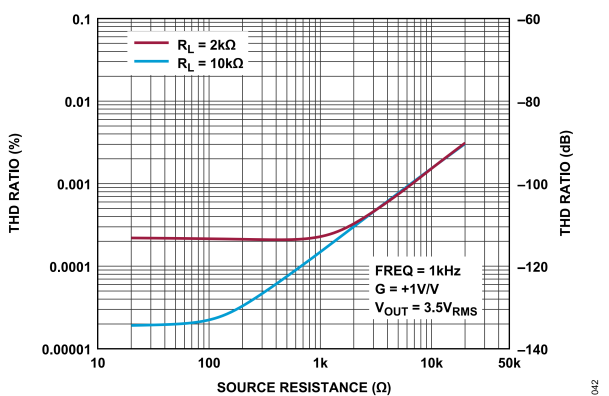


図 42. THD 比とソース抵抗の関係

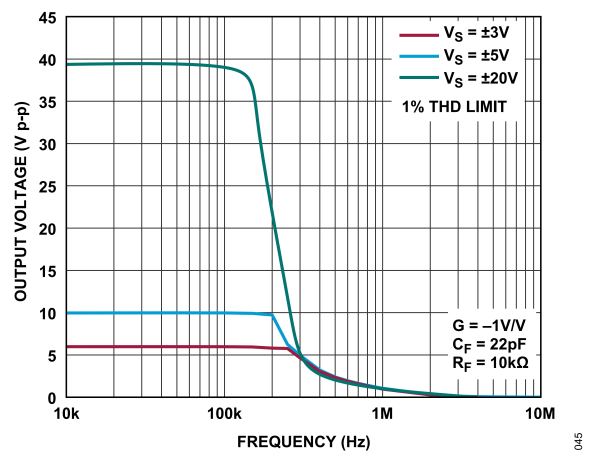


図 45. 無歪み最大出力振幅と周波数の関係

代表的な性能特性

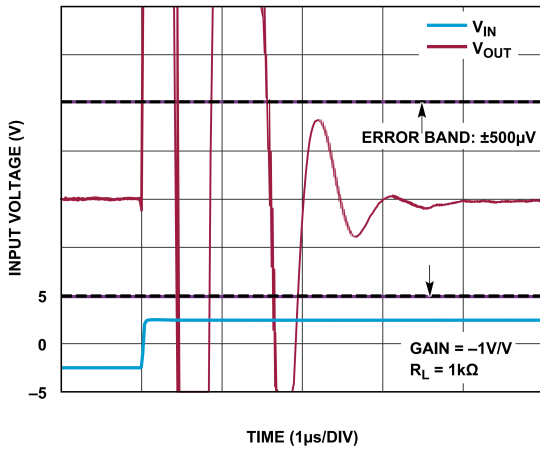


図 46. 立上がりステップの 0.01%へのセトリング時間、 $V_{OUT} = 5V$

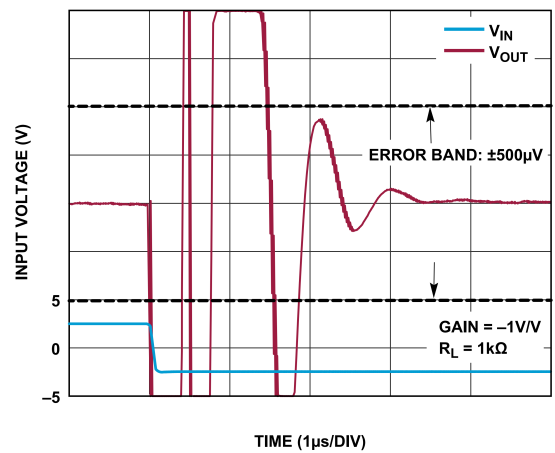


図 49. 立下がりステップの 0.01%へのセトリング時間、 $V_{OUT} = 5V$

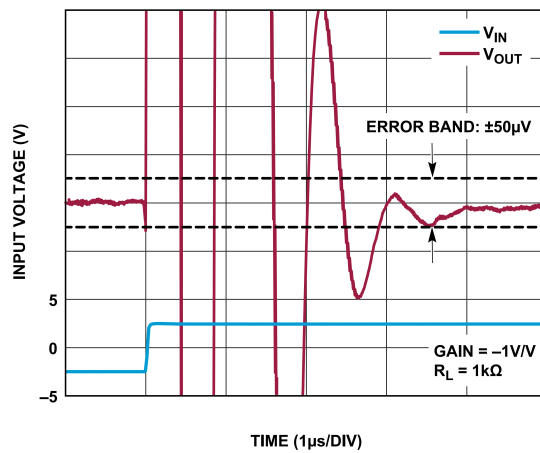


図 47. 立上がりステップの 0.001%へのセトリング時間、 $V_{OUT} = 5V$

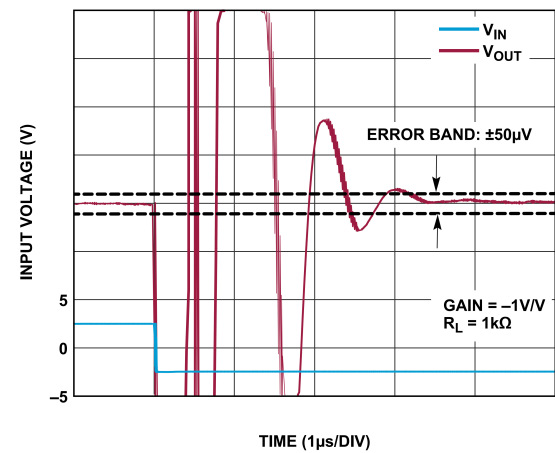


図 50. 立下がりステップの 0.001%へのセトリング時間、 $V_{OUT} = 5V$

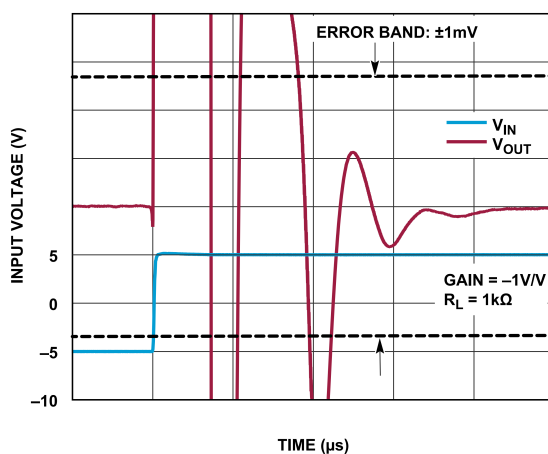


図 48. 立上がりステップの 0.01%へのセトリング時間、 $V_{OUT} = 10V$

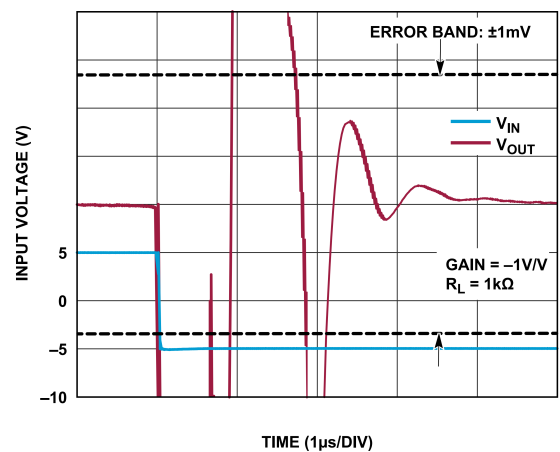


図 51. 立下がりステップの 0.01%へのセトリング時間、 $V_{OUT} = 10V$

代表的な性能特性

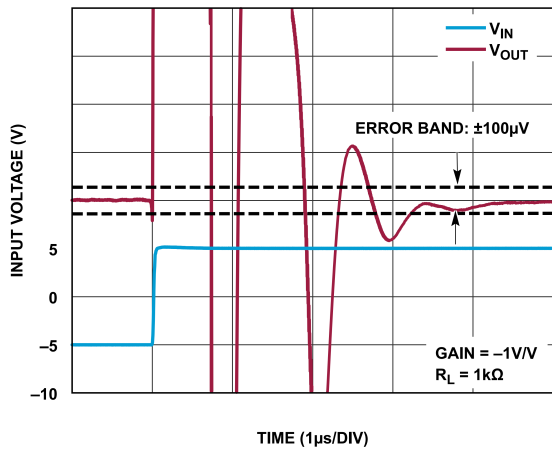


図 52. 立上がりステップの 0.001%へのセトリング時間、 $V_{OUT} = 10V$

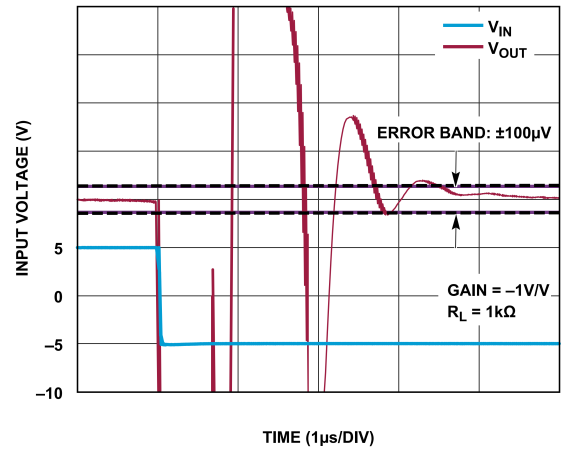


図 55. 立下がりステップの 0.001%へのセトリング時間、 $V_{OUT} = 10V$

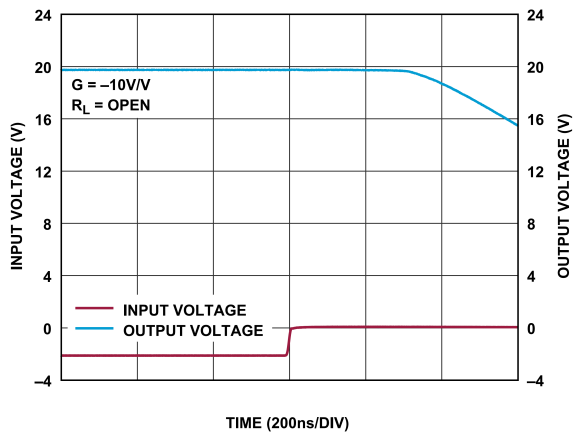


図 53. 正の過負荷からの回復

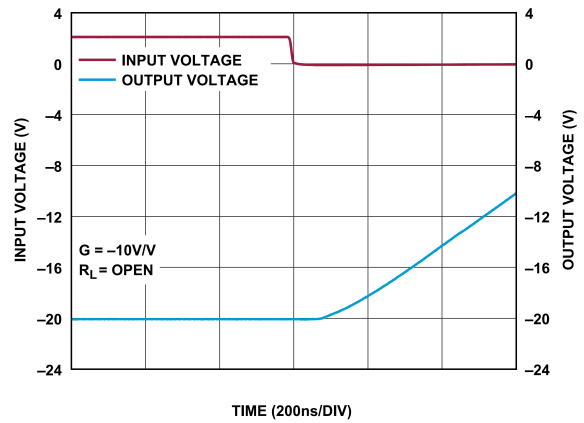


図 56. 負の過負荷からの回復

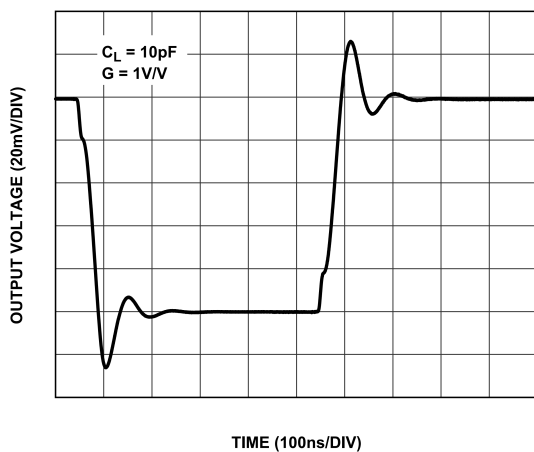


図 54. 小信号過渡応答、 $G = 1V/V$

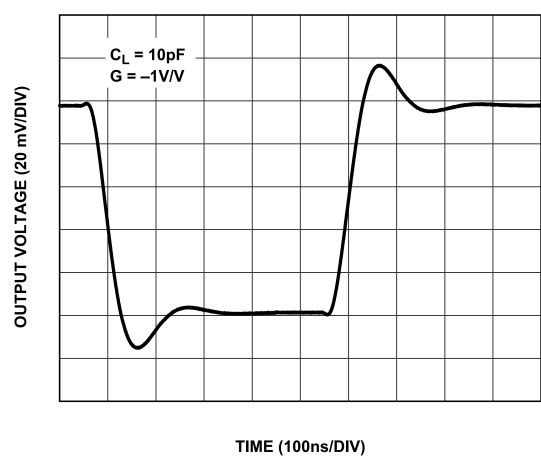


図 57. 小信号過渡応答、 $G = -1V/V$

代表的な性能特性

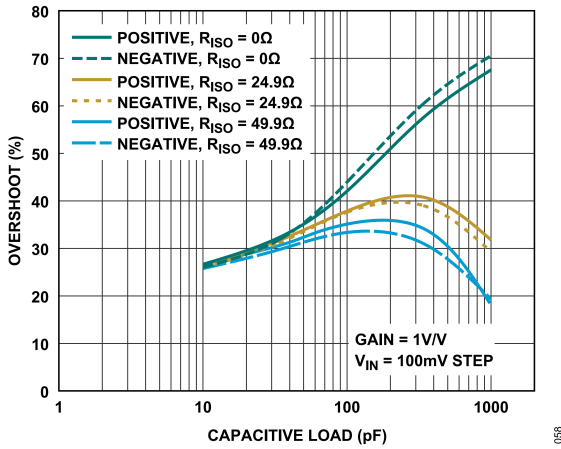


図 58. オーバーシュートと容量性負荷の関係、G = 1V/V

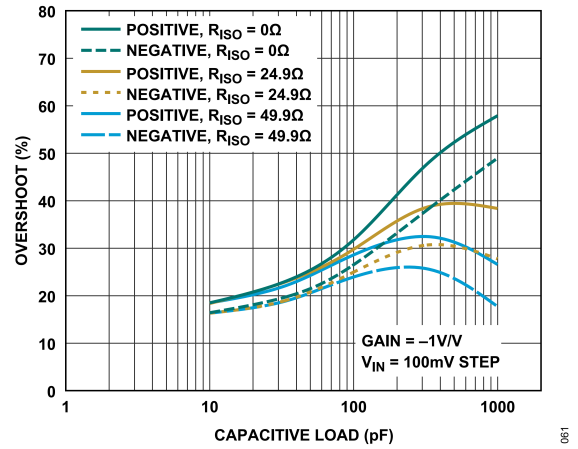


図 61. オーバーシュートと容量性負荷の関係、G = -1V/V

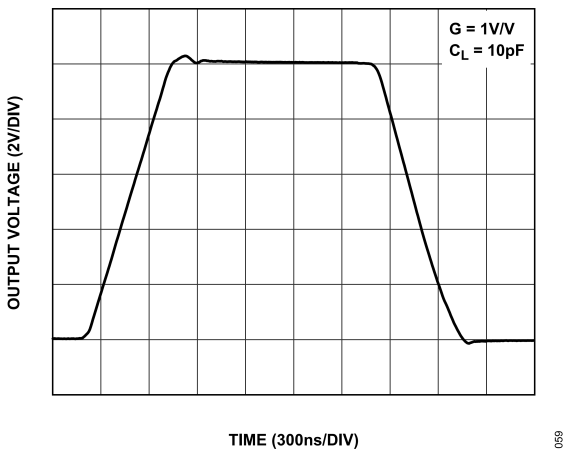


図 59. 大信号過渡応答、G = 1V/V

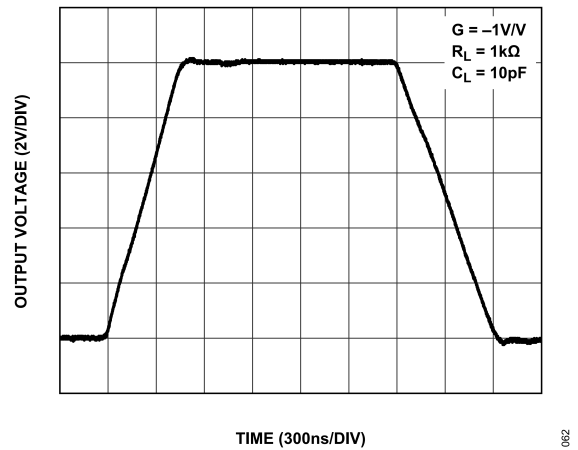


図 62. 大信号過渡応答、G = -1V/V

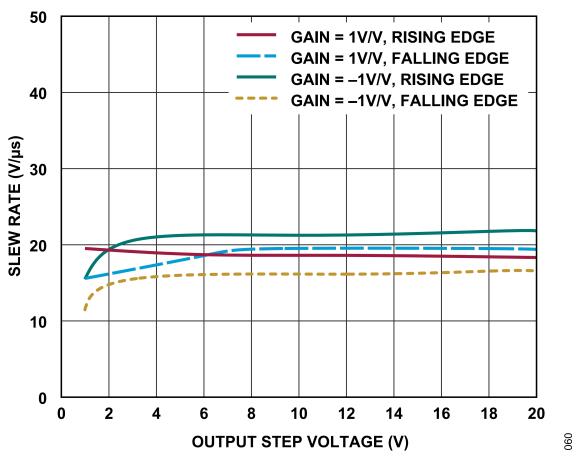


図 60. スルー・レートと出力ステップ電圧の関係

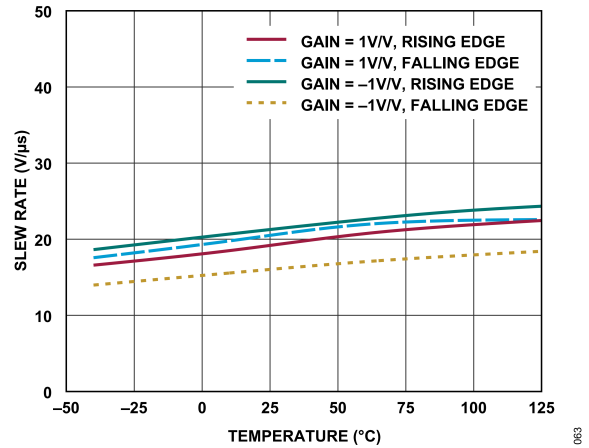


図 63. スルー・レートと温度の関係

代表的な性能特性

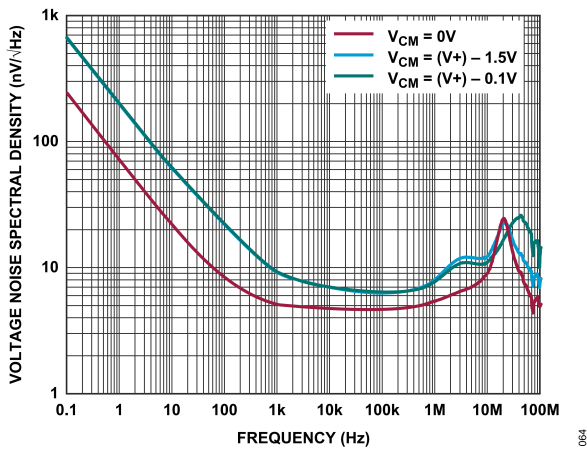


図 64. 入力電圧ノイズ・スペクトル密度と周波数の関係

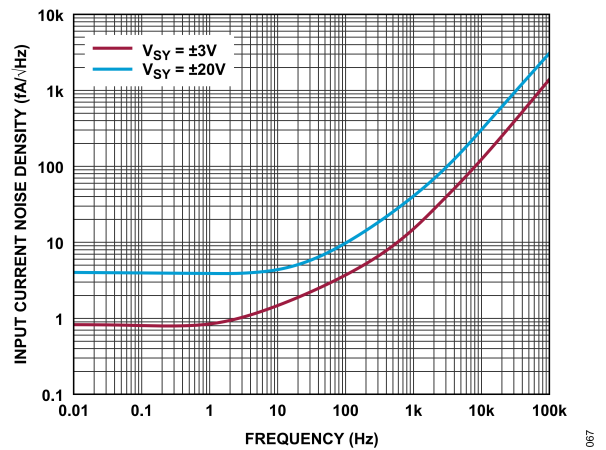


図 67. 電流ノイズ・スペクトル密度と周波数の関係

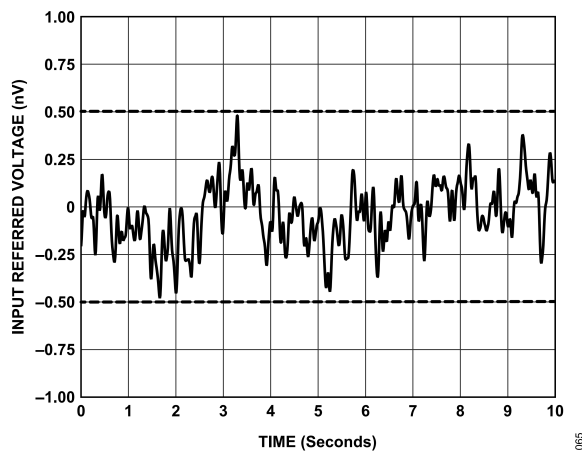


図 65. 0.1Hz~10Hz の電圧ノイズ

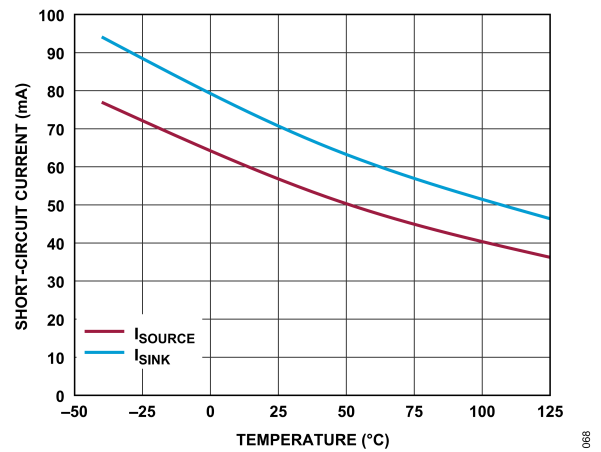


図 68. 短絡出力電流と温度の関係

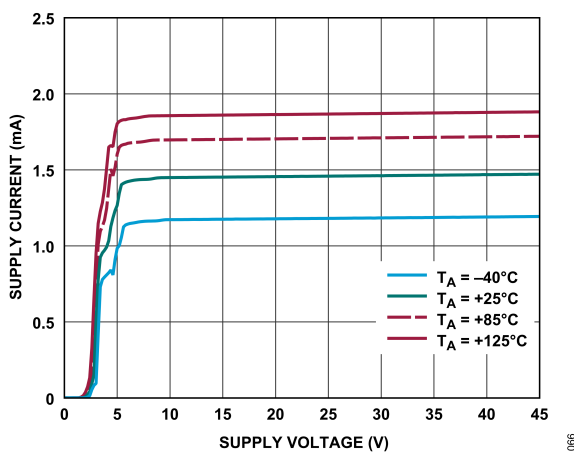


図 66. 異なる温度におけるアンプあたりの I_S と電源電圧の関係

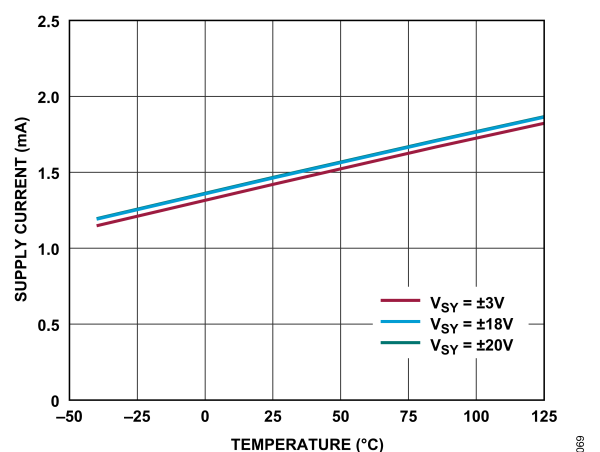


図 69. 異なる電源電圧でのアンプあたりの I_S と温度の関係

代表的な性能特性

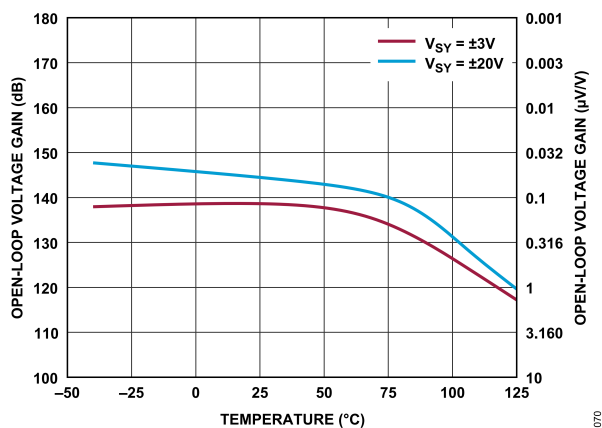


図 70. DC オープン・ループ・ゲインと温度の関係

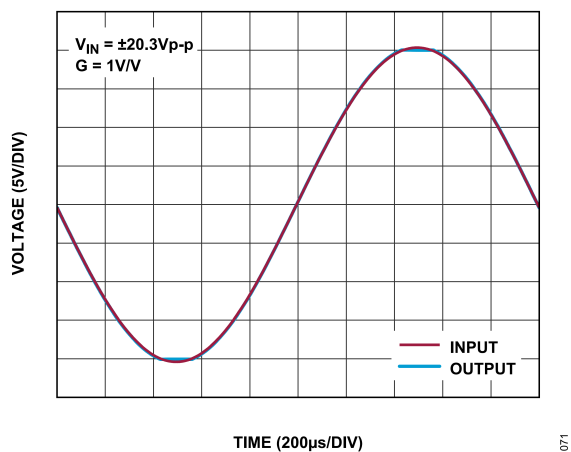


図 71. 位相反転なし

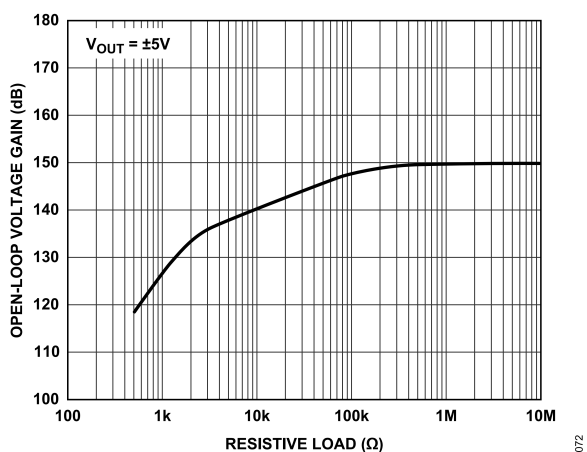


図 72. DC オープン・ループ・ゲインと R_L の関係

動作原理

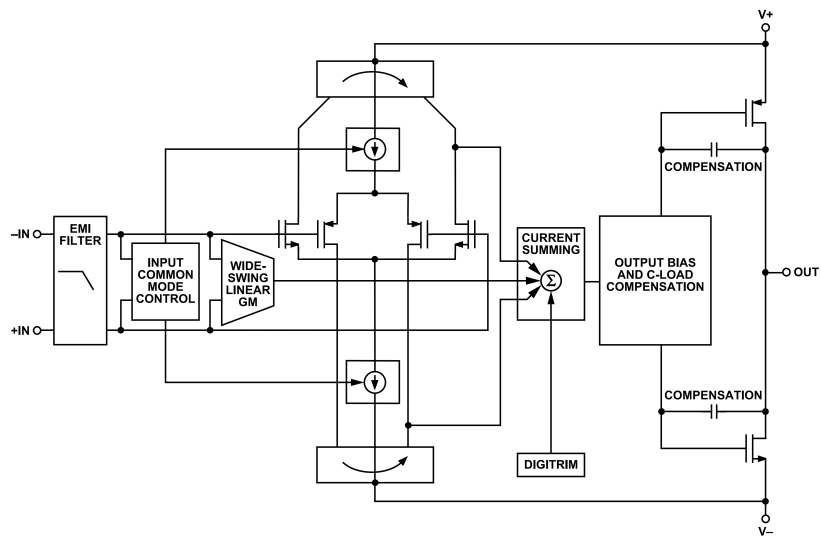


図 73. 簡略化した回路図

ADA4510-2 は、デュアルチャンネル、低消費電力、レール to レール入出力の高精度 CMOS オペアンプで、6V~40V の広い電圧範囲で動作します。このアンプは、アナログ・デバイセズの DigiTrim 技術を用いることで、従来の CMOS アンプに比べより高い精度を実現します。この DigiTrim 技術は、アセンブリ後のアンプのオフセット電圧およびオフセット電圧温度ドリフトを調整する方法です。この技術により、アセンブリ時の機械的ストレスによるオフセット電圧およびドリフトを補正できます。

入力段およびゲイン段

図 73 に ADA4510-2 の簡略化した回路図を示します。この入力アーキテクチャは、高インピーダンス、レール to レールの差動およびコモンモード入力振幅、低ノイズ、低入力バイアス電流、低オフセット電圧を実現します。

内蔵の EMI フィルタは信号の堅牢性を向上し、EMI 信号がアンプと結合するのを防ぎます。入力コモンモード電圧に応じて、Nチャンネル金属酸化膜半導体 (NMOS) または Pチャンネル金属酸化膜半導体 (PMOS) の入力段が随時アクティブになります。低オフセット電圧および低オフセット電圧ドリフトの仕様値は、NMOS および PMOS の両方の入力段で DigiTrim 技術を用いることで実現できます。

ADA4510-2 には、直線的な入力範囲を拡張する回路が含まれており、従来の入力差動ペアよりも高いスルー・レートを実現し、また、THD を向上します。10.4MHz の広いゲイン帯域幅積 (GB 積) は、内蔵のミラー補償により実現されます。

出力段

ADA4510-2 の出力は、どちらの電源電圧からも 100mV 以内となる振幅のレール to レール動作を行います。容量性負荷補償ブロックは負荷容量を検出し、必要な場合は、大きな容量 (1nF 以上) を駆動できるさらなる位相マージンを追加し、アンプの安定性を維持します。

EMI 除去

高周波 EMI は、目的のアプリケーションにおける高精度アンプ性能を脅かすものとなります。オペアンプは、信号強度が低い場合や伝送線が長い場合でも、入力信号を正確に増幅する必要があります。オペアンプ・ピンはすべて、EMI 信号に敏感です。これらの高周波信号は、伝導、近傍界放射、遠方界放射などの様々な方法でオペアンプに混入します。例えば、ワイヤとプリント回路基板 (PCB) のパターンがアンテナとして作用し、高周波 EMI 信号を拾います。

オペアンプは、帯域幅が比較的に狭いため、EMI 信号や RF 信号を増幅することはありません。しかし、入力デバイスの非直線性のため、オペアンプはこれらの帯域外信号を整流することがあり、それにより出力の DC オフセットを生じる可能性があります。

ADA4510-2 は、オペアンプの入力段に EMI フィルタを統合した設計となっています。EMIRR は、ADA4510-2 が電磁エネルギーが存在する場合でも所定の性能を発揮できる能力を表します。この EMIRR は表 1 において、非反転ピンに対し仕様規定されています。EMIRR 測定の数学的方法は、以下のように定義されます。

$$EMIRR = 20 \log \times (\Delta V_{IN_PEAK} / \Delta V_{OS})$$

ADA4510-2 の EMIRR 性能を図 36 に示します。

無位相反転

ADA4510-2 は、仕様規定された入力 V_{CM} 範囲を超えた場合に一部のオペアンプで見られる、出力電圧位相反転は生じません。出力電圧位相反転は、入力がコモンモード電圧範囲内に戻るまで、出力電圧が反対側のレールまで振れる原因となります。通常、一般的なオペアンプの入力は負の電圧範囲方向のコモンモード電圧制限値以下にはなりません。多くの場合、位相反転は接合電界効果トランジスタ (JFET) アンプやバイポーラ電界効果トランジスタ (BiFET) アンプに関連して生じます。しかし、一部のバイポーラ単電源アンプでも位相反転が生じやすくなっています。ADA4510-2 は、仕様規定された入力 V_{CM} 範囲を超え、絶対最大入力電圧制限値まで、無位相反転が確保されます。

動作原理

容量性負荷に対する駆動能力

ADA4510-2 は、最大 1nF の容量性負荷に対し安定です。これは、負荷によって生じる出力ポールを動的に検出し、アンプの内部ゲイン・ノードで補償を調整することで実現されます。容量性負荷が増大すると帯域幅は減少します。位相マージンは異なる容量性負荷によって増加する場合も減少する場合もあります。そのため、一部の容量性負荷に対する過渡応答にオーバーシュートが生じる場合があります（図 58 および図 61 を参照）。1nF 未満の同軸ケーブルは直接駆動できますが、最高のパルス忠実度を実現するには、出力と直列に、ケーブルの特性インピーダンス（50Ω など）に等しい値の抵抗を配置してケーブルを適切に終端する必要があります。ケーブルのもう一方の端は、同じ値の抵抗をグラウンドに接続して終端する必要があります。

図 58 および図 61 は、ユニティ・ゲイン構成およびゲインが-1 の構成での様々な容量性負荷に対する ADA4510-2 のオーバーシュートを示します。ADA4510-2 の容量性負荷駆動能力を更に向上するには、アイソレーション抵抗（ R_{ISO} ）を出力と直列に配置します。これにより、オーバーシュートとリングングを大幅に低減しアンプを安定化できます。

表 7. 様々な R_{ISO} での容量性負荷駆動

Capacitive Load	100 pF			1000 pF		
	0 Ω	24.9 Ω	49.9 Ω	0 Ω	24.9 Ω	49.9 Ω
R_{ISO}	0 Ω	24.9 Ω	49.9 Ω	0 Ω	24.9 Ω	49.9 Ω
Positive Overshoot Percent	42%	38%	35%	68%	32%	18%
Negative Overshoot Percent	43%	38%	30%	71%	29%	19%

アプリケーション情報

マルチプレクサ対応データ・アキュイジション・システム

マルチチャンネル・システムのデータ・アキュイジションは、**図 74** に示すように、マルチプレックスすることで実現できます。この手法は、計測器、工業用プロセス制御、自動試験装置 (ATE) の分野において広く用いられています。複数のセンサーを検出するのに必要な部品数を減らすことができ、消費電力、サイズ、コストを大幅に低減できるためです。

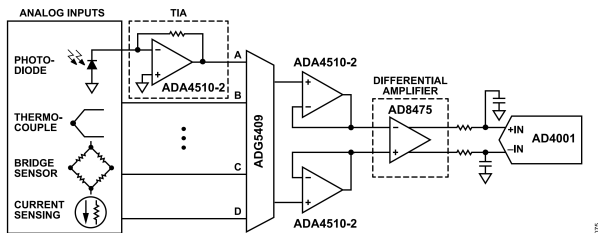


図 74. マルチプレックスされたデータ・アキュイジション・システム

このシステムを設計する場合の 1 つのリスクは、マルチプレクサによって高い正電圧から高い負電圧への高速の切替えが行われるために、バッファ・アンプに大きな差動電圧が入力される可能性があることです。バッファ・アンプの選択が不適切な場合、大きな突入電流が入力され、システムの性能が低下し、最も厳しい場合はデバイスに恒久的な損傷が生じる可能性があります。

ADA4510-2 は、この問題を解決するために、マルチプレクサ対応の堅牢なアーキテクチャを使用しています。それによって差動のバック・ツー・バック・ダイオードを用いることなく電源レールまでの大きな差動電圧を処理できます。**図 75** に示すように、バック・ツー・バック・ダイオードを用いる従来のオペアンプに比べ、このアーキテクチャは突入電流を大幅に低減すると共にセトリング性能と歪み性能を向上し、入力負荷の影響を受けないことがありません。

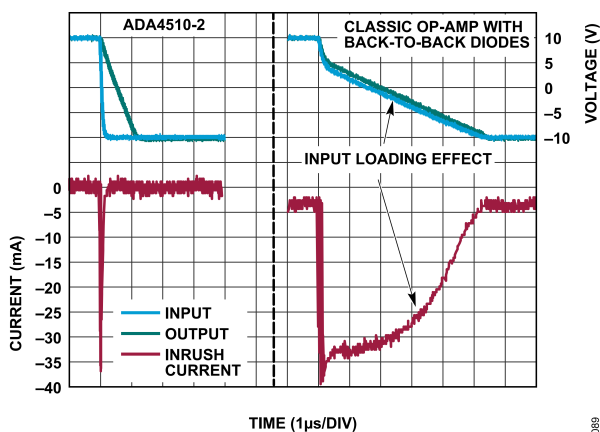


図 75. ADA4510-2 における突入電流の低減

設計例

図 76 に示す回路は、マルチプレクサ、アンプ、A/D コンバータ (ADC) で構成された標準的なマルチチャンネル・データ・アキュイジション・シグナル・チェーンです。このアーキテクチャでは、1 つの ADC を用いて複数のチャンネルを高速にサンプリングすることができ、低コストで優れたチャンネル間マッチングが可能となります。マルチプレクサは後段のアンプおよび ADC にフルスケール・ステップの V_{OUT} を伝達するため、チャンネル間の切替え速度は、シグナル・チェーンにあるマルチプレクサ後段の各種素子のセトリング時間によって制限されます。この回路内の素子は、セトリング時間を最小限に抑え、チャンネル間のスイッチング速度を最大限にするよう、具体的に選択されています。

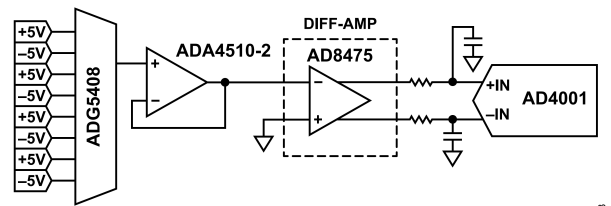


図 76. シングルエンド入力/差動出力の 16 ビット 8 チャンネル・マルチプレックス・データ・アキュイジション・システム

この回路は連続スイッチング・モードで動作します。マルチプレクサ **ADG5208** は、ADC の変換サイクルと同期したスイッチング・レートで連続的に切替えを行います。信号は ADA4510-2 でバッファされた後、AD8475 に伝達され、シングルエンド信号が減衰およびレベルシフトされて差動出力に変換されます。ADC の入力では RC フィルタが用いられ、これによって帯域外ノイズを除去する共に、ADC 入力でのスイッチト・キャパシタからのキックバックを減衰します。

セトリング時間を計算するには、**図 77** に示すように回路をいくつかの部分に分割します。

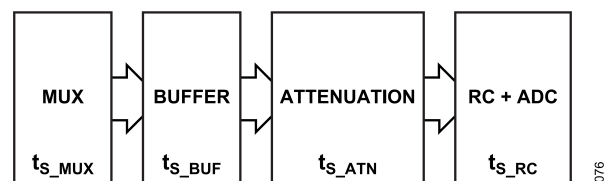


図 77. セトリング時間を分析するためのブロック図

全セトリング時間は各段のセトリング時間の RSS で概算できます。

アプリケーション情報

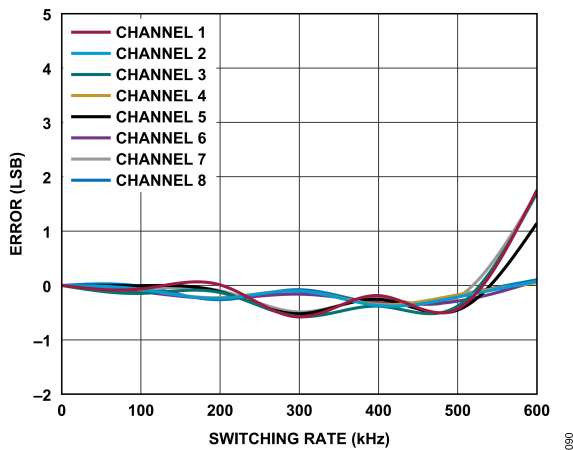


図 78. 誤差 (LSB) とスイッチング・レートの関係、8 チャンネル 10V ステップ

8 チャンネル 10V ステップのマルチプレックス・データ・アキュイジション・システムの誤差 (LSB 単位) とスイッチング・レートの関係を、図 78 に示します。570kHz のスイッチング・レートまで 1 未満の LSB 誤差が実現されています。

トランスインピーダンス・アンプ

ADA4510-2 は、低ノイズ・トランスインピーダンス・アンプ (TIA) アプリケーションに対し優れた選択肢となります。ADA4510-2 の電圧ノイズおよび電流ノイズが低いため、最大限の S/N 比 (SNR) が可能で、また、 V_{OS} および I_B が小さいため、アンプ出力における DC 誤差を最小限に抑えることができます。

電流電圧変換の一般的なアプリケーションでは、負の入力端子に配置されたダイオードが供給する電流をアンプが出力電圧に変換する、フォトダイオード回路が含まれます。フォトダイオード・アプリケーションの例としては、光ファイバ制御、モーションセンサー、バーコード・リーダーなどがあります。図 79 に示す回路は、ADA4510-2 の 1 チャンネルを電流電圧コンバータとして用いた例をフォトダイオードの電気モデルと共に示しています。

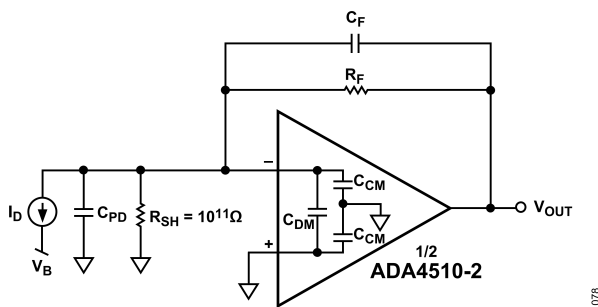


図 79. 等価 TIA 回路

フォトダイオードは、光起電力モード (ゼロ・バイアス) または光伝導モード (ダイオード両端に逆バイアスを印加) のいずれかで動作します。モードの選択は、アプリケーションの速度条件および暗電流条件、それにフォトダイオードの選択によって異なります。光起電力モードでは、暗電流が最低となり、低周波数のアプリケーションや光レベルの低いアプリケーションに適しています (すなわち PN フォトダイオード)。光伝導モードは、より高速で直線応答が必要なアプリケーションに適しています (すなわち PIN ダイオード)。ただし、暗電流とノイズ電流が増加するというようなトレードオフがあります。

以下の伝達関数は、図 79 のトランスインピーダンス・ゲインを記述するものです。

$$V_{OUT} = \frac{I_D R_F}{1 + s C_F R_F} \tag{1}$$

ここで、

V_{OUT} はオペアンプに必要な出力 DC 電圧。

I_D はフォトダイオードの出力電流。

R_F は帰還抵抗。

C_F は帰還容量。

R_F と C_F の並列接続により信号帯域幅が設定されます。

s は複素周波数変数 $j\omega$ 。

j は虚数単位。

ω は角周波数。

R_F は、実現可能な最大 V_{OUT} が最大ダイオード I_{OUT} に対応するように設定します。信号レベルは R_F に比例して増加する一方、 R_F によるノイズは抵抗値の平方根に比例して増加するため、出力振幅が最大の場合に SNR は最大となります。

ループ・ゲイン特性によって実質的な回路安定性が決まるため、トランスインピーダンス・ゲインとループ・ゲインを区別することが重要です。クロズド・ループの伝達関数は、次式で表される形をとります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{A}{1 + A\beta} \tag{2}$$

ここで、

A はアンプのオープン・ループ・ゲイン。

β は帰還ネットワーク。

$A\beta$ はループ・ゲイン。

このアプリケーションの場合、 β は次式で与えられます。

$$\beta = \left(\frac{R_{SH}}{R_{SH} + R_F} \right) \frac{1 + s R_F C_F}{1 + s (R_F \parallel R_{SH}) (C_{IN} + C_F)} \tag{3}$$

ここで、

R_{SH} はダイオードのシャント抵抗。

C_{IN} は、ダイオード・シャント容量 (C_{PD})、アンプの入力容量 ($C_{DM} + C_{CM}$)、および外部浮遊容量の総和で構成される合計入力容量。

C_{IN} 、 R_F 、 C_F 、 R_{SH} によって、 $1/\beta$ の伝達関数でゼロが形成されます。ゼロ周波数 (f_z) は次式のようにになります。

$$f_z = \frac{1}{2\pi (R_F \parallel R_{SH}) (C_{IN} + C_F)} \tag{4}$$

フォトダイオードのシャント抵抗 R_{SH} は R_F に比べ非常に大きいため、回路の動作は、ジャンクション抵抗の影響を受けず、 f_z は次のように簡略化できます。

$$f_z = \frac{1}{2\pi R_F (C_{IN} + C_F)} \tag{5}$$

図 80 に、アンプのオープン・ループ・ゲインに TIA の $1/\beta$ の曲線を重ね合わせて示します。システムが安定であるためには、 $1/\beta$ の曲線がオープン・ループ応答と交差する点での傾きが 20dB/decade 未満であることが必要です。図 80 において、点線は、オープン・ループ・ゲインと 20dB/decade の傾きとなっている周波数 (f_x) で公差する無補償の $1/\beta$ 応答 ($C_F = 0\text{pF}$) を表したもので、不安定な状態を示しています。

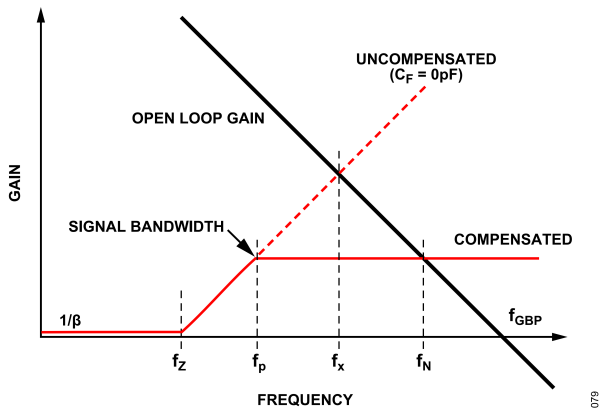


図 80. TIA の一般的な $1/\beta$ および伝達関数

C_{IN} に起因する不安定性は、 C_F を追加して f_x 以下の周波数に極を導入することで補償できます。極周波数は次式で表されます。

$$f_p = \frac{1}{2\pi R_F C_F} \quad (6)$$

極を f_x の周波数に設定することで、破線で示すように、 45° の位相マージンで信号帯域幅が最大となりますが、安定化のためには十分ではありません。 f_x は、 f_z とアンプのゲイン帯域幅積周波数 (f_{GBP}) の幾何平均であるため、次式により f_x を計算します。

$$f_x = \sqrt{f_z f_{GBP}} \quad (7)$$

式 5 と式 6 を式 7 に代入すると、 f_x を生成する C_F の値は次のようになります。

$$C_F = \frac{1 + \sqrt{1 + 8\pi R_F C_{IN} f_{GBP}}}{4\pi R_F f_{GBP}} \quad (8)$$

$8\pi \times R_F \times C_{IN} \times f_{GBP} \gg 1$ であれば、式 8 は次のように簡略化できます。

$$C_F = \sqrt{\frac{C_{IN}}{2\pi R_F f_{GBP}}} \quad (9)$$

また、 C_F を追加しても信号帯域幅は f_p に設定されます。式 9 を式 6 に代入し、 f_{GBP} 、 R_F 、 C_{IN} による信号帯域幅の式に変形すると、次のようになります。

$$f_p = \sqrt{\frac{f_{GBP}}{2\pi R_F C_{IN}}} \quad (10)$$

実現可能な信号帯域幅は一定の $R_F C_{IN}$ およびアンプの f_{GBP} の関数である点に注意してください。信号帯域幅を最大化するには、広帯域幅低入力容量のオペアンプを選択し、また、フォトダイオードを逆バイアスで動作させてジャンクション容量を低減します。

設計例

ADA4510-2 の 1 つのチャンネルをフォトダイオード・プリアンプ・アプリケーションの TIA アンプとして設定したものを、設計例として図 81 に示します。フォトダイオードの C_D を 5pF 、 I_D を $2\mu\text{A}$ 、必要なフルスケール V_{OUT} を 100mV とすると、式 1 に従い R_F は $49.9\text{k}\Omega$ になります。

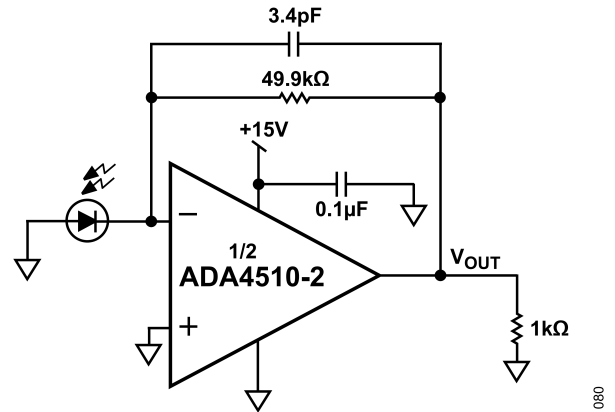


図 81. ADA4510-2 を用いた単電源 TIA 回路

ADA4510-2 の入力容量 ($C_{CM} + C_{DM}$) は 22pF であるため、合計入力容量 (C_{IN}) は 27pF です。 $C_{IN} = 27\text{pF}$ 、 $R_F = 49.9\text{k}\Omega$ 、 $f_{GBP} = 10\text{MHz}$ を式 8 および式 10 に代入すると、 C_F の値は 3.1pF 、 -3dB 帯域幅 (f_p) は 1.1MHz となります。

図 82 および図 83 に TIA 回路の補償結果を示します。 $C_F = 3.1\text{pF}$ で信号帯域幅を最大化した場合のシステム帯域幅は 1.1MHz です。 C_F を 5.5pF に増加すると帯域幅は 579kHz に減少します。ただし、 C_F を増加するとオーバーシュートが大きく低減します (図 84 参照)。実際には、 C_F の最適値は、出力パルス応答が最適なものとなるよう C_F の値をわずかに変化させることで、実験により求めます。

アナログ・デバイセズの **アナログ・フォトダイオード・ウィザード** を使用することで、フォトダイオードと接続するトランスインピーダンス・アンプ回路を設計できます。

アプリケーション情報

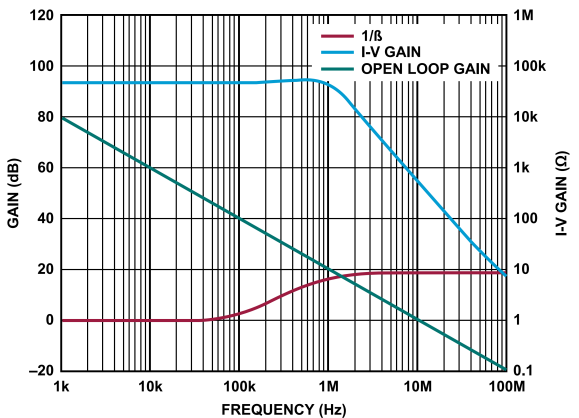


図 82. TIA の補償、 $C_F = 3.1\text{pF}$

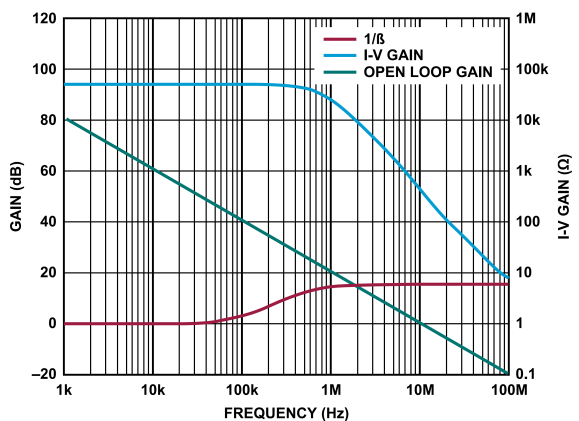


図 83. TIA の補償、 $C_F = 5.5\text{pF}$

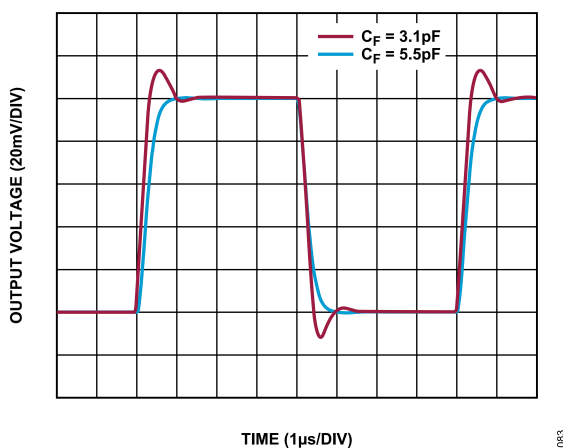


図 84. 異なる C_F に対するパルス応答

アクティブ・フィルタ

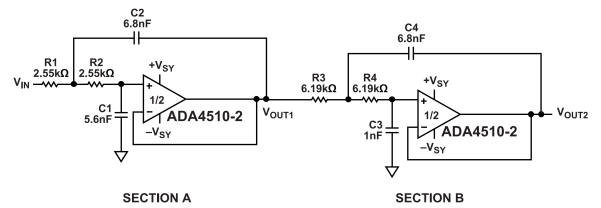


図 85. -3dB 帯域幅が 10kHz の 4 極ローパス・フィルタ

アクティブ・フィルタは、信号を分離するために用いられるもので、目的とする信号を通し不要な周波数の信号を減衰します。例えば、データ・アキュイジション・システムでは多くの場合、ローパス・フィルタがアンチエイリアシング・フィルタまたはノイズ・フィルタとして用いられ、高周波数ノイズを制限します。

高入力インピーダンス、広帯域幅、低入力バイアス電流、DC 精度を特長とする ADA4510-2 は、アクティブ・フィルタ・アプリケーションに最適です。図 85 は、4 極サレンキー・バターワース・ローパス・フィルタ構成における ADA4510-2 を示します。4 極ローパス・フィルタには 2 つの複素共役の極ペアがあり、2 極ローパス・フィルタをカスケード接続することで実現できます。セクション A とセクション B はユニティ・ゲインの 2 極ローパス・フィルタとして構成されます。表 8 に、各段のバターワース・フィルタに関連する性能指数 (Q) 条件および極の位置を示します。次数の異なるフィルタの s 平面上の極の位置および Q 条件については、[リニア回路設計ハンドブック \(www.analog.com/AnalogDialogue\)](http://www.analog.com/AnalogDialogue) で入手可能) の第 8 章アナログ・フィルタを参照してください。

表 8. Q 条件および極の位置

Section	Poles	Q
A	$-0.9239 \pm j0.3827$	0.5412
B	$-0.3827 \pm j0.9239$	1.3065

サレンキー・トポロジはわずかな回路要素を用いた簡素な設計であることから、広く用いられています。このトポロジは、抵抗とコンデンサを単に入れ替えるだけでローパス・フィルタまたはハイパス・フィルタを実現できる柔軟性を、ユーザに提供します。ADA4510-2 は、 10kHz のコーナー周波数でユニティ・ゲインとなるよう構成されています。アクティブ・フィルタには、コーナー周波数 (f_c) と Q の積より 100 倍以上大きなユニティ・ゲイン帯域幅を持つオペアンプが必要です。抵抗とコンデンサも、製造公差、時間、温度にわたる性能を決定するうえで重要です。公差が 1% 以下の抵抗と 5% 以下のコンデンサを用いることを推奨します。

図 86 に、ローパス・サレンキーフィルタの周波数応答を示します。

ここで、

V_{OUT1} は初段の出力です。

V_{OUT2} は 2 段目の出力です。

V_{OUT1} は 40dB/decade のロールオフ、 V_{OUT2} は 80dB/decade のロールオフを示しています。遷移帯はフィルタの次数が大きくなるに伴い鋭くなります。

アプリケーション情報

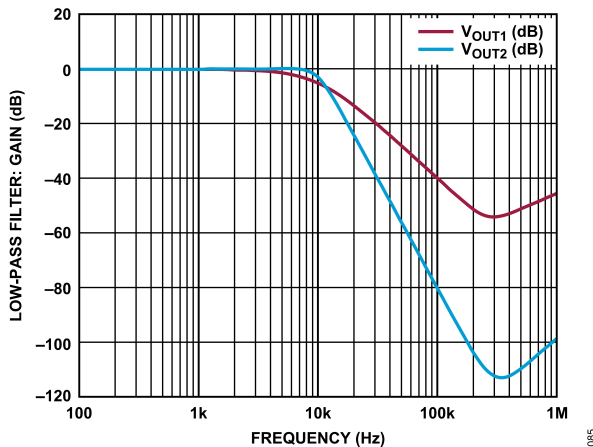


図 86. ローパス・フィルタ：ゲインと周波数の関係

帰還回路部品

帰還抵抗を用いてゲインを設定する場合、反転入力抵抗と寄生容量によって形成される極により安定性が低下することのないよう、注意が必要です。アンプの必要なクロスオーバー周波数付近に極が形成されると、安定性に対し不利な影響が及びます。

一般に、寄生の極がアンプのクロード・ループ帯域幅内にある場合、 R_F と並列にコンデンサを追加することで極の周波数に近い周波数にゼロを導入し、安定性を改善します。

詳細についてはアナログ・ダイアログの記事、[電圧帰還抵抗についての真相](#)を参照してください。

高精度バッファ

ADC および D/A コンバータ (DAC) を用いる高分解能システムの全体精度は、システムの電圧リファレンスの正確さ、安定性、駆動能力によって決まります。通常、最高性能を発揮するには、オンチップ・リファレンスおよびバッファでは性能が不足している、あるいは駆動能力が不十分であるために、コストを要する外部リファレンスが必要です。

低ノイズ仕様である ADA4510-2 を用いることで、逐次比較レジスタ (SAR) ADC リファレンス入力用に選択されたリファレンスの精度を維持できます。[高精度逐次比較型 ADC 用の電圧リファレンス回路の設計](#)では、いくつかの考慮事項、およびリファレンス回路からのノイズを計算して ADC 性能が影響を受けないようにする方法について、詳しく説明しています。

現実のセンサーを駆動する DAC 出力も、リファレンス電圧の精度に依存します。低い V_{OS} 、 $\Delta V_{OS} / \Delta T$ 、 I_B 、 e_n p-p、および非常に高い直線性が、短いセトリング時間およびスルー・レートと相まって、ADA4510-2 を出力 DAC バッファに最適なものにしていきます。

推奨される電源ソリューション

アナログ・デバイスではほとんどの高性能シグナル・チェーンの条件を満たす広範なパワー・マネージメント製品を取り揃えています。両電源アプリケーションでは、ADA4510-2 は $\pm 20V$ もの高電圧を必要とする場合もあります。正電源には LT3042、負電源には LT3093 などの低ドロップアウト (LDO) リニア・レギュレータを用いると、高周波数での PSRR を改善し、低ノイズの電源レールを生成するのに役立ちます。更に、負電源が入手できない場合は、ADP5070 が正電源から負電源を生成できます。ADA4510-2 用に推奨されるパワー・マネージメント・デバイスの一覧を表 9 に示します。

表 9. 推奨されるパワー・マネージメント・デバイス

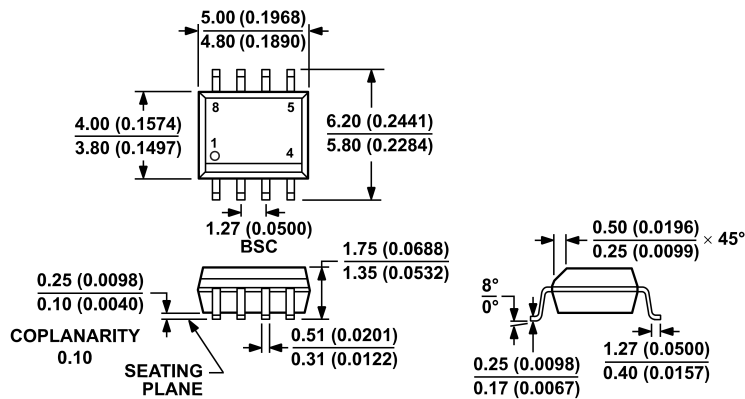
製品	説明
ADP5070	正と負の独立出力を備えた DC/DC スイッチング・レギュレータ
LT3032	デュアル 150mA、正/負、低ノイズ LDO リニア・レギュレータ
LT3093	-20V、200mA、超低ノイズ、超高 PSRR、負電圧リニア・レギュレータ
LT3042	20V、200mA、超低ノイズ、超高 PSRR RF リニア・レギュレータ

電源からの変動の混入を低減するために、ADA4510-2 の各電源ピンの近くで $0.1\mu F$ の低 ESR バイパス・コンデンサを用いてグラウンドに接続することを推奨します。電源ノイズが大きい場合、 $0.1\mu F$ のコンデンサと並列に $10\mu F$ のコンデンサを追加すると性能を改善できます。

レイアウトのガイドライン

ADA4510-2 は極めて高いインピーダンスの入力を備えています。PCB 内のリーク抵抗と寄生容量によるシャント・インピーダンスは、低バイアス入力時の性能を著しく低下させる可能性があります。ガード手法を用いて入力ノードに生じる電圧勾配を低減することで、寄生リーク電流を防いでください。物理的には、ガードは高インピーダンス・ノードを囲む低インピーダンスの導体で、そのノードの電圧に駆動されます。これは、影響を受けやすいノードから低インピーダンスのガードにリークを迂回させることで、リークをバッファする役目を果たします。ガードの配線パターンからハンダ・マスクを除去して、汚染による表面リークを防止してください。配線パターンの寄生成分との相互作用を回避するために、ADA4510-2 の入力付近には入力抵抗を配置します。使用しないチャンネルがある場合、その入力にはチャンネルの直線性範囲内の電圧に接続し、他のチャンネルと干渉する可能性のあるオーバードライブ条件を回避します。出力は無接続のままにします。ADA4510-2 の近くには $0.1\mu F$ などのデカップリング・コンデンサを配置してください。 $10\mu F$ といった、より大きなコンデンサをオペアンプから離れた場所で用いても構いません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 87.8 ピン、標準スモール・アウトライン・パッケージ [SOIC_N]
 ナロー・ボディ (R-8)
 単位: mm (括弧内はインチ)

更新: 2023年7月24日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
ADA4510-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Tube, 98	R-8
ADA4510-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 1000	R-8
ADA4510-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	Reel, 2500	R-8

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-ADA4510-2ARZ	Evaluation Board

¹ Z = RoHS 準拠製品。