

## 特長

EIA RS-485 に準拠

データレート: 5 Mbps

5 V 単電源動作

バス同相モード範囲: -7 V ~ +12 V

高速低消費電力の BiCMOS

サーマル・シャットダウン保護機能を内蔵

短絡保護機能

ドライバ伝搬遅延: 10 ns (typ)

レシーバ伝搬遅延: 15 ns (typ)

パワーオフ時に出力でハイ・インピーダンスを維持

LTC485 のアップグレード製品

## アプリケーション

低消費電力 RS-485 システム

DTE/DCE インターフェース

パケット・スイッチング

LAN

データ・コンセントレーション

データ・マルチプレクサ

ISDN

## 概要

ADM485 は、マルチポイント・バス伝送線による高速双方向データ通信に最適な差動ライン・トランシーバです。平衡データ伝送用にデザインされ、EIA 標準の RS-485 と RS-422 に準拠しています。このデバイスは差動ライン・ドライバと差動ライン・レシーバを内蔵しています。ドライバとレシーバは独立にイネーブルすることができます。ディスエーブルされると、出力はスリー・ステートになります。

ADM485 は 5 V 単電源で動作します。バスの輻輳または出力の短絡により発生する消費電力の増加をサーマル・シャットダウン回路により防止します。故障状態で、大幅な温度上昇が内部ドライバ回路で検出されると、この機能によりドライバ出力がハイ・インピーダンス状態にされます。

最大 32 個のトランシーバを同じバスに接続できますが、同時に 1 個のドライバだけをイネーブルすることができます。したがって、残りのディスエーブルされたドライバがバスの負荷にならないようにすることが重要です。このため、ADM485 ドライバはディスエーブル時とパワーダウン時にハイ出力インピーダンスになり、トランシーバが使用されないときに負荷効果を小さくします。ドライバ出力のハイ・インピーダンスは、-7 V ~ +12 V のコモン・モード電圧の全範囲で維持されます。

レシーバはフェイル・セーフ機能を持っているため、入力の未接続(フローティング)時にロジックはハイ出力レベルになります。

ADM485 は、低消費電力 CMOS と高速スイッチング・バイポーラ技術との高度なミックス技術プロセスである BiCMOS で製造されています。すべての入力と出力には、ESD 保護機能が付いています。すべてのドライバ出力は、高い電流ソース/シンク能力を持っています。エピタキシャル層を使ってラッチアップから保護しています。

ADM485 は極めて高速なスイッチング速度を持っています。最小のドライバ伝搬遅延を持つため、最大 5 Mbps のデータ・レートでの送信が可能であると同時に、低スキューにより EMI 干渉が少なくなっています。

このデバイスは商用温度範囲と工業温度範囲の仕様を持ち、8 ピンの PDIP パッケージ、SOIC パッケージ、またはフットプリントの小さい MSOP パッケージを採用しています。

機能ブロック図

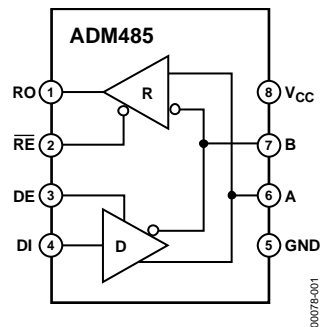


図 1.

## 目次

特長.....	1	テスト回路.....	10
アプリケーション.....	1	スイッチング特性.....	11
機能ブロック図.....	1	アプリケーション情報.....	12
概要.....	1	差動データ伝送.....	12
改訂履歴.....	2	ケーブルとデータレート.....	12
仕様.....	3	サーマル・シャットダウン.....	12
タイミング仕様.....	4	伝搬遅延.....	12
絶対最大定格.....	5	レシーバの断線とフェルセーフ.....	12
ESDの注意.....	5	外形寸法.....	13
ピン配置およびピン機能説明.....	6	オーダー・ガイド.....	14
代表的な性能特性.....	7		

## 改訂履歴

### 04/08—Rev. E to Rev. F

Updated Format.....	Universal
Changes to Table 2.....	4
Updated Outline Dimension.....	13
Changes to Ordering Guide.....	14

### 10/03—Rev. D to Rev. E

Changes to Timing Specifications.....	2
Updated Ordering Guide.....	3

### 7/03—Rev. C to Rev. D

Changes to Absolute Maximum Ratings.....	3
Changes to Ordering Guide.....	3
Update to Outline Dimensions.....	9

### 1/03—Rev. B to Rev. C.

Change to Specifications.....	2
Change to Ordering Guide.....	3

### 12/02—Rev. A to Rev. B.

Deleted Q-8 Package.....	Universal
Edits to Features.....	1
Edits to General Description.....	1
Edits, additions to Specifications.....	2
Edits, additions to Absolute Maximum Ratings.....	3
Additions to Ordering Guide.....	3
TPCs Updated and Reformatted.....	5
Addition of 8-Lead MSOP Package.....	9
Update to Outline Dimensions.....	9

## 仕様

特に指定がない限り、 $V_{CC} = 5\text{ V} \pm 5\%$ 、すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DRIVER</b>					
Differential Output Voltage, $V_{OD}$			5.0	V	$R = \infty$ , see Figure 20
	2.0		5.0	V	$V_{CC} = 5\text{ V}$ , $R = 50\ \Omega$ (RS-422), see Figure 20
	1.5		5.0	V	$R = 27\ \Omega$ (RS-485), see Figure 20
$V_{OD3}$	1.5		5.0	V	$V_{TST} = -7\text{ V to }+12\text{ V}$ , see Figure 21
$\Delta V_{OD} $ for Complementary Output States			0.2	V	$R = 27\ \Omega$ or $50\ \Omega$ , see Figure 20
Common-Mode Output Voltage, $V_{OC}$			3	V	$R = 27\ \Omega$ or $50\ \Omega$ , see Figure 20
$\Delta V_{OD} $ for Complementary Output States			0.2	V	$R = 27\ \Omega$ or $50\ \Omega$
Output Short-Circuit Current, $V_{OUT} = \text{High}$	35		250	mA	$-7\text{ V} \leq V_O \leq +12\text{ V}$
Output Short-Circuit Current, $V_{OUT} = \text{Low}$	35		250	mA	$-7\text{ V} \leq V_O \leq +12\text{ V}$
CMOS Input Logic Threshold Low, $V_{INL}$			0.8	V	
CMOS Input Logic Threshold High, $V_{INH}$	2.0			V	
Logic Input Current (DE, DI)			$\pm 1.0$	$\mu\text{A}$	
<b>RECEIVER</b>					
Differential Input Threshold Voltage, $V_{TH}$	-0.2		+0.2	V	$-7\text{ V} \leq V_{CM} \leq +12\text{ V}$
Input Voltage Hysteresis, $\Delta V_{TH}$		70		mV	$V_{CM} = 0\text{ V}$
Input Resistance	12			k $\Omega$	$-7\text{ V} \leq V_{CM} \leq +12\text{ V}$
Input Current (A, B)			1	mA	$V_{IN} = 12\text{ V}$
			-0.8	mA	$V_{IN} = -7\text{ V}$
CMOS Input Logic Threshold Low, $V_{INL}$			0.8	V	
CMOS Input Logic Threshold High, $V_{INH}$	2.0			V	
Logic Enable Input Current ( $\overline{\text{RE}}$ )			$\pm 1$	$\mu\text{A}$	
CMOS Output Voltage Low, $V_{OL}$			0.4	V	$I_{OUT} = 4.0\text{ mA}$
CMOS Output Voltage High, $V_{OH}$	4.0			V	$I_{OUT} = -4.0\text{ mA}$
Short-Circuit Output Current	7		85	mA	$V_{OUT} = \text{GND or } V_{CC}$
Three-State Output Leakage Current			$\pm 1.0$	$\mu\text{A}$	$0.4\text{ V} \leq V_{OUT} \leq 2.4\text{ V}$
<b>POWER SUPPLY CURRENT</b>					
$I_{CC}$ , Outputs Enabled		1.0	2.2	mA	Digital inputs = GND or $V_{CC}$
$I_{CC}$ , Outputs Disabled		0.6	1	mA	Digital inputs = GND or $V_{CC}$

## タイミング仕様

特に指定がない限り、 $V_{CC} = 5\text{ V} \pm 5\%$ 、すべての仕様は  $T_{MIN} \sim T_{MAX}$  で規定。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>DRIVER</b>					
Propagation Delay Input to Output, $t_{PLH}$ , $t_{PHL}$	2	10	15	ns	$R_{LDIFF} = 54\ \Omega$ , $C_{L1} = C_{L2} = 100\text{ pF}$ , see Figure 22
Driver Output to OUTPUT, $t_{SKEW}$		1	5	ns	$R_{LDIFF} = 54\ \Omega$ , $C_{L1} = C_{L2} = 100\text{ pF}$ , see Figure 22
Driver Rise/Fall Time, $t_R$ , $t_F$		8	15	ns	$R_{LDIFF} = 54\ \Omega$ , $C_{L1} = C_{L2} = 100\text{ pF}$ , see Figure 22
Driver Enable to Output Valid		10	25	ns	$R_L = 110\ \Omega$ , $C_L = 50\text{ pF}$ , see Figure 23
Driver Disable Timing		10	25	ns	$R_L = 110\ \Omega$ , $C_L = 50\text{ pF}$ , see Figure 23
Matched Enable Switching $ t_{ZH} - t_{ZL} $		0	2	ns	$R_L = 110\ \Omega$ , $C_L = 50\text{ pF}$ , see Figure 23 <sup>1</sup>
Matched Disable Switching $ t_{HZ} - t_{LZ} $		0	2	ns	$R_L = 110\ \Omega$ , $C_L = 50\text{ pF}$ , see Figure 23 <sup>1</sup>
<b>RECEIVER</b>					
Propagation Delay Input to Output, $t_{PLH}$ , $t_{PHL}$	8	15	30	ns	$C_L = 15\text{ pF}$ , see Figure 24
Skew $ t_{PLH} - t_{PHL} $			5	ns	$C_L = 15\text{ pF}$ , see Figure 24
Receiver Enable, $t_{ZH}$ , $t_{ZL}$		5	20	ns	$C_L = 15\text{ pF}$ , $R_L = 1\text{ k}\Omega$ , see Figure 25
Receiver Disable, $t_{HZ}$ , $t_{LZ}$		5	20	ns	$C_L = 15\text{ pF}$ , $R_L = 1\text{ k}\Omega$ , see Figure 25
Tx Pulse Width Distortion		1		ns	
Rx Pulse Width Distortion		1		ns	

<sup>1</sup> キャラクタライゼーションにより保証。

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
$V_{CC}$	-0.3 V to +7 V
Inputs	
Driver Input (DI)	-0.3 V to $V_{CC} + 0.3$ V
Control Inputs (DE, RE)	-0.3 V to $V_{CC} + 0.3$ V
Receiver Inputs (A, B)	-9 V to +14 V
Outputs	
Driver Outputs (A, B)	-9 V to +14 V
Receiver Output	-0.5 V to $V_{CC} + 0.5$ V
Power Dissipation 8-Lead MSOP	900 mW
$\theta_{JA}$ , Thermal Impedance	206°C/W
Power Dissipation 8-Lead PDIP	500 mW
$\theta_{JA}$ , Thermal Impedance	130°C/W
Power Dissipation 8-Lead SOIC	450 mW
$\theta_{JA}$ , Thermal Impedance	170°C/W
Operating Temperature Range	
Commercial Range (J Version)	0°C to 70°C
Industrial Range (A Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 4.送信

Inputs		Outputs	
DE	DI	B	A
1	1	0	1
1	0	1	0
0	X <sup>1</sup>	Z <sup>2</sup>	Z <sup>2</sup>

<sup>1</sup> X = don't care

<sup>2</sup> Z = ハイ・インピーダンス。

表 5.受信

RE	Input A – Input B	Output RO
0	$\geq +0.2$ V	1
0	$\leq -0.2$ V	0
0	Inputs open	1
1	X <sup>1</sup>	Z <sup>2</sup>

<sup>1</sup> X = don't care

<sup>2</sup> Z = ハイ・インピーダンス。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

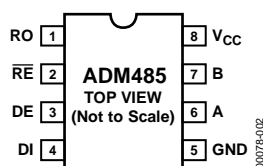


図 2. ピン配置

表 6. ピン機能の説明

ピン番号	記号	機能
1	RO	レシーバ出力。イネーブルされると、 $(A-B) > 200 \text{ mV}$ の場合、RO = ハイ・レベルになります。 $(A-B) < 200 \text{ mV}$ の場合、RO = ロー・レベルになります。
2	$\overline{\text{RE}}$	レシーバ出力イネーブル。ロー・レベルにすると、レシーバ出力 RO がイネーブルされます。ハイ・レベルにすると、ハイ・インピーダンス状態になります。
3	DE	ドライバ出力イネーブル。ハイ・レベルにすると、ドライバ差動出力 A と B がイネーブルされます。ロー・レベルにすると、ハイ・インピーダンス状態になります。
4	DI	ドライバ入力。ドライバがイネーブルされた場合、DI にロー・レベルを入力すると、A はロー・レベルに、B はハイ・レベルに、それぞれなります。DI にハイ・レベルを入力すると、A はハイ・レベルに、B はロー・レベルに、それぞれなります。
5	GND	グラウンド接続、0 V。
6	A	非反転レシーバ入力 A/ドライバ出力 A。
7	B	反転レシーバ入力 B/ドライバ出力 B。
8	V <sub>CC</sub>	電源、5 V $\pm$ 5%。

代表的な性能特性

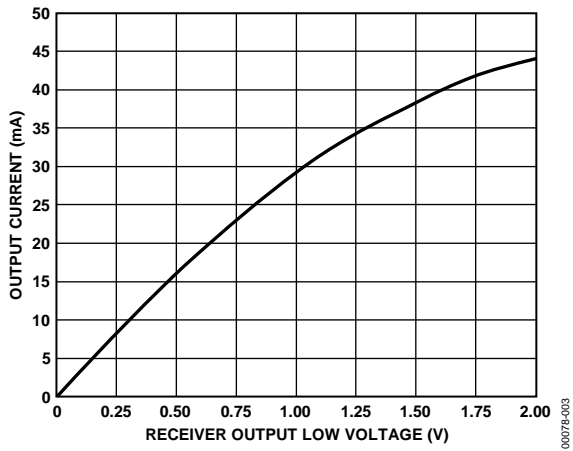


図 3. レシーバ出力ロー・レベル電圧対出力電流

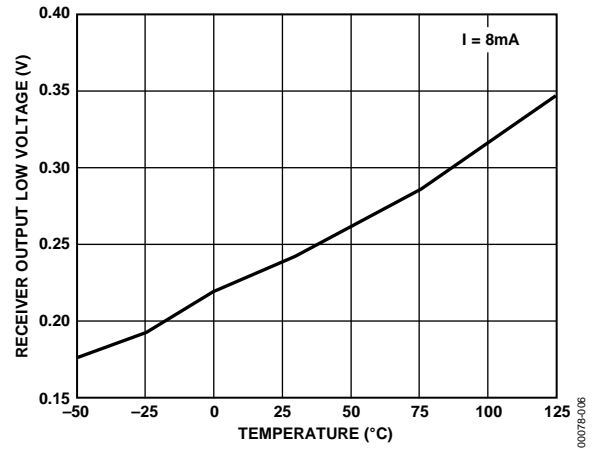


図 6. レシーバ出力ロー・レベル電圧の温度特性

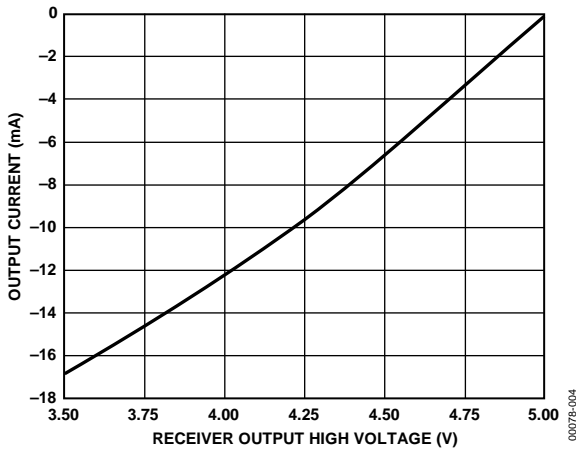


図 4. レシーバ出力ハイ・レベル電圧対出力電流

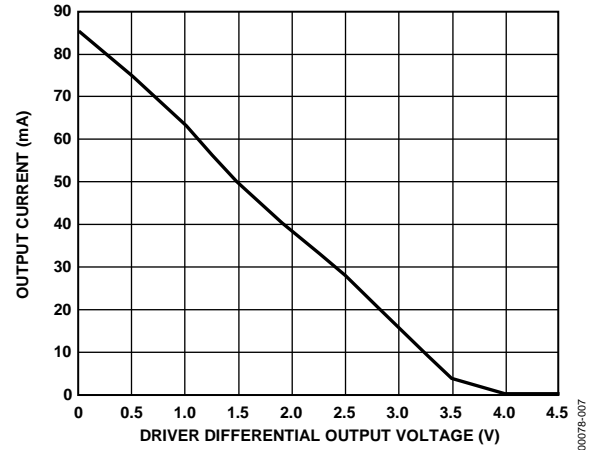


図 7. ドライバ差動出力電圧対出力電流

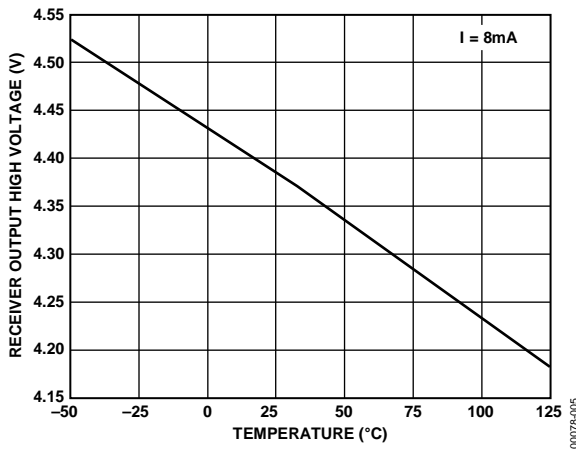


図 5. レシーバ出力ハイ・レベル電圧の温度特性

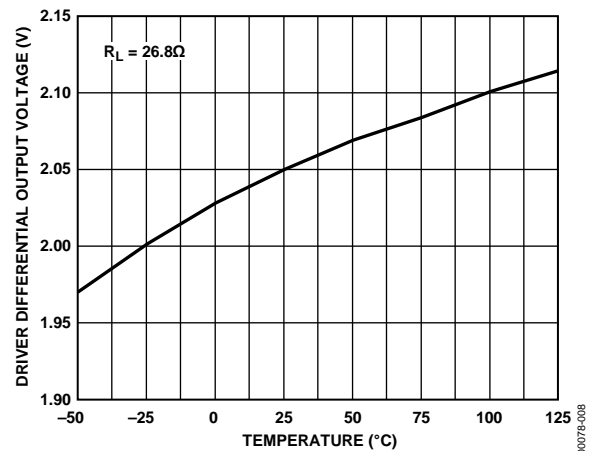


図 8. ドライバ差動出力電圧の温度特性

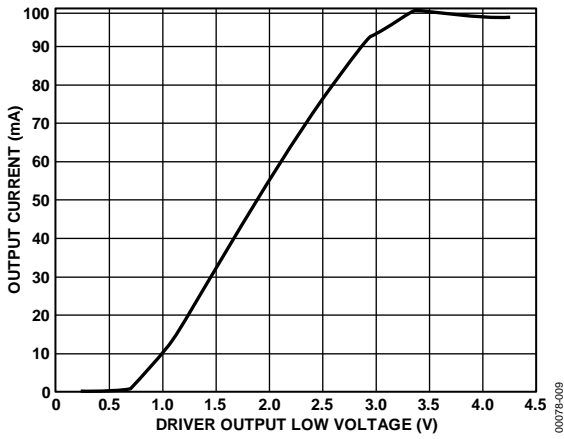


図 9. ドライバ出力ロー・レベル電圧対出力電流

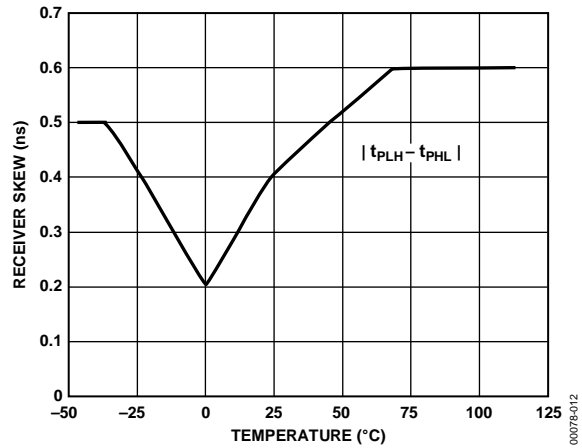


図 12. レシーバ・スキューの温度特性

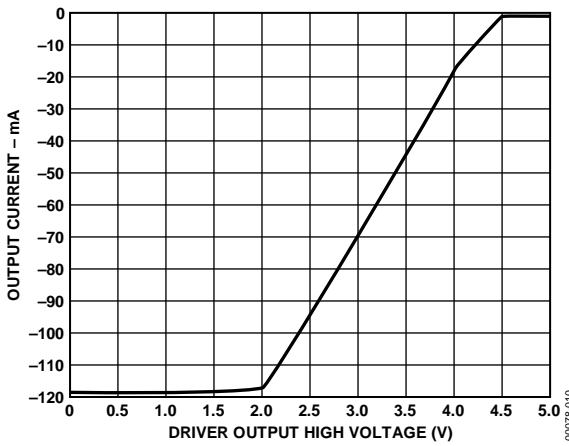


図 10. ドライバ出力高電圧対出力電流

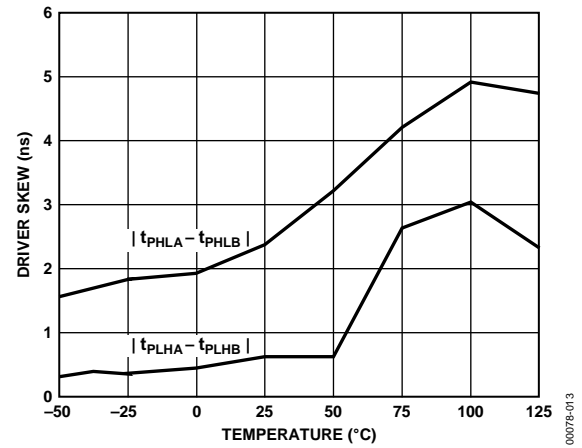


図 13. ドライバ・スキューの温度特性

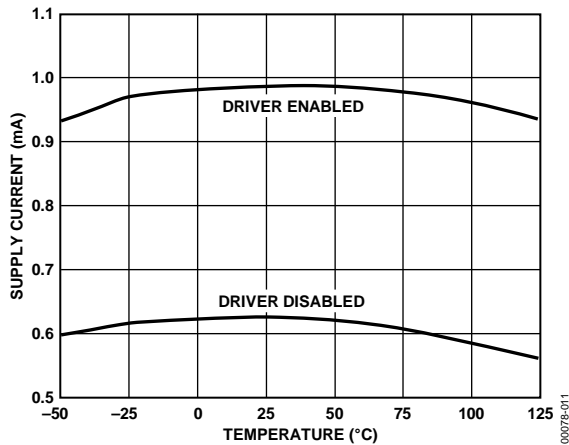


図 11. 電源電流の温度特性

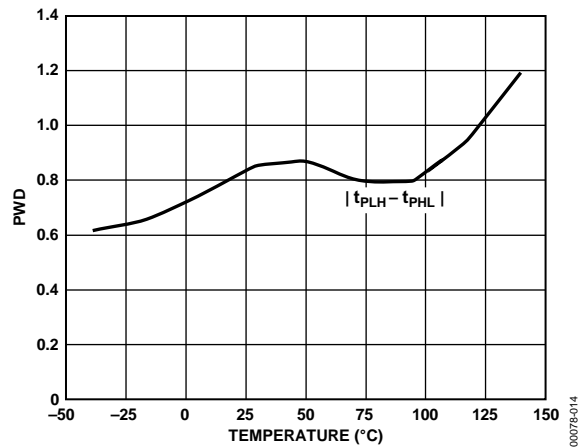


図 14. ドライバ・パルス幅歪み (PWD)の温度特性



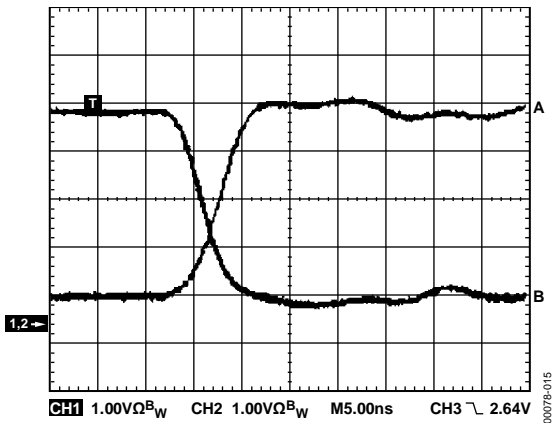


図 15. 無負荷時のドライバ差動出力

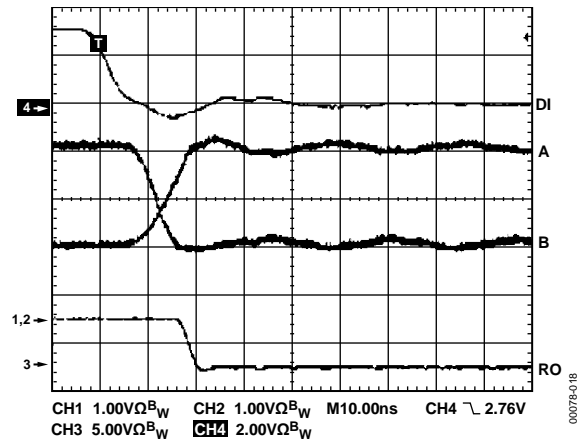


図 18. ドライバ/レシーバ伝搬遅延  
ハイ・レベルからロー・レベル

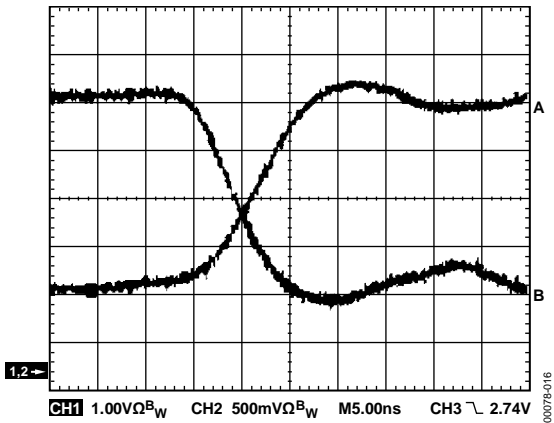


図 16. 負荷時のドライバ差動出力

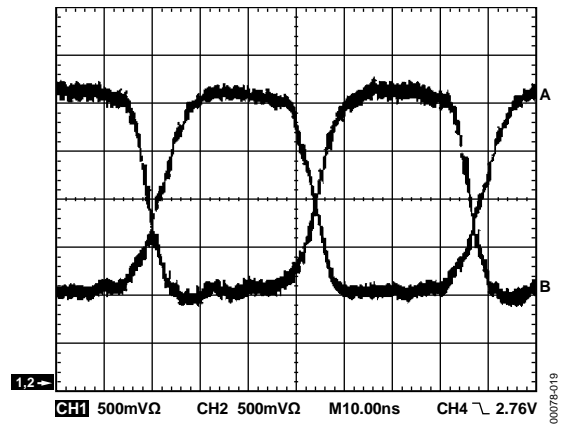


図 19. 30 Mbps でのドライバ出力

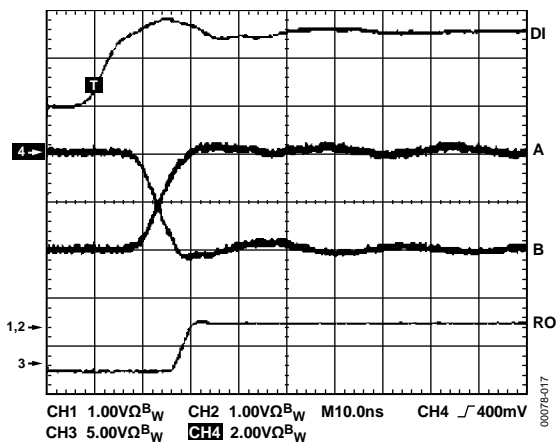


図 17. ドライバ/レシーバ伝搬遅延  
ロー・レベルからハイ・レベル

テスト回路

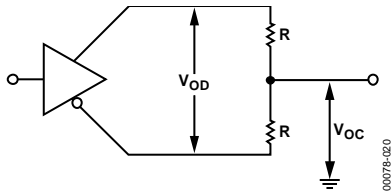


図 20. ドライバ電圧測定

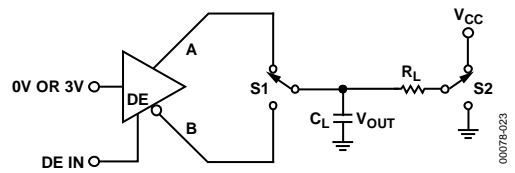


図 23. ドライバ・イネーブル/ディスエーブル

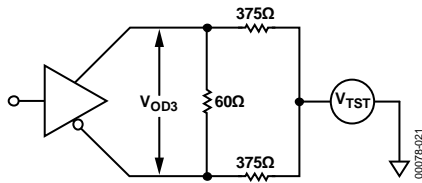


図 21. ドライバ電圧測定

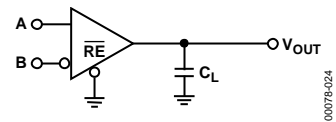


図 24. レシーバ伝搬遅延

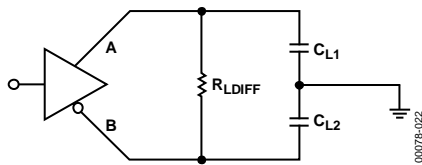


図 22. ドライバ伝搬遅延

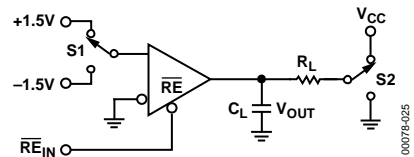


図 25. レシーバ・イネーブル/ディスエーブル

# スイッチング特性

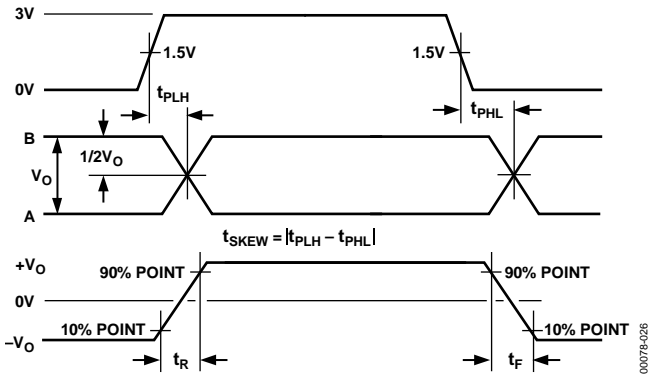


図 26. ドライバ伝搬遅延、立上がり/立下がりタイミング

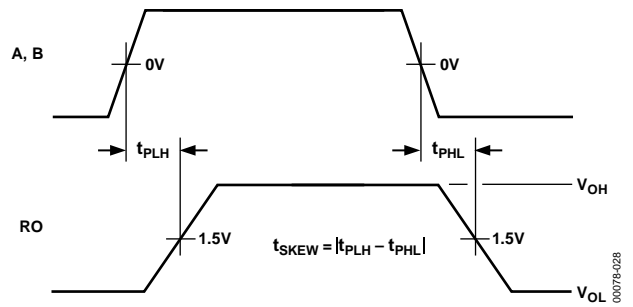


図 28. レシーバ伝搬遅延

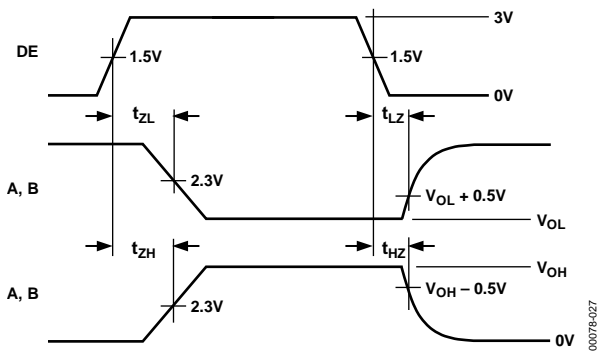


図 27. ドライバ・イネーブル/ディスエーブル・タイミング

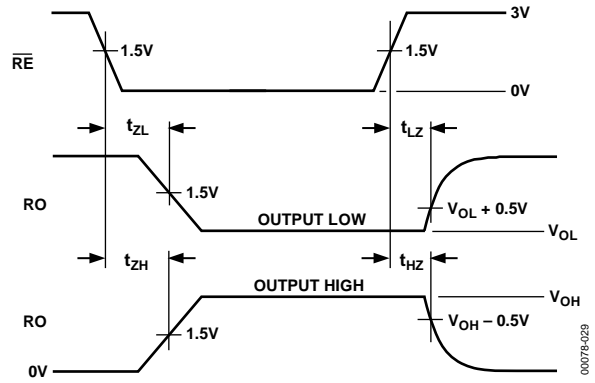


図 29. レシーバ・イネーブル/ディスエーブル・タイミング

## アプリケーション情報

### 差動データ伝送

差動データ伝送は、ノイズの多い環境で長距離を高いレートでデータを高信頼で伝送させる場合に使用されます。差動伝送では、グラウンド・シフトの影響と伝送線上で同相モード電圧として現れるノイズ信号が相殺されます。差動データ伝送で使用されるトランシーバの電気的特性を規定する主な EIA 規格は 2 つあります。

RS-422 規格は、最大 10 M ボーのデータレートと最大 4000 フィートのライン長を規定しています。1 個のドライバが、最大 10 個のレシーバを接続した伝送線を駆動することができます。

RS-485 規格は、真のマルチポイント通信に対応するために規定されました。この規格は RS-422 のすべての条件を満たすかそれ以上ですが、最大 32 個のドライバと 32 個のレシーバを 1 本のバスに接続できるようにしています。-7 V ~ +12 V の拡張同相モード範囲が規定されています。RS-422 規格と RS-485 規格との間の最も大きな違いは、ドライバをディスエーブルできることで、このために複数(実際 32)のドライバが 1 本の伝送線に接続できるようになることです。同時にイネーブルできるドライバは 1 個だけですが、RS-485 規格には伝送線上での衝突の場合にデバイスの安全性を保証する規定が追加されています。

表 7. RS-422 と RS-485 インターフェース規格の比較

Specification	RS-422	RS-485
Transmission Type	Differential	Differential
Maximum Cable Length	4000 ft.	4000 ft.
Minimum Driver Output Voltage	±2 V	±1.5 V
Driver Load Impedance	100 Ω	54 Ω
Receiver Input Resistance	4 kΩ min	12 kΩ min
Receiver Input Sensitivity	±200 mV	±200 mV
Receiver Input Voltage Range	-7 V to +7 V	-7 V to +12 V
No. of Drivers/Receivers per Line	1/10	32/32

### ケーブルとデータレート

RS-485 通信で使用される伝送線はツイストペア線です。ツイストペア・ケーブルは同相モード・ノイズを相殺させる性質を持ち、各ワイヤーを流れる電流から発生する磁界を相殺させるため、ペアの実効インダクタンスが小さくなります。

ADM485 は、マルチポイント伝送線を使った双方向データ通信向けにデザインされています。マルチポイント伝送回路の代表的なアプリケーションを図 30 に示します。RS-485 伝送線上には、最大 32 個のトランシーバを接続することができます。特定の時間に送信できるドライバは 1 個だけですが、複数のレシーバを同時にイネーブルすることができます。

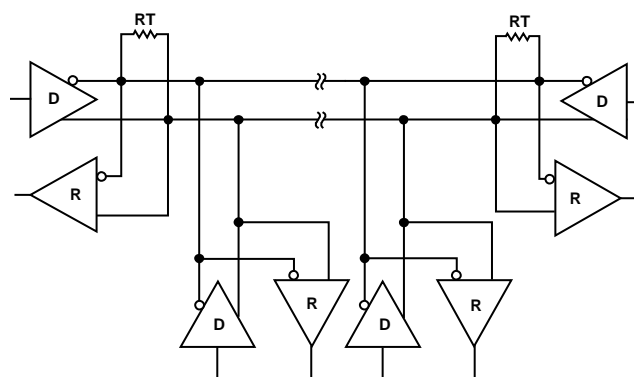


図 30. 代表的な RS-485 回路

どの伝送線でも、反射を小さくすることが重要です。これは、ラインの特性インピーダンスに等しい抵抗を使ってラインの両端を終端することにより実現されます。本線から分岐する支線はできるだけ短くする必要があります。適切に終端された伝送線は、ドライバから純抵抗に見えます。

### サーマル・シャットダウン

ADM485 はサーマル・シャットダウン回路を内蔵しており、故障時に消費電力が大きくなり過ぎないように保護しています。ドライバ出力を低インピーダンス電源に短絡させると、大きなドライバ電流が流れます。温度検出回路がチップ温度上昇を検出して、ドライバ出力をディスエーブルします。この温度検出回路は、チップ温度が 150°C に到達したとき、ドライバ出力をディスエーブルするようにデザインされています。デバイスが冷えて温度 140°C になると、ドライバは再イネーブルされます。

### 伝搬遅延

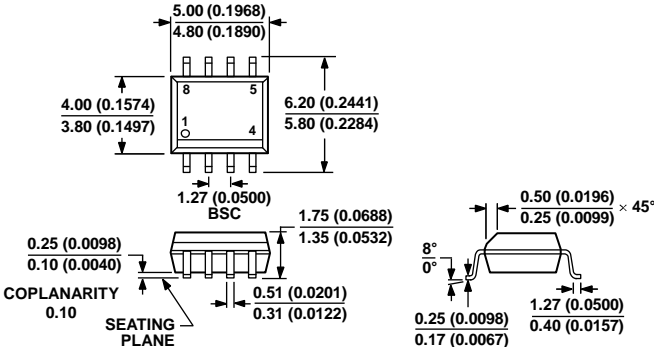
ADM485 は非常に小さい伝搬遅延を持つため、最大ボー・レートの動作を保証します。ドライバのバランスが優れているため、歪みのない伝送を保証します。

もう 1 つの重要な規定は、相補出力間のスキュー対策です。スキューが大きいと、システムのノイズ耐性が損なわれるため、電磁干渉 (EMI) が大きくなります。

### レシーバの断線とフェルセーフ

レシーバ入力にはフェイルセーフ機能が内蔵されていて、入力がフローティングまたは断線したときに、レシーバのロジック・ハイ・レベルを保証しています。

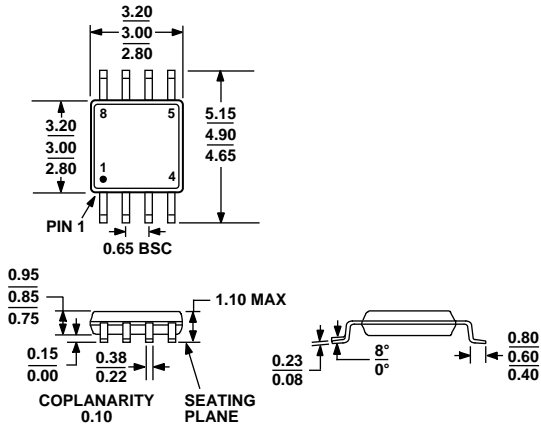
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

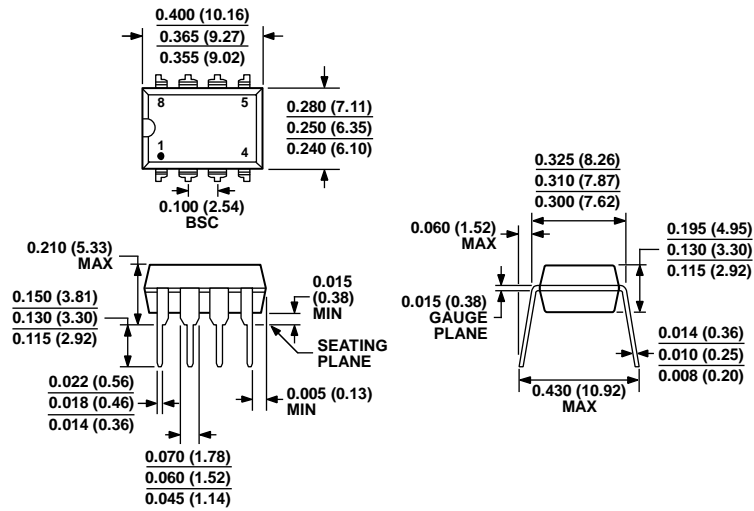
012407-A

図 31.8 ピン標準スモール・アウトライン・パッケージ[SOIC\_N]  
 ナロー・ボディ(R-8)  
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 32.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]  
 (RM-8)  
 寸法: mm



COMPLIANT TO JEDEC STANDARDS MS-001  
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS  
 (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR  
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.  
 CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

070606-A

図 33.8 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]  
 ナロー・ボディ(N-8)  
 寸法:インチ(mm)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADM485AN	-40°C to +85°C	8-Lead PDIP	N-8	
ADM485ANZ <sup>1</sup>	-40°C to +85°C	8-Lead PDIP	N-8	
ADM485AR	-40°C to +85°C	8-Lead SOIC_N	R-8	
ADM485AR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8	
ADM485ARZ <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8	
ADM485ARZ-REEL <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8	
ADM485ARM	-40°C to +85°C	8-Lead MSOP	RM-8	M41
ADM485ARM-REEL	-40°C to +85°C	8-Lead MSOP	RM-8	M41
ADM485ARM-REEL7	-40°C to +85°C	8-Lead MSOP	RM-8	M41
ADM485ARMZ <sup>1</sup>	-40°C to +85°C	8-Lead MSOP	RM-8	M41#
ADM485ARMZ-REEL <sup>1</sup>	-40°C to +85°C	8-Lead MSOP	RM-8	M41#
ADM485ARMZ-REEL7 <sup>1</sup>	-40°C to +85°C	8-Lead MSOP	RM-8	M41#
ADM485JN	0°C to 70°C	8-Lead PDIP	N-8	
ADM485JNZ <sup>1</sup>	0°C to 70°C	8-Lead PDIP	N-8	
ADM485JR	0°C to 70°C	8-Lead SOIC_N	R-8	
ADM485JR-REEL	0°C to 70°C	8-Lead SOIC_N	R-8	
ADM485JR-REEL7	0°C to 70°C	8-Lead SOIC_N	R-8	
ADM485JRZ <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8	
ADM485JRZ-REEL <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8	
ADM485JRZ-REEL7 <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8	

<sup>1</sup> Z = RoHS 準拠品。#は RoHS 準拠品を表し、上部または下部に表示。