

特長

- GND~V_{CC}のシングルエンド入力範囲
- RMSノイズ: 0.02LSB
- INL: 2LSB、ミッシングコードなし
- オフセット誤差: 2LSB
- フルスケール誤差: 4LSB
- 多重化アプリケーションに対応する単一変換セトリング時間
- 自動シャットダウン付き1サイクル動作
- 消費電流: 300 μ A
- スリープ電流: 50nA
- 1秒あたりの変換回数: 30
- 内部発振器 — 外付け部品不要
- 2.7V~5.5V単一電源動作
- SPIインタフェース
- 超小型(2mm \times 2mm)DFNパッケージ

アプリケーション

- システム・モニタ
- 環境モニタ
- 直接温度測定
- 計測
- 産業用プロセス制御
- データ収集
- 組み込みADCのアップグレード

LT、LT、LTCおよびLTMはリニアテクノロジー社の登録商標です。
Easy Driveはリニアテクノロジー社の商標です。
他のすべての商標はそれぞれの所有者に所有権があります。

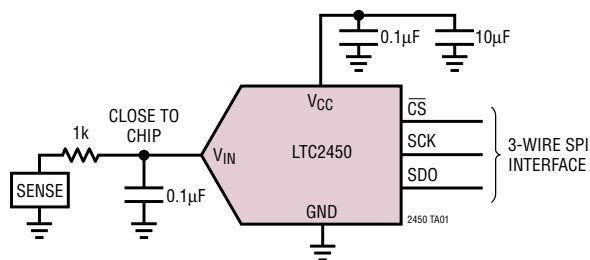
概要

LTC[®]2450は超小型の16ビットADコンバータです。LTC2450は2.7V~5.5V単一電源を使用し、シングルエンドのアナログ入力電圧を受け入れ、SPIインタフェースを介して通信します。このデバイスは外付け部品を必要としない発振器を内蔵しています。コンバータ・コアとしてデルタシグマ変調器を使用し、多重化アプリケーションに対応するシングル・サイクルのセトリング時間を実現します。このコンバータは、6ピン(2mm \times 2mm)DFNパッケージで供給されます。内部発振器は外付け部品を必要としません。LTC2450は、平均入力サンプリング電流を数桁低減する独自の入力サンプリング手法を採用しています。

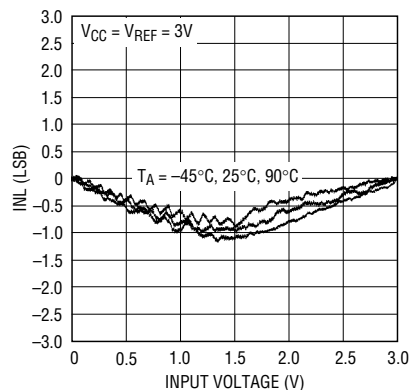
LTC2450は1秒当たり30回の変換が可能で、この非常に大きなオーバーサンプリング率により、アンチエイリアシングの要件が大幅に緩和されます。LTC2450には、ユーザーからは見えない連続内部オフセット・アルゴリズムとフルスケールの較正アルゴリズムが採用されているので、時間の経過および動作温度範囲において高精度が保証されます。コンバータは電源電圧をリファレンス電圧として使用しているため、シングルエンドのレール・トゥ・レール入力電圧範囲はGNDからV_{CC}までです。

変換後、LTC2450は自動的にスリープモードになり、消費電流が200nA以下に減少します。ADCで毎秒1回のサンプリングを行う場合、LTC2450が2.7Vの電源から消費するのは平均50 μ W以下です。

標準的応用例



積分非直線性 (V_{CC} = 3V)



2450 G02

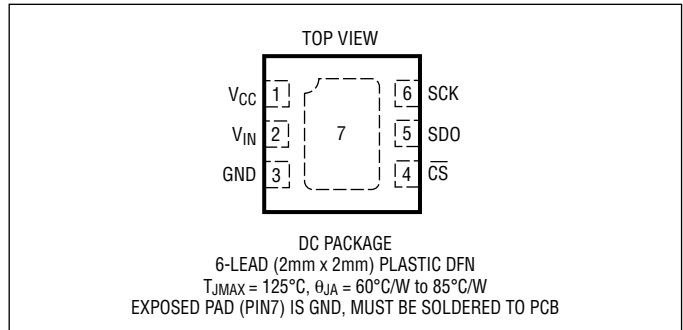
2450f

絶対最大定格

(Note 1, 2)

電源電圧 (V_{CC})	-0.3V~6V
アナログ入力電圧 (V_{IN})	-0.3V~($V_{CC} + 0.3V$)
デジタル入力電圧	-0.3V~($V_{CC} + 0.3V$)
デジタル出力電圧	-0.3V~($V_{CC} + 0.3V$)
動作温度範囲	
LTC2450C	0°C~70°C
LTC2450I	-40°C~85°C
保存温度範囲	-65°C~150°C
リード温度 (半田付け、10秒)	300°C

ピン構成



発注情報

鉛フリー仕上げ	テープアンドリール	デバイス・マーキング	パッケージ寸法	温度範囲
LTC2450CDC#TRMPBF LTC2450IDC#TRMPBF	LTC2450CDC#TRPBF LTC2450IDC#TRPBF	LCTR LCTR	6-Lead (2mm x 2mm) Plastic DFN 6-Lead (2mm x 2mm) Plastic DFN	0°C to 70°C -40°C to 85°C

より広い動作温度範囲で規定されるデバイスについては、弊社へお問い合わせください。
鉛ベースの非標準仕上げの製品の詳細については、弊社へお問い合わせください。
鉛フリー製品のマーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。
テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。(Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution (No missing codes)	(Note 3)	● 16			Bits
Integral Nonlinearity	(Note 4)	●	2	10	LSB
Offset Error		●	2	8	LSB
Offset Error Drift			0.02		LSB/ $^{\circ}C$
Gain Error		●	0.01	0.02	% of FS
Gain Error Drift			0.02		LSB/ $^{\circ}C$
Transition Noise			1.4		μV_{RMS}
Power Supply Rejection DC	100Hz-100kHz		80		dB

アナログ入力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^{\circ}C$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IN}	Input Voltage Range		● 0		V_{CC}	
C_{IN}	IN Sampling Capacitance			0.35		pF
$I_{DC_LEAK}(V_{IN})$	IN DC Leakage Current	$V_{IN} = GND$ (Note 5) $V_{IN} = V_{CC}$ (Note 5)	● -10 ● -10	1 1	10 10	nA nA
I_{CONV}	Input Sampling Current (Note 9)			50		nA

電源条件

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		2.7		5.5	V
I_{CC}	Supply Current Conversion Sleep	$\overline{CS} = \text{GND}$ (Note 6) $CS = V_{CC}$ (Note 6)		350 0.05	600 0.5	μA μA

デジタル入力とデジタル出力

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。(Note 2)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage		$V_{CC} - 0.3$			V
V_{IL}	Low Level Input Voltage				0.3	V
I_{IN}	Digital Input Current		-10		10	μA
C_{IN}	Digital Input Capacitance			10		pF
V_{OH}	High Level Output Voltage	$I_O = -800\mu\text{A}$	$V_{CC} - 0.5$			V
V_{OL}	Low Level Output Voltage	$I_O = -1.6\text{mA}$			0.4	V
I_{OZ}	Hi-Z Output Leakage Current		-10		10	μA

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A=25^\circ\text{C}$ での値。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
t_{CONV}	Conversion Time		29	33.3	42	ms
f_{SCK}	SCK Frequency Range				2	MHz
t_{lSCK}	SCK Low Period		250			ns
t_{hSCK}	SCK High Period		250			ns
t_1	\overline{CS} Falling Edge to SDO Low Z	(Notes 7, 8)	0		100	ns
t_2	\overline{CS} Rising Edge to SDO High Z	(Notes 7, 8)	0		100	ns
t_3	\overline{CS} Falling Edge to SCK Falling Edge		100			ns
t_{KQ}	SCK Falling Edge to SDO Valid	(Note 7)	0		100	ns

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える可能性がある。

Note 2: すべての電圧値はGNDを基準にしている。注記がない限り、 $V_{CC} = 2.7\text{V} \sim 5.5\text{V}$ 。

Note 3: 設計によって保証されているが、テストされない。

Note 4: 積分非直線性は、実際の伝達曲線のエンドポイントを通る直線からのコードの偏差として定義されている。偏差は量子化幅の中心から測定される。設計、テストの相関および伝達曲線の3点測定によって保証されている。

Note 5: $\overline{CS} = V_{CC}$ 。正電流はDUTピンへ流れ込む。

Note 6: SCK = V_{CC} またはGND。SDOは高インピーダンスである。

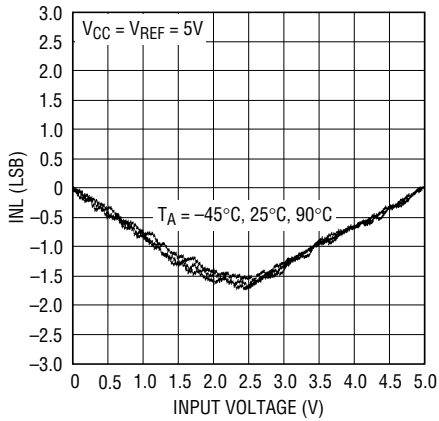
Note 7: 図3を参照。

Note 8: 図4を参照。

Note 9: 入力サンプリング電流は、LTC2450がアクティブに入力をサンプリングしているとき入力サンプリング・ネットワークから流れる平均入力電流である。

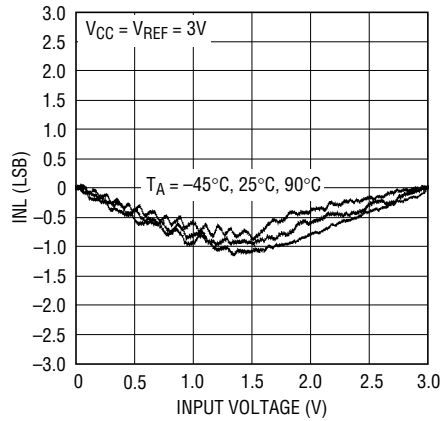
標準的性能特性

積分非直線性 ($V_{CC} = 5V$)



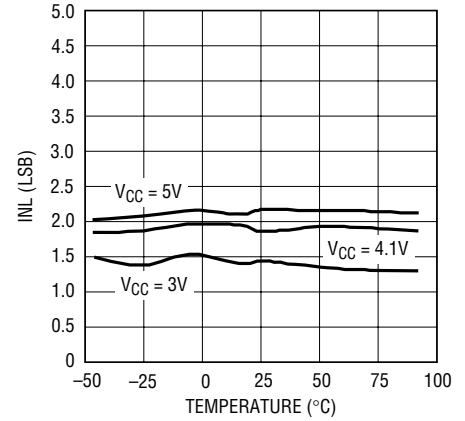
2450 G01

積分非直線性 ($V_{CC} = 3V$)



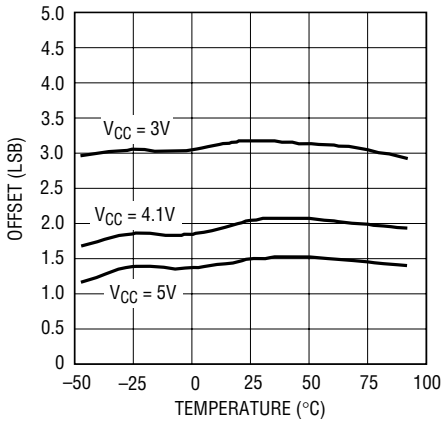
2450 G02

最大INLと温度



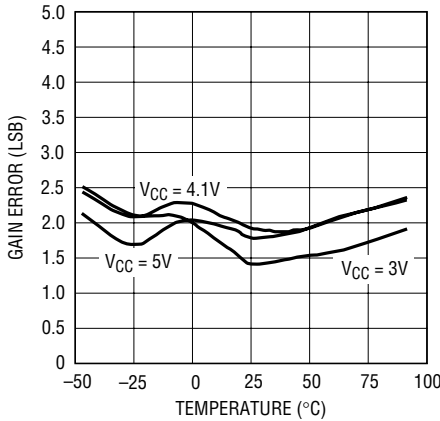
2450 G03

オフセット誤差と温度



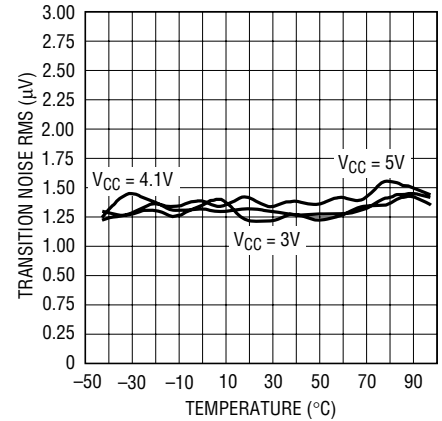
2450 G04

利得誤差と温度



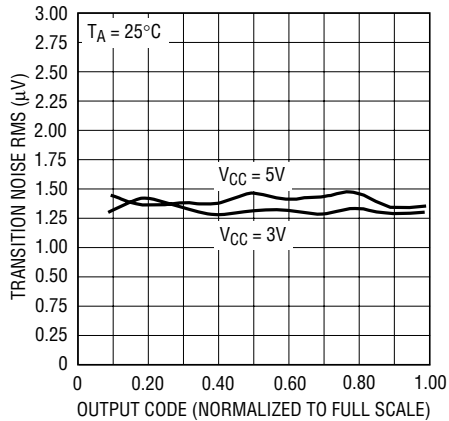
2450 G05

遷移ノイズと温度



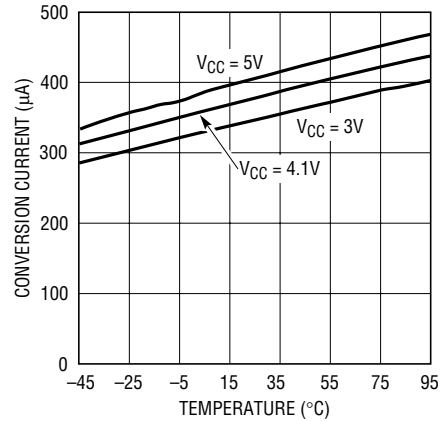
2450 G06

遷移ノイズと出力コード



2450 G07

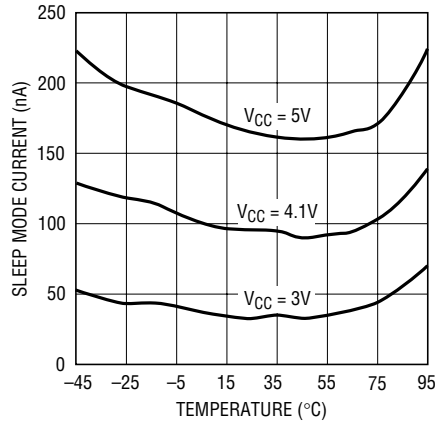
変換モード電源電流と温度



2450 G08

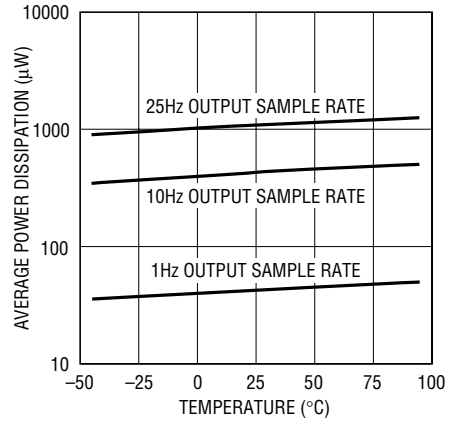
標準的性能特性

スリープ・モード電源電流と温度



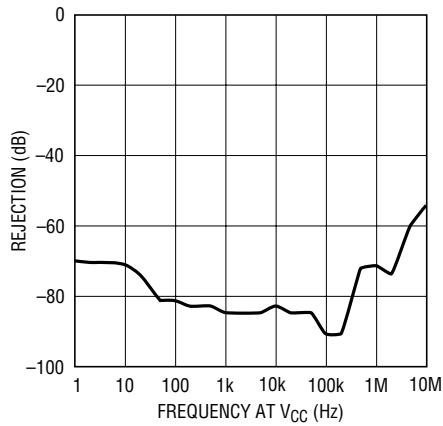
2450 G09

平均消費電力と温度 (V_{CC} = 3V)



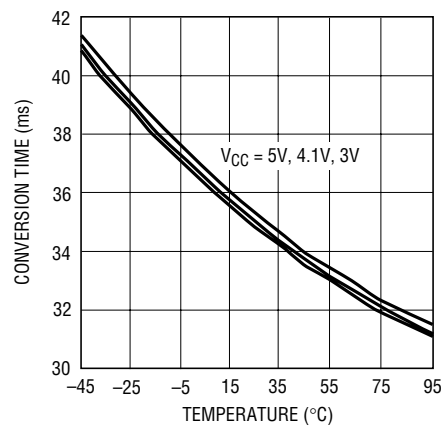
2450 G12

V_{CC}での電源除去比と周波数



2450 G10

変換周期と温度



2450 G11

ピン機能

V_{CC} (ピン1): 正電源電圧およびコンバータのリファレンス電圧。デバイスのできるだけ近くに配置した10 μ Fコンデンサと低直列インダクタンスの0.1 μ Fコンデンサを並列に使って、GND(ピン3)にバイパスします。

V_{IN} (ピン2): アナログ入力電圧。

GND (ピン3): グランド。低インピーダンス接続を使ってグラウンド・プレーンに接続します。

$\overline{\text{CS}}$ (ピン4): アクティブ“L”のチップ選択デジタル入力。このピンを“L”にするとSDOデジタル出力がイネーブルされます。このピンを“H”にするとSDO出力ピンが高インピーダンス状態になります。

SDO (ピン5): スリー・ステートのシリアル・データ出力。SDOはDATA OUTPUTステートの間シリアル・データ出力に使われ、変換状態のモニタに使うことができます。

SCK (ピン6): シリアル・クロック入力。SCKはシリアル・データ出力の同期をとります。デジタル・データが利用可能で(ADCがCONVERTステートではない)、 $\overline{\text{CS}}$ が“L”のとき(ADCがSLEEPステートではない)、SCKピンに与えられる各立下りエッジに続いて新しいデータ・ビットがSDO出力ピンに発生します。

露出パッド (ピン7): グランド。露出パッドはピン3と同じポイントに半田付けする必要があります。

機能ブロック図

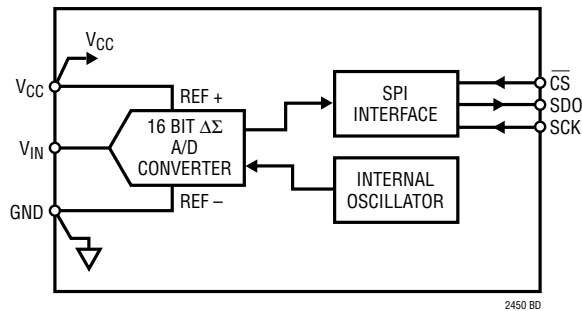


図1. 機能ブロック図

アプリケーション情報

コンバータの動作

コンバータの動作サイクル

LTC2450はローパワーのデルタシグマA/Dコンバータで、シンプルな3線式インタフェースを備えています(図1を参照)。その動作は、CONVERT、SLEEPおよびDATA OUTPUTの連続する3つのステート(状態)で構成されています。動作サイクルはCONVERTステートから始まり、SLEEPステートがそれに続き、DATA OUTPUTステートで終了します(図2を参照)。3線式インタフェースは、シリアル・データ出力(SDO)、シリアル・クロック入力(SCK)およびアクティブ“L”のチップ・セレクト入力(\overline{CS})で構成されています。

CONVERTの継続時間はLTC2450の変換時間(公称33.3ミリ秒)で決まります。この動作は一旦開始されると、内部パワーオン・リセット信号を発生する低電源状態($V_{CC} < 2.1V$)による以外、中止することはできません。

変換完了後、LTC2450はSLEEPステートに入り、チップセレクト入力とクロック入力の両方が“L”になるまで($\overline{CS} = SCK = “L”$)、この状態に留まります。この状態に続いて、ADCはDATA OUTPUTステートに移行します。

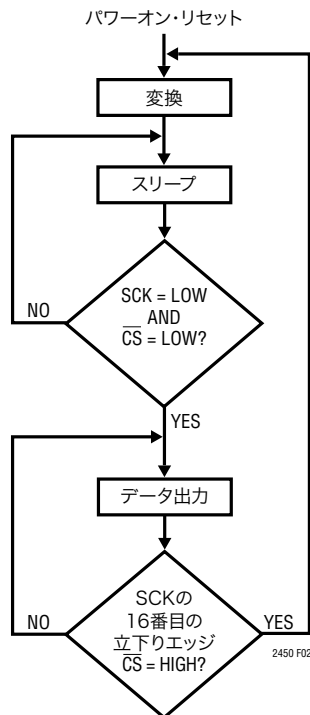


図2. LTC2450の状態遷移図

SLEEPステートの間、チップセレクト入力が“H”に引き上げられると($\overline{CS} = “H”$)、LTC2450の電源電流は200nA未満に減少します。チップセレクト入力が“L”に引き下げられ($\overline{CS} = “L”$)、SCKが“H”ロジック・レベルに維持されると、LTC2450は通常の電力消費レベルに戻ります。SLEEPステートの間、最後の変換結果はスタチック・レジスタに無期限に保持されます。

DATA OUTPUTステートに入ると、SDOは変換結果の最上位ビット(D15)を出力します。このステートの間、ADCはSCK入力ピンの制御の下に、SDO出力ピンを通して変換結果をシリアルにシフトして出力します。この結果を発生するのに待ち時間はなく、この結果は最後に完了した変換に対応しています。データの新しいビットは、SCK入力ピンで検出される各立下りエッジに続いてSDOピンに現れます。ユーザーは、このデータを、SCKピンをドライブしている外部シリアル・クロック信号の各立上りエッジで確実にラッチすることができます(図3を参照)。

DATA OUTPUTステートは2つの異なった方法のどちらかで終了します。最初の方法では、16データ・ビットが全てシフトされて出力され、クロックが“L”になると(これはSCKの16番目の立下りエッジに対応します)、DATA OUTPUTステート動作が完了します。2番目の方法では、DATA OUTPUTステートは、 \overline{CS} 入力の“L”から“H”への遷移により、いつでも中止することができます。これら2つのアクションのどちらかに続いて、LTC2450はCONVERTステートに入り、新しい変換サイクルを開始します。

パワーアップ・シーケンス

コンバータに加えられる電源電圧 V_{CC} が約2.1Vより低いとき、ADCはパワーオン・リセットを行います。この機能により、変換結果が損なわれないことが保証されます。

V_{CC} がこの臨界スレッシュホールドを超えて上昇すると、コンバータは約0.5msの内部パワーオン・リセット(POR)信号を発生します。このPOR信号により、すべての内部レジスタがクリアされます。POR信号に続き、LTC2450は変換サイクルを開始し、図2に示されている状態が継起します。PORに続く最初の変換結果の精度は、PORの時間間隔が経過する前に電源電圧 V_{CC} が動作範囲(2.7V~5.5V)内に回復していれば、デバイスの仕様を満たします。

アプリケーション情報

使いやすさ

LTC2450のデータ出力には、待ち時間、フィルタのセトリング遅延、または変換サイクルに関連した冗長な結果はありません。変換と出力データの間には1対1対応の関係があります。したがって、複数のアナログ入力電圧の多重化に特別な操作は不要です。

LTC2450は変換ごとにオフセットとフルスケールの較正をおこないます。この較正はユーザーからは見えず、前述のサイクル動作には影響を与えません。連続較正の利点は、時間経過と温度に対してADCの性能が極めて安定していることです。

LTC2450は、従来のデルタシグマ・アーキテクチャに比べて、平均入力電流を数桁低減する独自の入力サンプリング方式を採用しています。これにより、外部フィルタ・ネットワークを直接LTC2450にインタフェースすることができます。平均入力サンプリング電流が50nAなので、1k Ω と0.1 μ Fを使った外部RCローパス・フィルタによる誤差は<1LSBになります。

リファレンス電圧範囲

コンバータは電源電圧(V_{CC})を正リファレンス電圧として使います(図1を参照)。このため、リファレンス範囲は電源範囲と同じで、2.7V~5.5Vです。LTC2450は内部ノイズ・レベルが非常に低いので、出力のピーク・トゥ・ピーク・ノイズはこの範囲内の任意のリファレンス電圧で1LSBより十分小さいままです。こうして、コンバータ

の分解能はリファレンス電圧には無関係に1LSBに保たれます。INL、オフセットおよびフルスケール誤差は、「標準的性能特性」のグラフに示されているように、リファレンス電圧にともなって変化します。これらの誤差項はリファレンス電圧の増加にともなって(μ Vの増加に対するLSBサイズとして)減少します。

入力電圧範囲

ADCは真のレール・トゥ・レール入力信号をデジタル化することができます。オフセット誤差とフルスケール誤差を無視すれば、コンバータは理論的には入力がグラウンド電位(ゼロスケール入力)のとき「オールゼロ」のデジタルの結果を出力し、入力が V_{CC} (フルスケール入力)のとき「オール1」のデジタルの結果を出力します。

コンバータのオフセット誤差と利得誤差の仕様は、この電圧範囲で65536の可能なコード全てが生成されることを保証しています。アンダーレンジ状態(出力コード0に対応する電圧より下の全ての入力電圧)では、コンバータは出力コード0を発生します。オーバーレンジ状態(出力コード65535に対応する電圧を超える全ての入力電圧)では、コンバータは出力コード65535を発生します。

出力データのフォーマット

LTC2450は16ビットの直接バイナリでエンコードされた結果を発生します。それは、SCK入力ピンの制御のもとに、SDO出力ピンを通して、MSBを最初に16ビットのシリアル・ストリームとして与えられます(図3を参照)。

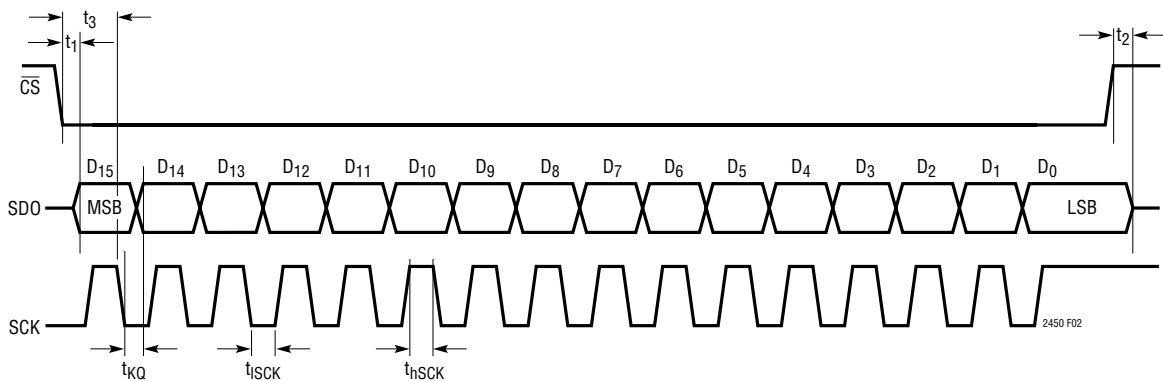


図3. 出力データのタイミング

アプリケーション情報

データ出力動作の間、 \overline{CS} 入力ピンを“L”に引き下げる必要があります($\overline{CS} = \text{“L”}$)。データの出力過程は、 \overline{CS} が“L”になり、結果の最上位ビットがSDO出力に存在すると開始されます。新しいデータ・ビットは、SCK入力ピンで検出される各立下りエッジに続いて、SDO出力ピンに現れます。ユーザーはSCKの立上りエッジを使って出力データをラッチすることができます。

変換状態のモニタ

アプリケーションによっては、ユーザーがLTC2450の変換状態をモニタしたいことがあります。これは変換サイクルの間SCKを“H”に保つことによって実現することができます。この状態では、いつでも \overline{CS} ピンを“L”に引き下げると($\overline{CS} = \text{“L”}$)、SDO出力ピンから変換状態が示されます。SDO = “H”は変換サイクルが進行中であることを示し、SDO = “L”は変換サイクルが完了していることを示します。このようなシーケンスの一例を図4に示します。

変換状態のモニタは可能ですが、LTC2450の変換時間は固定されており、約33.3ms(最大42ms)に等しいので、モニタは必要ではありません。したがって、外部タイミングを使って変換サイクルの完了を決定することができます。

シリアル・インタフェース

LTC2450は、3線同期式インタフェースを介して、変換結果を伝送し、変換開始コマンドを受け取ります。このインタフェースを使って、CONVERTステートとSLEEPステートの間はコンバータの状態にアクセスすることができ、DATA OUTPUTステートの間は変換結果を読み出したり、新しい変換をトリガすることができます。

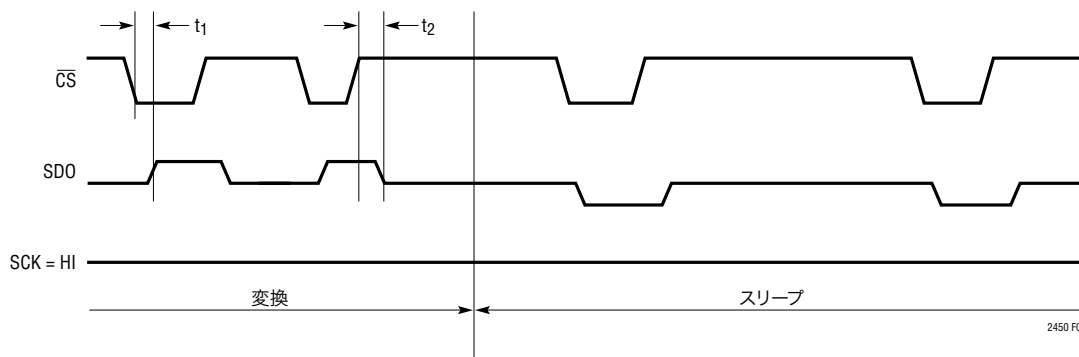


図4. 変換状態モニタ・モード

シリアル・インタフェースの動作モード

一般的なインタフェース動作の例をいくつか以下に示します。3つのデジタル・インタフェース・ピンの上述の機能に基づいて、制御およびシリアル・データ出力動作のさらに多くの有効なシーケンスを構成することができます。

動作モードは以下のようにまとめることができます。

- 1) LTC2450はSCKを“H”にアイドルリングさせるか(普通CPOL = 1として知られています)、または“L”にアイドルリングさせた状態で(普通CPOL = 0として知られています)機能します。
- 2) 16番目のビットが読み出された後、ユーザーは2つの方法のどちらかを選択して新しい変換を開始することができます。第一に、 \overline{CS} を“H”に引き上げることができます($\overline{CS} = \uparrow$)。第二に、SCKの“H”から“L”への遷移を使うことができます(SCK = \downarrow)。
- 3) 同様に、データ出力ステートの間いつでも \overline{CS} を“H”に引き上げると($\overline{CS} = \uparrow$)デバイスがI/Oステートから出て、出力を中断し、新しい変換を開始します。
- 4) SCK = “H”のとき、 \overline{CS} を“L”に引き下げてSDOが“L”になるのを見張ることにより、変換状態をモニタすることができます。この機能はアイドル・ハイ(CPOL = 1)モードでだけ利用できます。

アプリケーション情報

シリアル・クロック“H”(CPOL = 1)の例

図5では、LTC2450は各変換サイクル後に自動的に低消費電力のスリープ・モードになります。ユーザーは \overline{CS} とSDOを使って都合の良い間隔で変換状態をモニタすることができます。

デバイスがCONVERTステートであるかどうかをテストするには \overline{CS} を“L”に引き下げます。CONVERTステートでは、 \overline{CS} が“L”の間SDOは“H”です。SLEEPステートでは、 \overline{CS} が“L”の間SDOは“L”です。これらのテストは必要な動作ステップではありませんが、アプリケーションによっては便利なことがあります。

データが利用可能になると、ユーザーは16クロック・サイクルを与えて結果を転送します。それから \overline{CS} の立上りエッジを使って新しい変換を開始します。

図6の動作例は、新しい変換サイクルがシリアル・クロッ

ク(SCK)の立下りエッジでトリガされること意外は、図5と同じです。新しい変換サイクルをトリガするには17番目のパルスを使います。

シリアル・クロック・アイドリング“L”(CPOL = 0)の例

図7では、LTC2450は各変換サイクル後に自動的に低消費電力のスリープ状態になります。ユーザーは外部タイミングに基づいてデータを利用できるかどうか(および変換の終了)を判断します。それからユーザーは \overline{CS} を“L”に引き下げ($\overline{CS} = \downarrow$)、16クロック・サイクルを使って結果を転送します。クロックの16番目の立上りエッジに続いて、 \overline{CS} を“H”に引き上げると($\overline{CS} = \uparrow$)新しい変換がトリガされます。

図8のタイミング図は、この場合SCKによって新しい変換がトリガされること意外は、図7と同じです。SCKの16番目の立下りエッジにより新しい変換サイクルがトリガされ、続いて \overline{CS} 信号が“H”に引き上げられます。

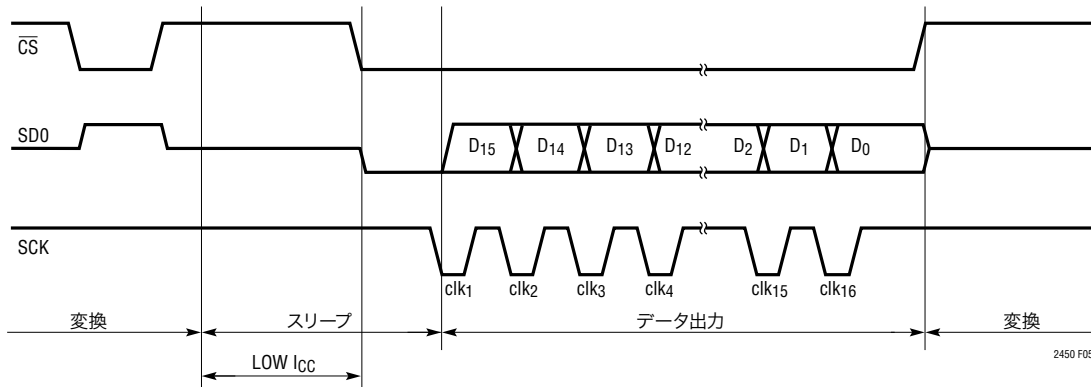


図5. アイドリング“H”(CPOL = 1)シリアル・クロック動作の例。
 \overline{CS} の立上りエッジにより変換が開始される

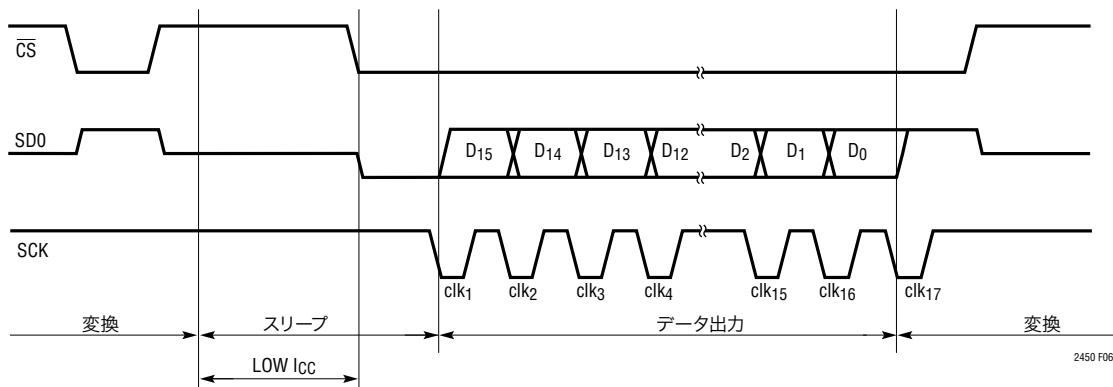


図6. アイドリング“H”(CPOL = 1)クロック動作の例。
新しい変換サイクルをトリガするには17番目のクロック・パルスを使う

2450f

アプリケーション情報

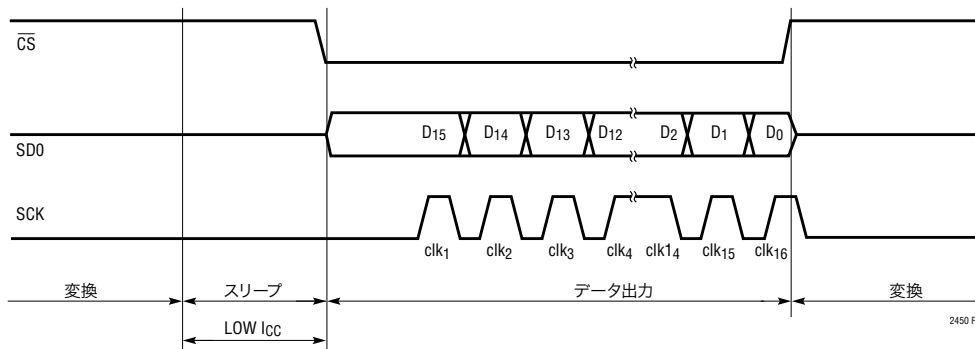


図7. アイドリング“L”(CPOL = 0)クロック。 \overline{CS} により新しい変換がトリガされる

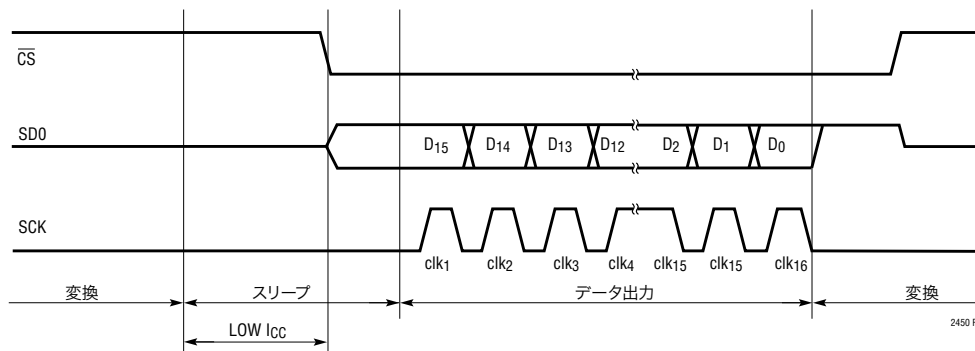


図8. アイドリング“L”(CPOL = 0)クロック。SCKの16番目の立下りエッジにより新しい変換がトリガされる

\overline{CS} を使った中止サイクルの例

アプリケーションによっては、ユーザーがI/Oサイクルを中止して新たに変換を開始したいと望むことがあります。LTC2450がデータ出力ステートにある場合、 \overline{CS} の立上りエッジにより、残りのデータ・ビットがメモリから消去され、出力サイクルが中止され、新しい変換がトリガされます。アイドリング“H”(CPOL = 1)の状態でのI/Oを中止する例を図9に示し、アイドリング“L”(CPOL = 0)の状態でのI/Oを中止する例を図10に示します。

図11に示されているように、シリアル・クロック・パルスを発生させる必要なしに、 \overline{CS} 信号を使って新しい変換サイクルをトリガすることができます。変換サイクル終了

後、SCKを“L”ロジック・レベルに維持すると、 \overline{CS} を“L”に引き下げ、続いて“H”に引き上げるにより、新しい変換をトリガすることができます。 \overline{CS} を“L”に引き下げると($\overline{CS} = \text{“L”}$)、SDOは完了したばかりの変換結果の最上位ビット(D15)を出力します。SCKピンにロジック・レベル“L”が維持されていて、続いて \overline{CS} が“H”に引き上げられると($\overline{CS} = \text{“H”}$)、結果の残り15ビット(D14~D0)が破棄され、新しい変換サイクルが開始されます。

I/Oの中止に続いて、CONVERTステートで追加のクロック・パルスは許容されますが、SCKの過剰な信号遷移は変換の間ADCにノイズを発生する可能性があるため、変換精度に悪影響を与えることがあります。

アプリケーション情報

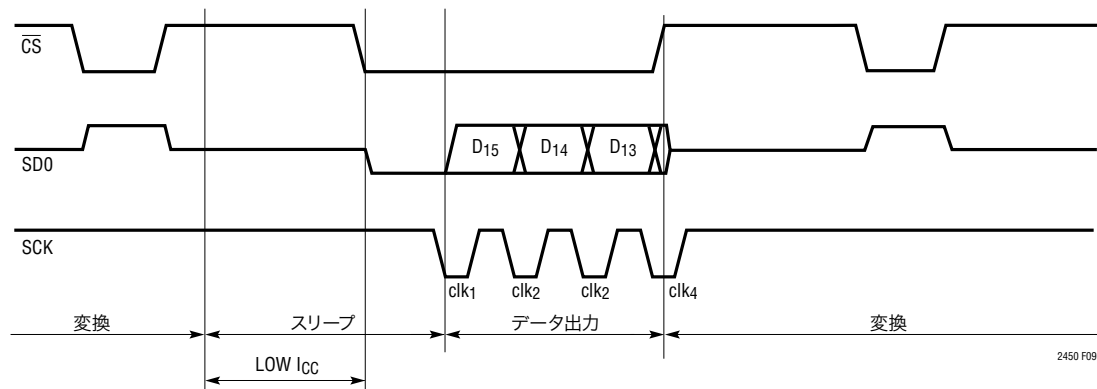


図9. アイドリング“H”(CPOL = 1)クロックおよび中止されたI/Oの例

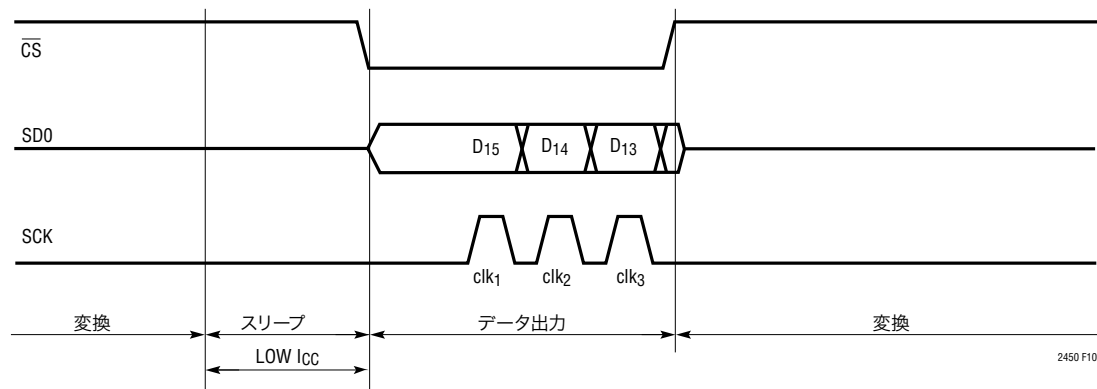


図10. アイドリング“L”(CPOL = 0)クロックおよび中止されたI/Oの例

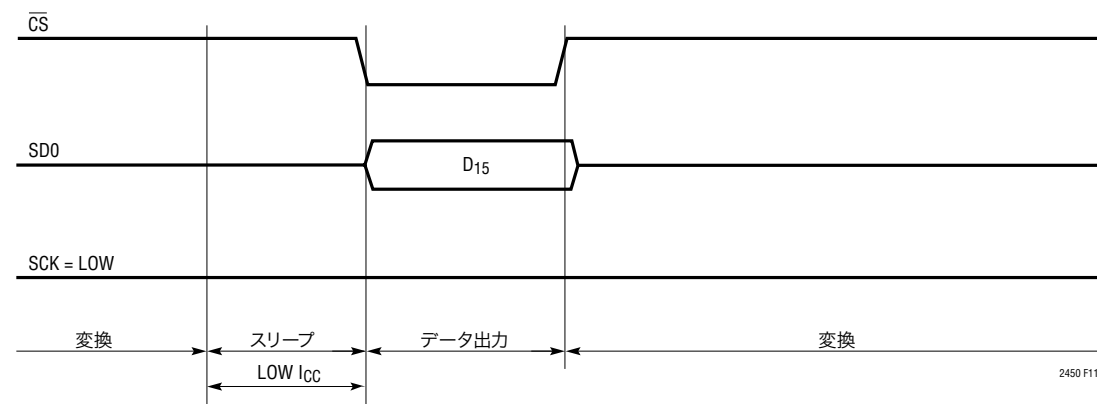


図11. アイドリング“L”(CPOL = 0)クロックおよび最小データ出力長の例

アプリケーション情報

2線式動作

2線式動作モードは必要な制御信号の数が減りますが、LTC2450の低消費電力のスリープ機能を必要としない場合のみ使います。さらに、シリアル・データ転送を中断するオプションはもはや利用できません。2線式動作では \overline{CS} をGNDに固定して配線します。

アイドリング“H” (CPOL = 1)のシリアル・クロック信号を使う2線式動作のシーケンスを図12に示します。変換状態はSDO出力でモニタすることができます。変換サイクルに続いて、ADCはSLEEP状態に入り、SDO出力は“H”から“L”に遷移します。続いて、16ビットの結果をシフトしてシリアルに出力するため、16クロック・パルスがSCK入力に与えられます。最後に、新しい変換サイクルをトリガするために17番目のパルスがSCK入力に与えられます。

アイドリング“L” (CPOL = 0)のシリアル・クロック信号を使う2線式動作のシーケンスを図13に示します。変換状態をSDO出力でモニタすることはできません。変換サイクルに続いて、LTC2450はSLEEP状態を迂回して、直ちにDATA OUTPUT状態に入ります。この時点で、SDOピンは変換結果の最上位ビット (D15) を出力します。ユーザーは、変換の終了と結果の利用可能性を判断するのに外部タイミングを使う必要があります。続いて、16ビットの結果をシフトしてシリアルに出力するため、16クロック・パルスがSCKに与えられます。クロックの16番目の立下りエッジにより新しい変換がトリガされます。

コンバータの精度の維持

デバイスのデカップリング、PCBのレイアウト、アンチエイリアシング回路、ラインや周波数の乱れの影響を変換結果ができるだけ受けないようにLTC2450は設計されています。にもかかわらず、このデバイスの非常に高い精度を維持するには、いくつか配慮しておくのが賢明です。

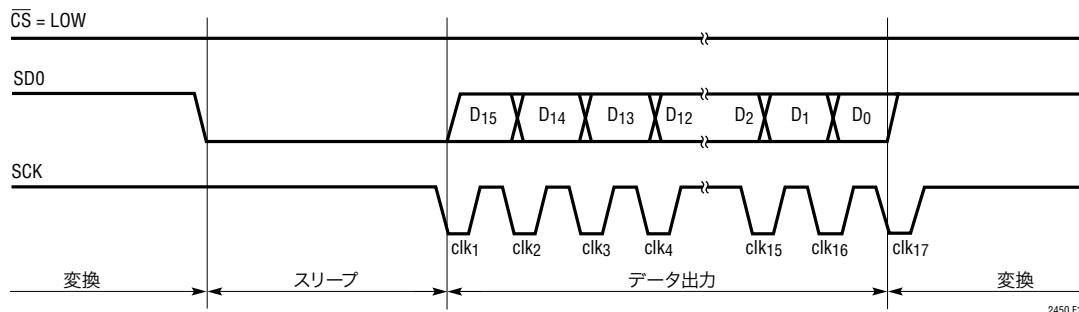


図12. 2線式、アイドリング“H” (CPOL = 1)シリアル・クロック動作の例

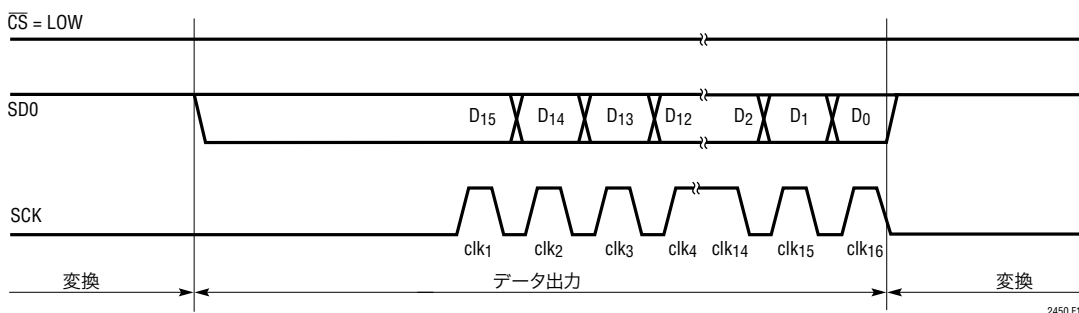


図13. 2線式、アイドリング“L” (CPOL = 0)シリアル・クロック動作の例

アプリケーション情報

デジタル信号レベル

LTC2450のデジタル・インタフェースは使うのが簡単です。そのデジタル入力(SCKと \overline{CS})は標準CMOSロジック・レベルを受け入れ、内部ヒステリシス・レシーバは100 μ sまでの低速エッジ・レートを許容します。ただし、このコンバータの並外れた精度と低電源電流の利点を活かすには、いくらかの配慮が必要です。

デジタル出力信号SDOは変換サイクルの間アクティブではないので、それほど心配いりません。

デジタル信号が0.5V \sim ($V_{CC} - 0.5V$)の範囲にある間は、CMOS入力レシーバは電源から追加電流を引き出す可能性があります。CMOSロジックの性質から、この電圧範囲内の低速遷移は、(特にSLEEP状態の低消費電力動作モードで)コンバータを流れる電源電流の増加をもたらす可能性があります。したがって、消費電力を抑えるには、2つのデジタル入力ピンSCKと \overline{CS} のエッジを比較的高速にし、デジタル入力ロジックのレベルを V_{CC} またはGNDに保つことが非常に望ましいといえます。

同時に、CONVERT状態の間、LTC2450のピンに接続されている高速デジタル信号のアンダーシュートやオーバーシュートが変換結果を変化させることがあります。アンダーシュートとオーバーシュートは、コンバータのピンのインピーダンスの不整合が非常に高速の遷移時間に結合して生じることがあります。この問題は、共通制御ラインが使用され、多数の反射が起きるとき特に困難になります。解決策はすべての伝送ラインをそれらの特性インピーダンスに近い値で注意深く終端することです。並列終端は低消費電力システムでは稀にしか受け入れられないオプションなので、ドライバの近くに配置した27 Ω ~56 Ω の直列抵抗によりこの問題を取り除くことができます。実際の抵抗値はトレースのインピーダンスと接続トポロジーに依存します。代わりに解決策は、上述の低速エッジに関する問題に配慮しながら、制御信号のエッジ・レートを下げることです。

CONVERT状態で連続クロック信号がSCKピンに与えられるときの構成設定に特に注意を払います。LTC2450はロジックの視点からはこの信号を無視しますが、信号のエッジはその周波数と内部発振器周波数の関係に依存して予期せぬエラーを生じる可能性があります。このような状況では、約10nsのエッジ・レートを使い、潜在的アンダーシュートをGNDより下0.3V以下に制限

し、オーバーシュートを V_{CC} より上0.3V以下に制限すると良いでしょう。

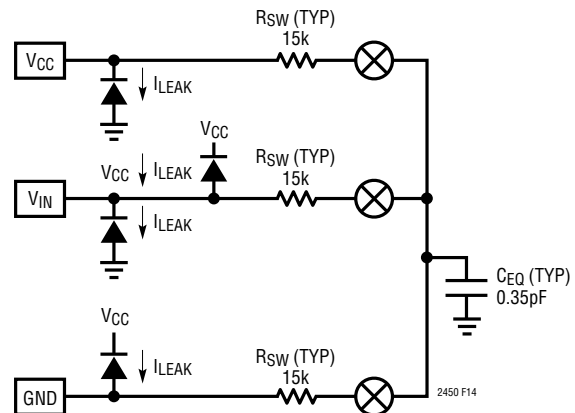
ノイズの大きな外部回路は、2線式動作のもとで潜在的に出力に影響を与える可能性があります。特に、SCKパルスが失われたりノイズが余分のSCKパルスをトリガすると、LTC2450が未知の状態に陥る可能性があります。この状況では、(変換の進行中を示す)SDO = 1と有効な「1」のデータ・ビットとを区別することは不可能です。したがって、2線モードではCPOL = 1を推奨します。ユーザーはデータを読み出す前にSDO = 0を見張り、データを読み出した後はSDO = 1を見張り、SDOが最大変換時間内に「0」を返さない(またはデータを全部読み出した後「1」を返すと)、16個のSCKパルスを発生して新しい変換を強制します。

V_{CC} とGNDのドライブ

LTC2450コンバータの V_{CC} ピンとGNDピンはそれぞれ正と負のリファレンス電圧に直接接続されています。簡略等価回路図を図14に示します。

これらの共通ピンに関連した寄生レイアウト抵抗を通して流れる電源電流はADCのリファレンス電圧を変化させて、コンバータの精度に悪影響を与えます。したがって、 V_{CC} とGNDのラインを静かに保ち、これらの電源をインピーダンスが非常に低いトレースで接続することが重要です。

V_{CC} ピンとGNDピンとの関係で、LTC2450は内部の高周波デカップリングを減衰素子と組み合わせて、ADCの性能がPCBレイアウトや外部部品による影響を受けにくくしています。



内部スイッチング周波数 = 10MHz

図14. LTC2450のアナログ・ピンの等価回路

2450f

アプリケーション情報

にもかかわらず、このコンバータの非常に高い精度は電源の低周波数および高周波数の注意深いデカップリングによって最も良く維持されます。

10 μ Fセラミック・コンデンサに並列に接続された高品質のセラミック・コンデンサを、できるだけパッケージに近づけて、V_{CC}ピンとGNDピンの間に接続します。0.1 μ FのコンデンサをADCパッケージの一番近くに配置します。コンバータのV_{CC}ピンを出発して、これら2個のデカップリング・コンデンサを通り、コンバータのGNDピンに戻ってくる回路経路ではビアを使わない方が良いでしょう。この回路経路によって囲まれる領域と経路長を最小にします。

V_{CC}ピンとGNDピンの両方で、インピーダンスの非常に低いグラウンドと電力プレーンおよびスター接続が望ましいといえます。V_{CC}ピンには2つの区別された接続を行います。まず、上述のデカップリング・コンデンサへ、次に電源電圧へ接続します。GNDピンには3つの区別された接続を行います。1番目は上述のデカップリング・コンデンサ、2番目は入力信号源のグラウンドリターン、3番目は電源電圧源のグラウンド・リターンです。

V_{IN}のドライブ

V_{IN}入力ドライブの要件は、図15の等価回路を使うと最良の分析を行うことができます。入力信号V_{SIG}は等価ソース抵抗R_Sを通してADCの入力ピンV_{IN}に接続されます。この抵抗にはジェネレータの実際のソース抵抗とV_{IN}ピンに接続された追加のオプションの抵抗の両方が含まれます。オプションの入力コンデンサC_{IN}もADCのV_{IN}ピンに接続されます。このコンデンサはADCの入力の寄生容量C_{PAR}に並列に配置されます。C_{PAR}の標準的値は、PCBのレイアウトに依存して、2pF~15pFになります。さらに、図15の等価回路には、コンバータの等価内部抵抗R_{SW}とサンプリング・コンデンサC_{EQ}が含まれます。

完全な回路解析を必要とすることなく、R_SとC_{IN}には明らかなトレードオフがいくつかあります。R_SとC_{IN}を大きくすると以下の利点が得られます。

- 1) LTC2450の入力サンプリング・アルゴリズムにより、変換サイクルの間V_{IN}に流れる入力電流は50nAです。高いR_S・C_{IN}は入力電流の高周波成分を減衰させ、最大1k Ω までのR_S値では<1LSBの誤差になります。
- 2) V_{SIG}からの帯域幅はV_{IN}で減少します。この帯域幅の減少により、ADCが高周波信号から分離されますので、簡単なアンチエイリアス機能が生じ、入力ノイズが減少します。
- 3) ADCによって生じるノイズは信号源に戻る前に減衰します。
- 4) 大きなC_{IN}はV_{IN}に良好なACグラウンドを与え、信号源への反射を減らすのに役立ちます。
- 5) R_Sを大きくすると、電源レールの範囲を外れるフォールト状態の間電流を制限することによりADCを保護します。さらに極端なフォールト状態に対しても保護するようにR_Sの大きさを簡単に設定することができます。

与えられたアプリケーションでR_S・C_{IN}を大きくするには限界があります。あるポイントを超えてR_Sを増加させると、大きな測定誤差が生じるポイントまで入力電流によるR_S両端の電圧降下が増加します。さらに、アプリケーションによっては、R_S・C_{IN}の積を大きくし過ぎると、目的の周波数で信号が許容できないほど減衰することがあります。

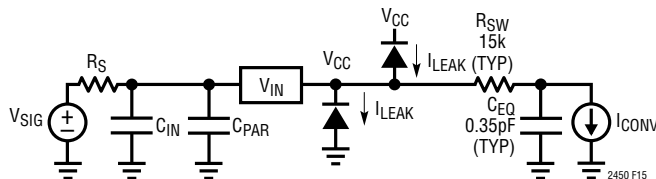


図15. LTC2450の入力ドライブの等価回路

アプリケーション情報

ほとんどのアプリケーションでは、高品質の $0.1\mu\text{F}$ セラミック・コンデンサと $R_S \leq 1\text{k}$ で C_{IN} を実装するのが望ましいでしょう。このコンデンサはパッケージの V_{IN} ピンにできるだけ近づけます。さらに、この回路経路によって囲まれる領域と経路長を最小にします。

リモート端で接地されていない2線式センサの場合、 R_S を分割して、スター接続トポロジーを使ってADCのGNDに接続するセンサのグラウンド・リターンとともに、ADCの入力ラインに直列抵抗を配置するのが望ましいでしょう。

入力コンデンサ $C_{IN} = 0.1\mu\text{F}$ を使ったときの R_S 値の関数としての、LTC2450の「INLの測定値と入力電圧」を図16に示します。

場合によっては、 R_S をこれらのガイドラインより大きくすることができます。LTC2450の場合、CONVERTステートの最初の半分で、内部較正アルゴリズムが I_{AV} を厳密にゼロに保ちます。CONVERTの各半分は約 16.67ms です。さ

らに、ADCがスリープ・モードまたはI/Oモードのどちらかのとき、入力電流はゼロです。したがって、入力RC回路の時定数 $\tau = R_S \cdot C_{IN}$ が実際の変換と変換の間の時間と同程度か、またはそれより長ければ、それに応じて入力電流が減少すると考えることができます。

これらの検討事項は入力信号の帯域幅とバランスをとる必要があります。3dB帯域幅は約 $1/(2\pi R_S C_{IN})$ です。

最後に、推奨されている C_{IN} の値がユーザーの特定のアプリケーションには受け入れられない場合、別の戦略として、 C_{IN} を取り去って C_{PAR} と R_S を最小にします。要するに、この構成は最短トレースを使って直接ADCに接続された低インピーダンスのセンサに対応します。実際のアプリケーションには、値の小さなセンス抵抗を使った電流測定、温度測定、低インピーダンスの電圧源モニタなどが含まれます。その結果得られる「INLと V_{IN} 」を図17に示します。図17の測定には最小サイズのレイアウト・パッドと長さ約1インチの入力トレースの最小幅に相当する C_{PAR} が含まれています。

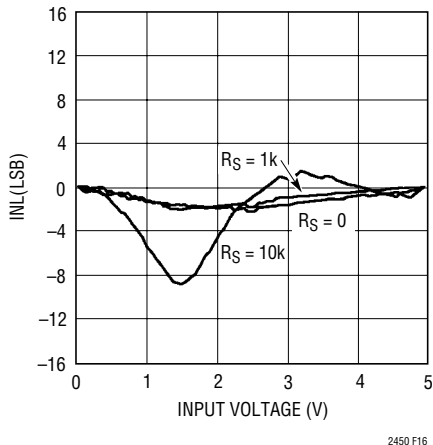


図16. INLの測定値と入力電圧、
 $C_{IN} = 0.1\mu\text{F}$ 、 $V_{CC} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$

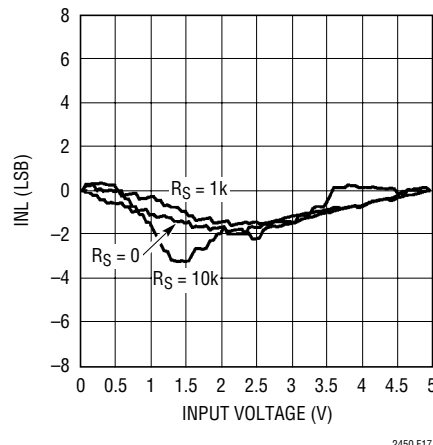


図17. INLの測定値と V_{IN} 、 $C_{IN} = 0$ 、 $V_{CC} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$

アプリケーション情報

信号帯域幅とノイズ等価入力帯域幅

LTC2450には最初のノッチが $f_0 = 60\text{Hz}$ に位置する sinc^1 タイプのデジタル・フィルタが備わっています。そのままでは3dB入力信号帯域幅は26.54Hzです。低い周波数での周波数に対するLTC2450の入力信号の計算による減衰を図18に示します。

広い周波数範囲にわたる周波数に対するLTC2450の入力信号の減衰を図19に示します。

コンバータのノイズレベルは約 $1.4\mu\text{VRMS}$ で、ノイズの無いコンバータの入力に接続された白色ノイズ源によってモデル化することができます。

システム・ノイズの簡単な解析では、 V_{IN} ドライブ回路を、ポールの位置 F_i とノイズのスペクトル密度 n_i によって特徴づけられる単一ポール等価回路としてモデル化することができます。もしコンバータが無限の帯域幅または少

なくとも F_i よりはるかに大きな帯域幅をもっていれば、外部ドライブ回路の合計ノイズの寄与は $V_n = n_i \cdot \sqrt{\pi/2} \cdot F_i$ になるでしょう。そうすれば、システムの合計ノイズ・レベルは、 (V_n^2) とLTC2450のノイズフロア(約 $2\mu\text{V}^2$)の二乗の和の平方根として見積ることができます。

エイリアシング

LTC2450の信号収集回路はサンプル・データ・システムで、そのままでは入力信号のエイリアシングの影響を受けます。図19を見ると分かるように、非常に高いオーバーサンプル比により、高周波数入力信号の減衰は適度に良好です。にもかかわらず、入力に接続した連続時間アンチエイリアシング・フィルタは、入力信号に望ましくない高周波成分が含まれていてもコンバータの精度を維持します。アンチエイリアシング機能は、図5に示されている、 $\tau = R_S \cdot C_{\text{IN}} > 450\text{ns}$ となる R_S と C_{IN} を使って実現することができます。

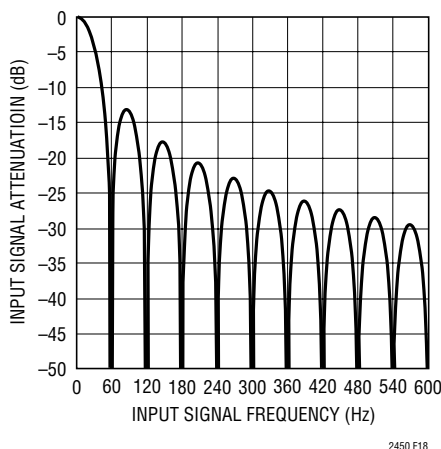


図18. 入力信号の減衰と周波数(低周波数)

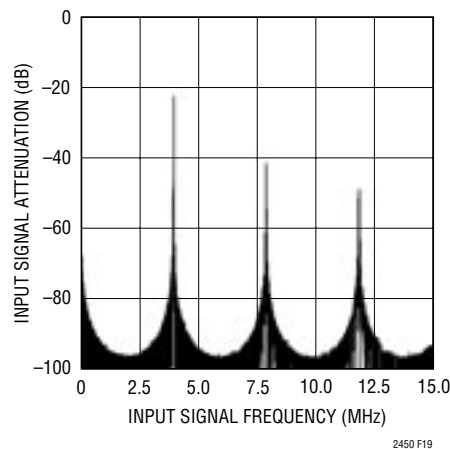
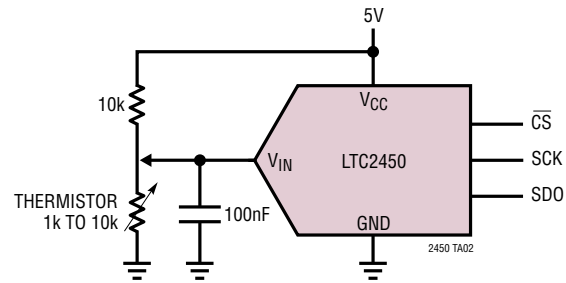


図19. 入力信号の減衰と周波数

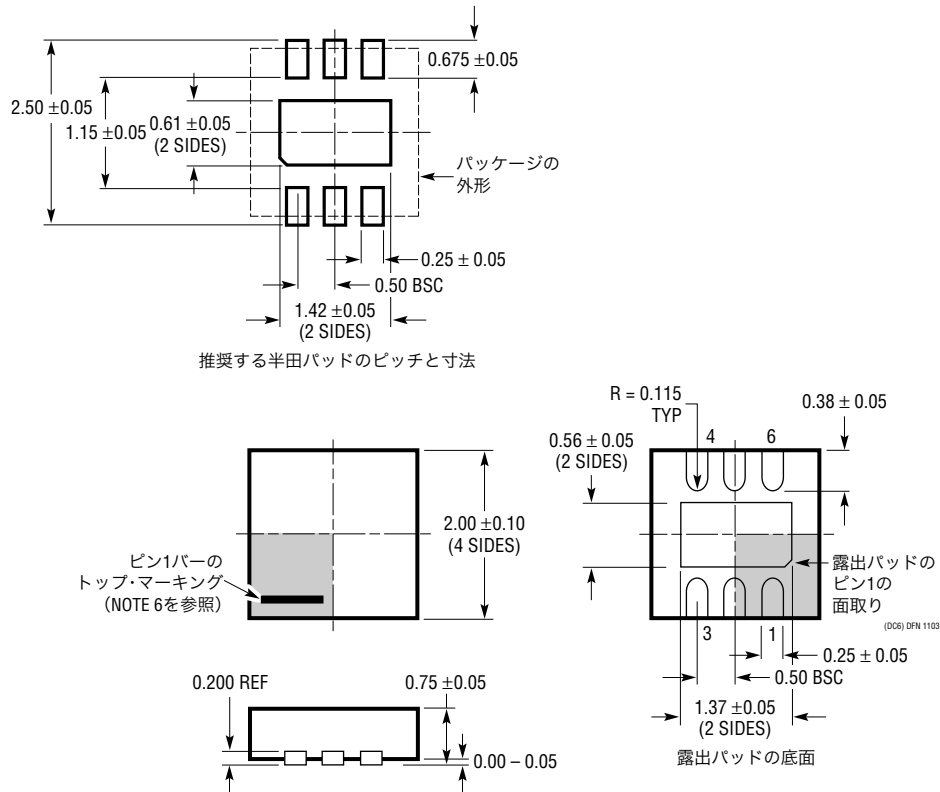
標準的応用例

サーミスタ測定



パッケージ寸法

DCパッケージ
6ピン・プラスチックDFN (2mm×2mm)
(Reference LTC DWG # 05-08-1703)

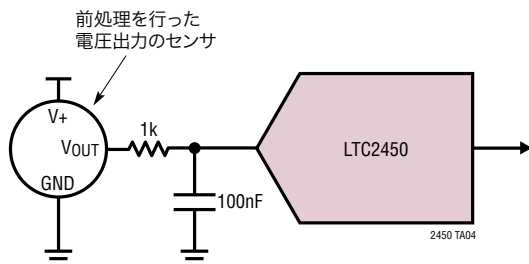


注記:

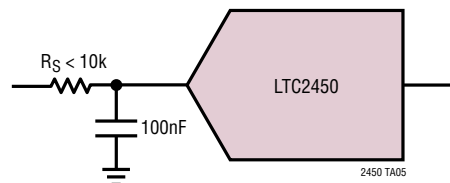
1. 図はJEDECパッケージ・アウトラインM0-229のバリエーション(WCCD-2)になる予定
2. 図は実寸とは異なる
3. すべての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 網掛けの部分はパッケージのトップとボトムのピン1の位置の参考に過ぎない

標準的応用例

容易なアクティブ入力



容易なパッシブ入力



関連製品

製品番号	説明	注釈
LT [®] 1236A-5	高精度バンドギャップ・リファレンス、5V	最大0.05%、ドリフト:5ppm/°C
LT1461	マイクロパワー・シリーズ・リファレンス、2.5V	最大0.04%、ドリフト:3ppm/°C
LTC1860/LTC1861 MSOP	12ビット、5V、1/2チャンネル250ksps SAR ADC、 パッケージ	250kspsで850μA、1kspsで2μA、SO-8パッケージとMSOP
LTC1860L/LTC1861L	12ビット、3V、1/2チャンネル、150ksps SAR ADC パッケージ	150kspsで450μA、1kspsで10μA、SO-8パッケージとMSOP
LTC1864/LTC1865	16ビット、5V、1/2チャンネル250ksps SAR ADC、 MSOP	250kspsで850μA、1kspsで2μA、SO-8パッケージとMSOP パッケージ
LTC1864L/LTC1865L	16ビット、3V、1/2チャンネル、150ksps SAR ADC パッケージ	150kspsで450μA、1kspsで10μA、SO-8パッケージとMSOP
LTC2440	24ビットNo Latency ΔΣ TM ADC	200nVRMSノイズ、出力レート:8kHz、15ppm INL
LTC2480	16ビット、差動入力、No Latency ΔΣ ADC、PGA、 温度センサ、SPI付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC2481	16ビット、差動入力、No Latency ΔΣ ADC、PGA、 温度センサ、I ² C付き	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC2482	16ビット、差動入力、No Latency ΔΣ ADC、SPI	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC2483	16ビット、差動入力、No Latency ΔΣ ADC、I ² C	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC2484	24ビット、差動入力、No Latency ΔΣ ADC、SPI	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC2485	24ビット、差動入力、No Latency ΔΣ ADC、I ² C	Easy Drive入力電流キャンセル、600nVRMSノイズ、 小型10ピンDFNパッケージ
LTC6241	デュアル、18MHz、低ノイズ、 レール・トゥ・レール・オペアンプ	550nVP-Pノイズ、オフセット:最大125μV
LT6660	マイクロパワー・リファレンス、 2mm×2mm DFNパッケージ、2.5V、3V、3.3V、5V	ドリフト:最大20ppm/°C、最大0.2%

No Latency ΔΣはリニアテクノロジー社の商標です。