

優先順位付け PowerPath™ コントローラ

特長

- 3つの入力から最も優先順位の高い電源を選択
- 逆電流および相互伝導電流を阻止
- 広い動作電圧範囲: 2.5V ~ 36V
- 逆バッテリー接続からの保護: -42V
- 高速の切り替えにより出力電圧の低下を最小化
- 低い動作電流: 28μA
- V_{OUT}より電圧の低い電源から流れる電流: <1μA
- 入力過電圧/低電圧保護の精度: 1.5%
- 調整可能な過電圧/低電圧ヒステリシス
- PチャンネルMOSFETのゲート保護クランプ
- 追加の入力電源をカスケード接続可能
- 24ピン細型SSOPおよび4mm×4mm QFNパッケージ

アプリケーション

- 産業用ハンドヘルド計測器
- 高可用性システム
- バッテリー・バックアップ・システム
- サーバおよびコンピュータの周辺機器

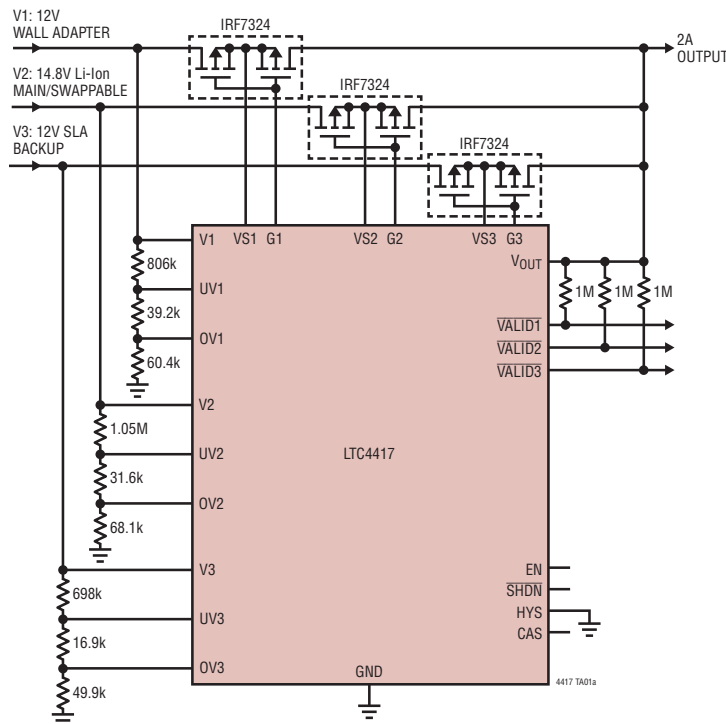
概要

LTC®4417は、3つの有効な電源のいずれか1つを優先順位に基づいて共通の出力に接続します。優先順位はピンの割り当てによって定義します。V1に最高の優先順位が割り当てられ、V3に最低の優先順位が割り当てられます。電源電圧がその過電圧(OV)範囲内および低電圧(UV)範囲内に256ms以上連続してとどまると、その電源は有効と定義されます。最も優先順位の高い有効な入力があるOV/UVの範囲から外れると、そのチャンネルは直ちに切り離され、次に優先順位の高い有効な入力がある共通出力に接続されます。2つ以上のLTC4417をカスケード接続することにより、4つ以上の入力間を切り替えることができます。

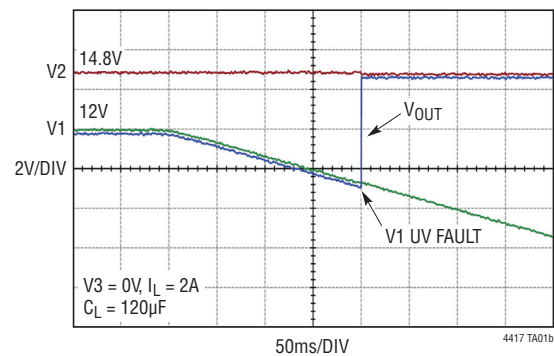
LTC4417は高速の非並行スイッチング回路を内蔵しており、出力電圧の低下を最小限に抑えつつ、逆電流と相互伝導電流が両方とも流れないようにしています。ゲート・ドライバには、外付けのMOSFETを保護するための6Vクランプが組み込まれています。制御された出力立ち上げ機能により、起動時の突入電流が最小限に抑えられます。オープンドレインのVALID出力は、入力電源が256msの間そのOV/UV範囲内にとどまっていることを示します。

LT、LT、LTC、LTM、Linear TechnologyおよびLinearのロゴはリニアテクノロジー社の登録商標です。PowerPath、ThinSOTおよびHot Swapはリニアテクノロジー社の商標です。その他すべての商標の所有権は、それぞれの所有者に帰属します。

標準的応用例



12VのV1から14.8VのV2への優先順位の切り替え



絶対最大定格 (Note 1, 2)

電源電圧

V1、V2、V3	-42V ~ 42V
V _{OUT} 、VS1、VS2、VS3	-0.3V ~ 42V
V1、V2、V3からV _{OUT} までの電圧	-84V ~ 42V
VS1、VS2、VS3から	
G1、G2、G3までの電圧	-0.3V ~ 7.5V

入力電圧

EN、SHDN	-0.3V ~ 42V
OV1、OV2、OV3、UV1、UV2、UV3	-0.3V ~ 6V
HYS	-0.3V ~ 1V

入力電流

OV1、OV2、OV3、UV1、UV2、UV3、HYS	-3mA
-----------------------------------	------

出力電圧

VALID1、VALID2、VALID3	-0.3V ~ 42V
CAS	-0.3V ~ 6V

出力電流

VALID1、VALID2、VALID3、CAS	2mA
--------------------------------	-----

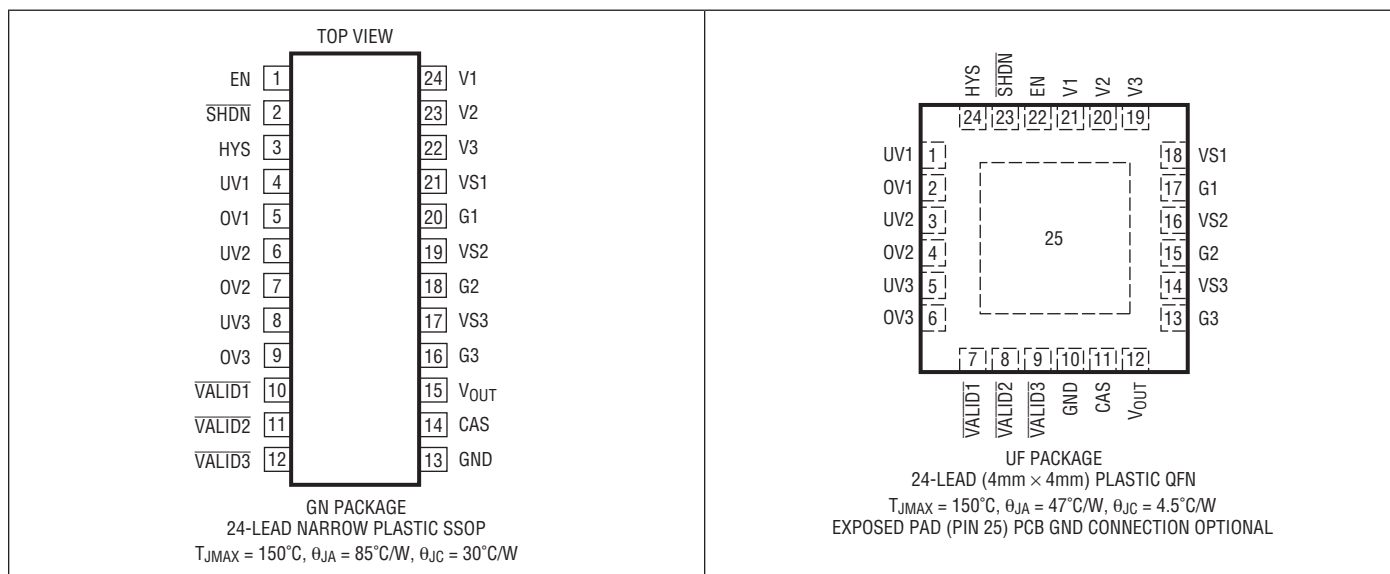
動作周囲温度範囲

LTC4417C	0°C ~ 70°C
LTC4417I	-40°C ~ 85°C
LTC4417H	-40°C ~ 125°C
保存温度範囲	-65°C ~ 150°C

リード温度

GN パッケージ (半田付け、10秒)	300°C
---------------------------	-------

ピン配置



発注情報

無鉛仕上げ	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC4417CGN#PBF	LTC4417CGN#TRPBF	LTC4417GN	24-Lead Narrow Plastic SSOP	0°C to 70°C
LTC4417IGN#PBF	LTC4417IGN#TRPBF	LTC4417GN	24-Lead Narrow Plastic SSOP	-40°C to 85°C
LTC4417HGN#PBF	LTC4417HGN#TRPBF	LTC4417GN	24-Lead Narrow Plastic SSOP	-40°C to 125°C
LTC4417CUF#PBF	LTC4417CUF#TRPBF	4417	24-Lead (4mm × 4mm) Plastic QFN	0°C to 70°C
LTC4417IUF#PBF	LTC4417IUF#TRPBF	4417	24-Lead (4mm × 4mm) Plastic QFN	-40°C to 85°C
LTC4417HUF#PBF	LTC4417HUF#TRPBF	4417	24-Lead (4mm × 4mm) Plastic QFN	-40°C to 125°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。* 温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛仕上げの製品の詳細については、弊社または弊社代理店にお問い合わせください。

無鉛仕上げの製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandree/> をご覧ください。

電気的特性 ● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。すべてのテストについて、 $V_1 = VS_1$ 、 $V_2 = VS_2$ 、 $V_3 = VS_3$ 。注記がない限り、 $V_1 = V_2 = V_3 = V_{OUT} = 12\text{V}$ 、 $HYS = GND$ 。

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
起動							
V_1 - V_3 , V_{OUT}	V_1 to V_3 , V_{OUT} Operating Supply Range		●	2.5		36	V
$I_{V_1-V_3, V_{OUT}(EN)}$	Total Supply Current with Channels Enabled	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = 4\text{V}$, (Notes 3, 4)	●		28	78	μA
$I_{V_1-V_3}(\overline{EN})$	Total Supply Current with Channels Disabled	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = EN = 0\text{V}$, (Notes 3, 4)	●		31	93	μA
$I_{V_1-V_3}(\overline{SHDN})$	Total Supply Current When Shutdown	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = \overline{SHDN} = 0\text{V}$, (Notes 3, 4)	●		15.4	84	μA
$I_{V_{OUT}}$	V_{OUT} Supply Current	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = 4\text{V}$	●		14	30	μA
$I_{PRIORITY}$	Current from Highest V_1 to V_3 Priority Input Source (V_1)	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = 4\text{V}$ $V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = EN = 0\text{V}$	● ●		2.6 20	6 45	μA μA
$I_{HIGHEST}$	Current from Highest V_1 to V_3 Voltage Input Source	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = 4\text{V}$, (Note 3, 4)	●		11	72	μA
		$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = EN = 0\text{V}$, $\overline{SHDN} = 0\text{V}$, (Note 3, 4)	●		15	80	μA
I_{LOWER}	Current from V_1 to V_3 Input Voltage Sources Lower than V_{OUT}	$V_1 = 5\text{V}$, $V_2 = 12\text{V}$, $V_3 = 2.5\text{V}$, $V_{OUT} = 4\text{V}$ Not Highest Valid Priority		-5	0.2	1	μA
ゲート制御							
ΔV_G	Open ($V_S - V_G$) Clamp Voltage	$V_{OUT} = 11\text{V}$, G_1 to $G_3 = \text{Open}$	●	5.4	6.2	6.7	V
$\Delta V_G(\text{SOURCE})$	Sourcing ($V_S - V_G$) Clamp Voltage	$V_{OUT} = 11\text{V}$, $I = -10\mu\text{A}$	●	5.8	6.6	7	V
$\Delta V_G(\text{SINK})$	Sinking ($V_S - V_G$) Clamp Voltage	$V_{OUT} = 11\text{V}$, $I = 10\mu\text{A}$	●	4.5	5.2	6	V
$\Delta V_G(\text{OFF})$	G_1 to G_3 Off ($V_S - V_G$) Threshold	$V_1 = V_2 = V_3 = 2.8\text{V}$, $V_{OUT} = 2.6\text{V}$, G_1 to G_3 Rising Edge	●	0.12	0.35	0.6	V
$\Delta V_G(\text{SLEW, ON})$	G_1 to G_3 Pull-Down Slew Rate	$V_{OUT} = 11\text{V}$, $C_{GATE} = 10\text{nF}$ (Note 5)	●	4	9	20	$\text{V}/\mu\text{s}$
$\Delta V_G(\text{SLEW, OFF})$	G_1 to G_3 Pull-Up Slew Rate	$V_{OUT} = 11\text{V}$, $C_{GATE} = 10\text{nF}$ (Note 6)	●	7.5	13	22	$\text{V}/\mu\text{s}$
$I_{G(DN)}$	G_1 to G_3 Low Pull-Down Current	$V_{OUT} = 2.6\text{V}$, V_1 to $V_3 = 2.8\text{V}$, (G_1 to G_3) = $\Delta V_G + 300\text{mV}$		0.8	2	7	μA
$R_{G(\text{OFF})}$	G_1 to G_3 OFF Resistance	$V_{OUT} = 4\text{V}$, V_1 to $V_3 = 5\text{V}$, $I_G = -10\text{mA}$	●	9	16	26	Ω
V_{REV}	Reverse Voltage Threshold	Measure (V_1 to V_3) - V_{OUT} , V_{OUT} Falling	●	30	120	200	mV
$t_{G(\text{SWITCHOVER})}$	Pin Break-Before-Make Time	$V_{OUT} = 11\text{V}$, $C_{GATE} = 10\text{nF}$, (Note 7)	●	0.7	2	3	μs
$t_{pG}(\overline{SHDN})$	G_1 to G_3 Turn-Off Delay From \overline{SHDN}	$V_{OUT} = 11\text{V}$, Falling Edge \overline{SHDN} to (G_1 to G_3) = (VS_1 to VS_3) - 3V , $C_{GATE} = 10\text{nF}$	●	20	50	100	μs
$t_{pG}(\text{EN, OFF})$	G_1 to G_3 Turn-Off Delay From EN	$V_{OUT} = 11\text{V}$, Falling EN Edge to (G_1 to G_3) = (VS_1 to VS_3) - 3V , $C_{GATE} = 10\text{nF}$	●	0.3	0.7	1.4	μs
$t_{pG}(\text{EN, ON})$	G_1 to G_3 Turn-On Delay From EN	$V_{OUT} = 11\text{V}$, Rising EN Edge to (G_1 to G_3) = (VS_1 to VS_3) - 3V , $C_{GATE} = 10\text{nF}$	●	1	1.4	2	μs

電気的特性 ● は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。すべてのテストについて、 $V_1 = VS_1$ 、 $V_2 = VS_2$ 、 $V_3 = VS_3$ 。注記がない限り、 $V_1 = V_2 = V_3 = V_{OUT} = 12\text{V}$ 、 $HYS = GND$ 。

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
入力ピン/出力ピン							
$V_{\text{VALID(OL)}}$	VALID1 to VALID3 Output Low Voltage	$I = 1\text{mA}$, $(V_1 \text{ to } V_3) = 2.5\text{V}$, $V_{\text{OUT}} = 0\text{V}$	●	0.25	0.55	V	
$t_{\text{pVALID(OFF)}}$	VALID1 to VALID3 Delay OFF From OV/UV Fault		●	5	8	13	μs
$V_{\text{CAS(OH)}}$	CAS Output High Voltage	$I = -1\mu\text{A}$	●	1.4	2	3	V
$V_{\text{CAS(OL)}}$	CAS Output Low Voltage	$I = 1\text{mA}$	●	0.2	0.4	V	
I_{CAS}	CAS Pull-Up Current	$\text{SHDN} = 0\text{V}$, $\text{CAS} = 1\text{V}$	●	-6	-20	-40	μA
$t_{\text{pCAS(EN)}}$	CAS Delay from $V_G(\text{OFF})$	$V_{\text{OUT}} = 11\text{V}$	●	0.4	0.7	1.3	μs
$V_{\text{EN(THR)}}$	EN Threshold Voltage	EN Rising	●	0.6	1	1.4	V
$V_{\text{SHDN(THR)}}$	SHDN Threshold Voltage	SHDN Rising	●	0.4	0.8	1.2	V
$V_{\text{SHDN_EN(HYS)}}$	SHDN, EN Threshold Hysteresis			100		mV	
$I_{\text{SHDN_EN}}$	SHDN, EN Pull-Up Current	$\text{SHDN} = \text{EN} = 0\text{V}$	●	-0.5	-2	-5	μA
I_{LEAK}	SHDN, EN, VALID1 to VALID3, CAS Leakage Current	$\text{SHDN} = \text{EN} = (\text{VALID1 to VALID3}) = 36\text{V}$, $\text{CAS} = 5.5\text{V}$	●			± 1	μA
OV、UV保護回路							
$V_{\text{OV_UV(THR)}}$	OV1 to OV3, UV1 to UV3 Comparator Threshold	$V_{\text{OUT}} = 11\text{V}$, OV1 to OV3 Rising, UV1 to UV3 Falling	●	0.985	1	1.015	V
$V_{\text{OV_UV(HYS)}}$	OV1 to OV3, UV1 to UV3 Comparator Hysteresis	$V_{\text{OUT}} = 11\text{V}$	●	15	30	45	mV
$I_{\text{UV_OV(LEAK)}}$	OV1 to OV3, UV1 to UV3 Leakage Current	OV1 to OV3 = 1.015V, UV1 to UV3 = 0.985V	●			± 20	nA
$I_{\text{OV_UV(MIN)}}$	Minimum External Hysteresis Current	$I_{\text{HYS}} = -400\text{nA}$	●	35	50	75	nA
$I_{\text{OV_UV(MAX)}}$	Maximum External Hysteresis Current	$I_{\text{HYS}} = -4\mu\text{A}$	●	420	520	620	nA
V_{HYS}	HYS Voltage	$I_{\text{HYS}} = -4\mu\text{A}$	●	470	495	520	mV
t_{VALID}	V1 to V3 Validation Time			100	256	412	ms

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、長期にわたって絶対最大定格条件に曝すと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: デバイスのピンに流れ込む電流はすべて正。デバイスのピンから流れ出す電流はすべて負。注記がない限り、すべての電圧はGND基準。

Note 3: V1 ~ V3の各電源電流規格には、テスト対象チャネルについて、対応するVS1 ~ VS3に流れる電流が含まれる。

Note 4: 規格値は、V1からV3までの入力電源のダイオードOR接続時の全電流を表し、最も高い電圧を入力電源として選択している。2つの入力電源の電圧が同様で、残りの入力電源の電圧より高い場合、電流は電圧の高い2つの電源に均等に分配される。すべての電源の電圧が等しい場合、電流は均等に分配される。

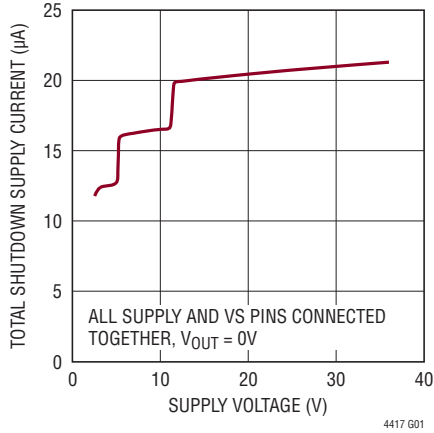
Note 5: 11Vが8Vに低下するまでの間に測定されるG1ピン~G3ピンの電圧の立ち下がりエッジ。

Note 6: 7Vが11Vに上昇するまでの間に測定されるG1ピン~G3ピンの電圧の立ち上がりエッジ。

Note 7: UV1ピンの電圧は $V_{\text{OV_UV(THR)}}$ より低い電圧になる。時間の測定範囲は、G1ピン~G3ピンの電圧のそれぞれの立ち上がりエッジが(VS1ピン~VS3ピンの電圧)-3Vを交差する時点から、G1ピン~G3ピンの電圧のうち、次に優先順位の高い有効な立ち下がりエッジが(VS1ピン~VS3ピンの電圧)-3Vを交差する時点までとする。

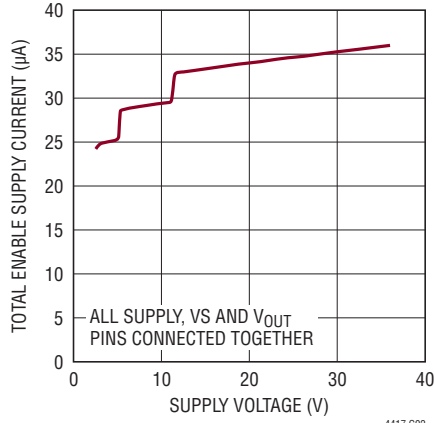
標準的性能特性

シャットダウン時全電源電流と電源電圧



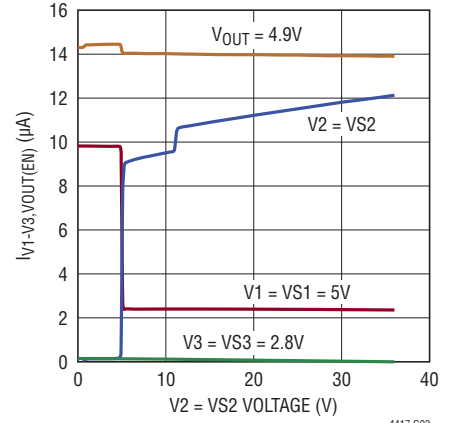
4417 G01

イネーブル時全電源電流と電源電圧



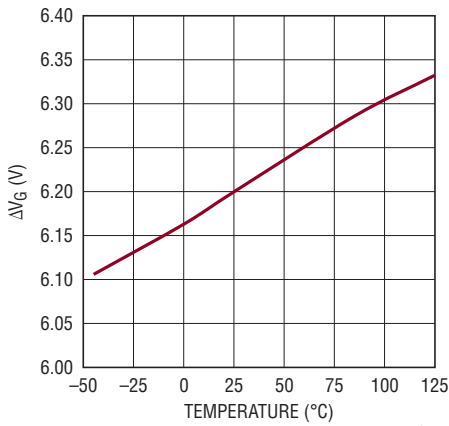
4417 G02

$I_{V1-V3, V_{OUT}(EN)}$ と電源電圧



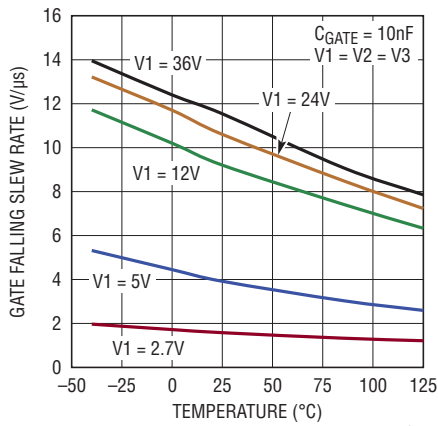
4417 G03

ΔV_G と温度



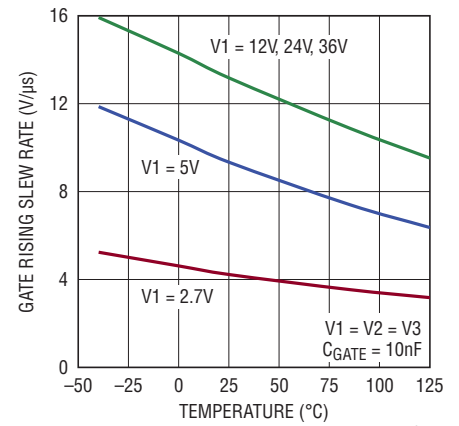
4417 G04

ゲートの立ち下がりスルーレートと温度



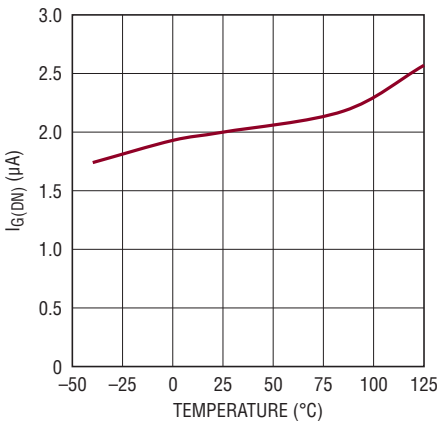
4417 G05

ゲートの立ち上がりスルーレートと温度



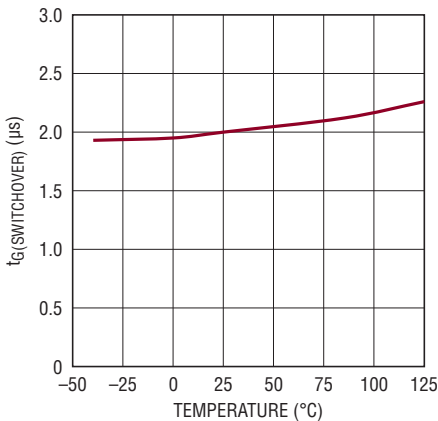
4417 G06

$I_G(DN)$ と温度



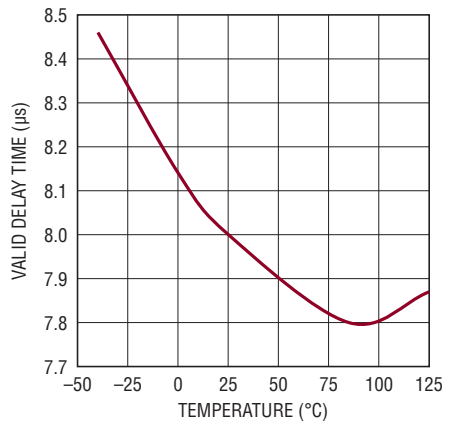
4417 G07

切り替え時間と温度



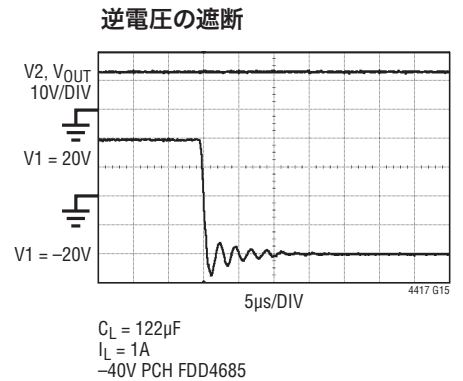
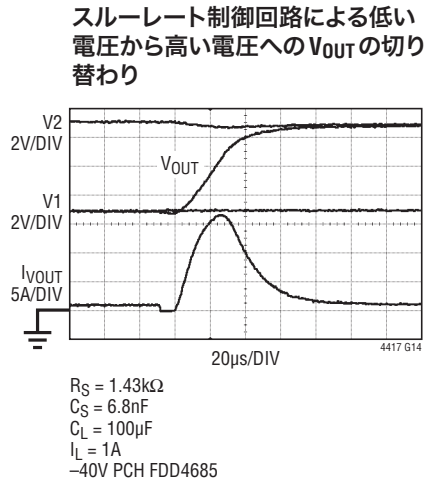
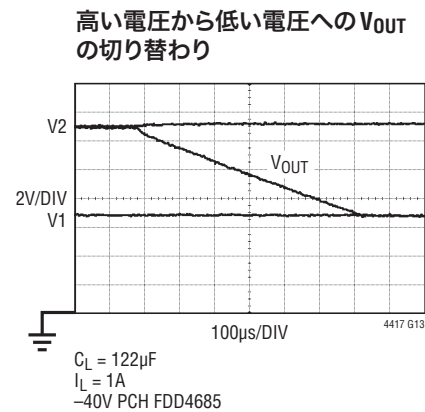
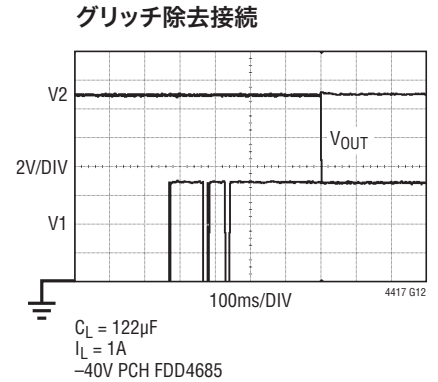
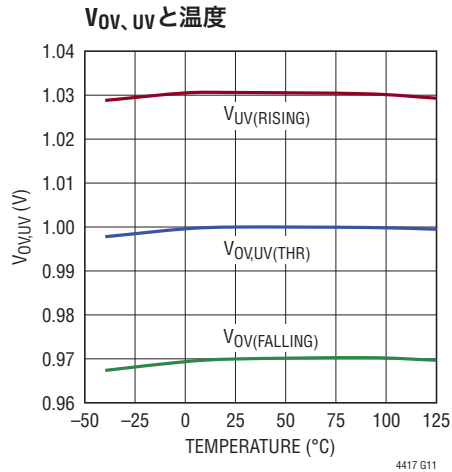
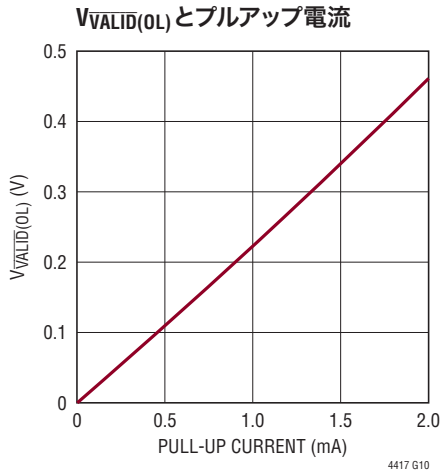
4417 G08

有効な遅延オフ時間と温度



4417 G09

標準的性能特性



ピン機能

CAS：カスケード出力。複数のLTC4417をカスケード接続するために使用するデジタル出力。多重化した入力電源の数を増やすには、CASピンを別のLTC4417のENピンに接続してください。CASピンの電圧は、すべての入力が無効である場合、外付けのPチャンネルMOSFETがオフになることが決定している場合、およびENピンの電圧が1Vより高い場合、それらを示すために内部の20μA電流源によって内部のV_{LDO}の電圧まで高くなります。CASピンは、 $\overline{\text{SHDN}}$ ピンの電圧が1Vより低くなった場合にも“H”になります。いずれかの入力電源電圧がOV/UVの範囲内に256ms以上入った場合、および $\overline{\text{SHDN}}$ ピンとENピンの電圧が両方とも1Vより高くなった場合、CASピンは“L”になります。CASピンは、ENピンの電圧を1Vより低くした場合にも“L”になります。CASピンは入力電源

電圧とは無関係に5.5Vにすることができます。使用しない場合は、開放のままにしておいてください。

EN：チャンネルのイネーブル入力。ENピンは、ユーザがOV/UVタイマをリセットすることなく、チャンネルの接続および切断を素早く行うことができる高い電圧の入力ピンです。ENピンの電圧が1Vより低い場合は、G1、G2、G3ピンの電圧をそれぞれVS1、VS2、VS3ピンの電圧にすることにより、逆並列接続のすべての外付けPチャンネルMOSFETはオフになります。ENピンの電圧が1Vより高い場合は、最も優先順位の高い有効なチャンネルが出力に接続されます。ENピンは2μAの電流源によって内部のV_{LDO}電圧になり、外部から最大電圧の36Vまで高くすることができます。使用しない場合は、開放のままにしておいてください。

ピン機能

露出パッド (UF パッケージのみ): 露出パッドは開放のままでも、デバイスのグラウンドに接続してもかまいません。

G1、G2、G3: Pチャネル MOSFET のゲート駆動出力。G1、G2、および G3 ピンは、逆並列接続の外付け Pチャネル MOSFET を制御するときに使用します。G1、G2、および G3 ピンを“L”にすると、G1、G2、および G3 ピンは対応する VS1、VS2、および VS3 ピンの電圧より 6V 低い電圧にクランプされます。G1、G2、および G3 ピンは、外付けの Pチャネル MOSFET のゲート・ピンに接続してください。未使用チャンネルの接続については、「2 電源動作」のセクションを参照してください。

GND: デバイスのグラウンド。

HYS: OV/UV コンパレータのヒステリシス入力。HYS ピンをグラウンドに接続すると、OV コンパレータおよび UV コンパレータに 30mV 固定のヒステリシスが設定されます。HYS ピンとグラウンドの間に抵抗 (R_{HYS}) を接続すると、内部の 30mV ヒステリシスが無効になり、値が $63\text{mV}/R_{HYS}$ のヒステリシス電流が設定されます。この電流はそれぞれ OV1、OV2、および OV3 ピンから流れ出し、それぞれ UV1、UV2、および UV3 ピンに流れ込みます。使用しない場合は、グラウンドに接続してください。

OV1、OV2、OV3: 過電圧コンパレータの入力。1V より高い立ち上がり電圧が入力されると、過電圧事象の信号が伝達され、各入力電源チャンネルは無効になります。目的の過電圧しきい値を実現するため、OV1、OV2、および OV3 ピンには、それぞれ V1、V2、および V3 ピンとの間に外付けの抵抗分割器を接続します。コンパレータのヒステリシスは、内部で固定の 30mV に設定しても、HYS ピンを介して外部から設定してもかまいません。使用しないピンはグラウンドに接続してください。

SHDN: シャットダウン入力。 $\overline{\text{SHDN}}$ ピンの電圧を 0.8V より低くすると、逆並列接続の外付け Pチャネル MOSFET デバイスはすべてオフになり、LTC4417 は低電流状態を強制されて、V1、V2、および V3 ピンを有効化するとき使用する 256ms のタイマはリセットされます。 $\overline{\text{SHDN}}$ ピンの電圧を 0.8V より高くすると、チャンネルを有効化して接続することができます。 $\overline{\text{SHDN}}$ ピンの電圧は 2 μA の電流源によって内部の V_{LDO} 電圧まで高くなり、外部から最大電圧の 36V まで高くすることができます。使用しない場合は、開放のままにしておいてください。

UV1、UV2、UV3: 低電圧コンパレータの入力。1V より低い立ち下がり電圧が入力されると、低電圧事象の信号が伝達され、各入力電源チャンネルは無効になります。目的の低電圧しきい値を実現するため、UV1、UV2、および UV3 ピンを抵抗分割器を介してそれぞれ V1、V2、および V3 ピンとグラウンドの間に接続します。コンパレータのヒステリシスは、内部で固定の 30mV に設定しても、HYS ピンを介して外部から設定してもかまいません。使用しないチャンネルのピンはグラウンドに接続してください。

V1: 最も優先順位の高い入力電源。V1 ピンの電圧がユーザー定義の OV/UV 電圧範囲内に 256ms の間とどまると、V1 ピンは逆並列接続の外付け Pチャネル MOSFET を介して V_{OUT} ピンに接続されます。チャンネルを使用しない場合は、V1 ピンをグラウンドに接続してください。バイパス・コンデンサの推奨事項については、「アプリケーション情報」を参照してください。

V2: 優先順位が 2 番目の入力電源。V2 ピンの電圧が OV/UV 電圧範囲内に 256ms の間とどまると、V1 ピンの電圧がその OV/UV 要件を満たしていない場合に限り、V2 ピンは逆並列接続の外付け Pチャネル MOSFET を介して V_{OUT} ピンに接続されます。チャンネルを使用しない場合は、該当のピンをグラウンドに接続してください。バイパス・コンデンサの推奨事項については、「アプリケーション情報」を参照してください。

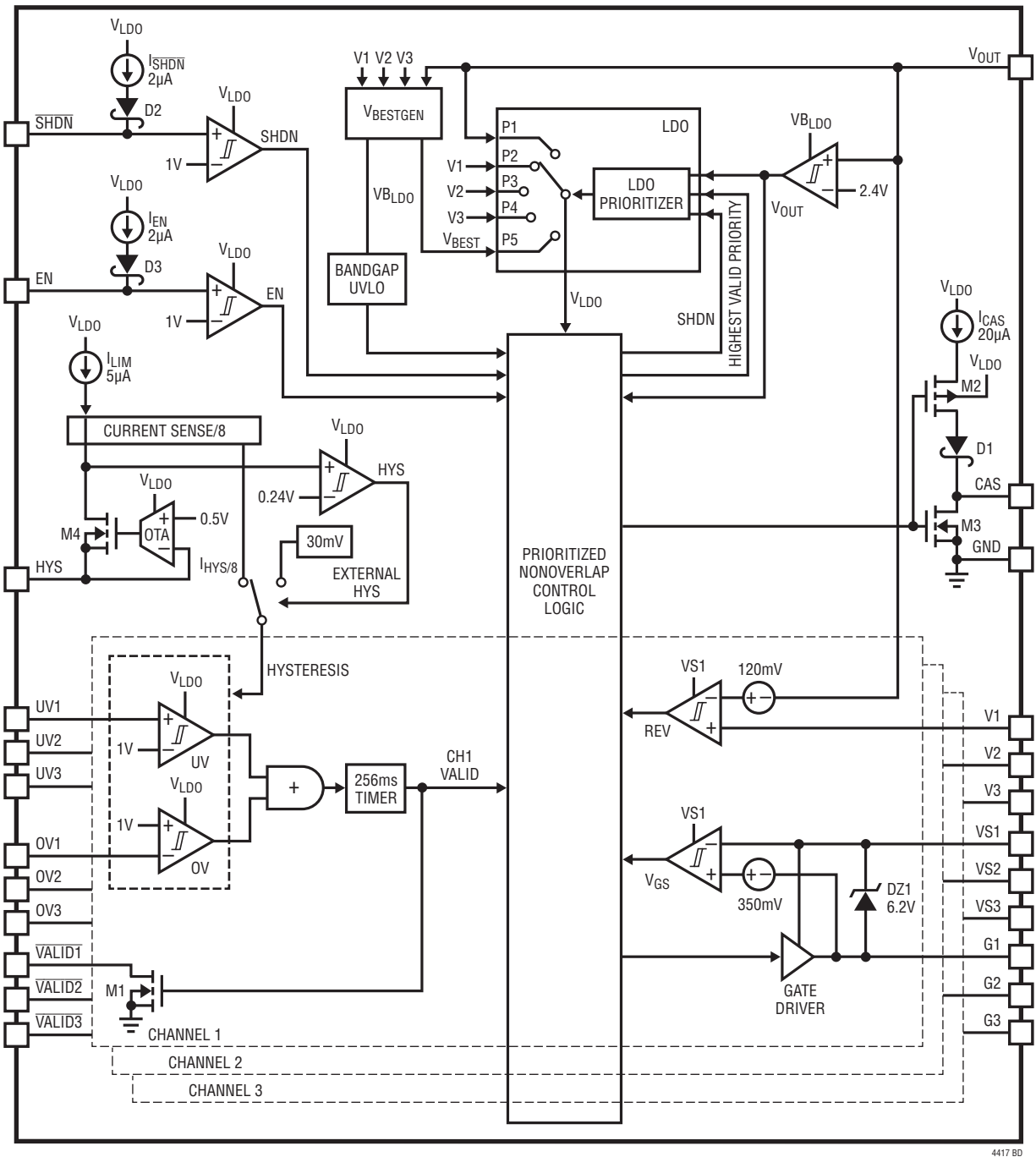
V3: 優先順位が 3 番目の入力電源。V3 ピンの電圧が OV/UV 電圧範囲内に 256ms の間とどまると、V1 ピンと V2 ピンの電圧がその OV/UV 要件を満たしていない場合に限り、V3 ピンは逆並列接続の外付け Pチャネル MOSFET を介して V_{OUT} ピンに接続されます。チャンネルを使用しない場合は、該当のピンをグラウンドに接続してください。バイパス・コンデンサの推奨事項については、「アプリケーション情報」を参照してください。

VALID1、VALID2、VALID3: 有効なチャンネルのインジケータ出力。 $\overline{\text{VALID1}}$ 、 $\overline{\text{VALID2}}$ 、および $\overline{\text{VALID3}}$ ピンは、それぞれ V1、V2、および V3 ピンの電圧が OV/UV の範囲内に 256ms 以上とどまると“L”になり、OV/UV の範囲から外れると解放される高電圧のオープンドレイン出力です。 $\overline{\text{VALID1}}$ 、 $\overline{\text{VALID2}}$ 、および $\overline{\text{VALID3}}$ ピンと目的の電源 (最大 36V) の間に抵抗を接続して、プルアップ回路を形成してください。使用しない場合は、開放のままにしておいてください。

VS1、VS2、VS3: 外付け Pチャネル MOSFET の共通ソース接続点。VS1、VS2、および VS3 ピンの役割は、V1、V2、および V3 ピンの電圧と V_{OUT} ピンの電圧のうち高い方の電圧をゲート・ドライバに供給することです。VS1、VS2、および VS3 ピンは、それぞれ逆並列接続の Pチャネル MOSFET の共通ソース接続点に接続します。チャンネルを使用しない場合は、該当のピンをグラウンドに接続してください。バイパス・コンデンサの推奨事項については、「アプリケーション情報」のセクションを参照してください。

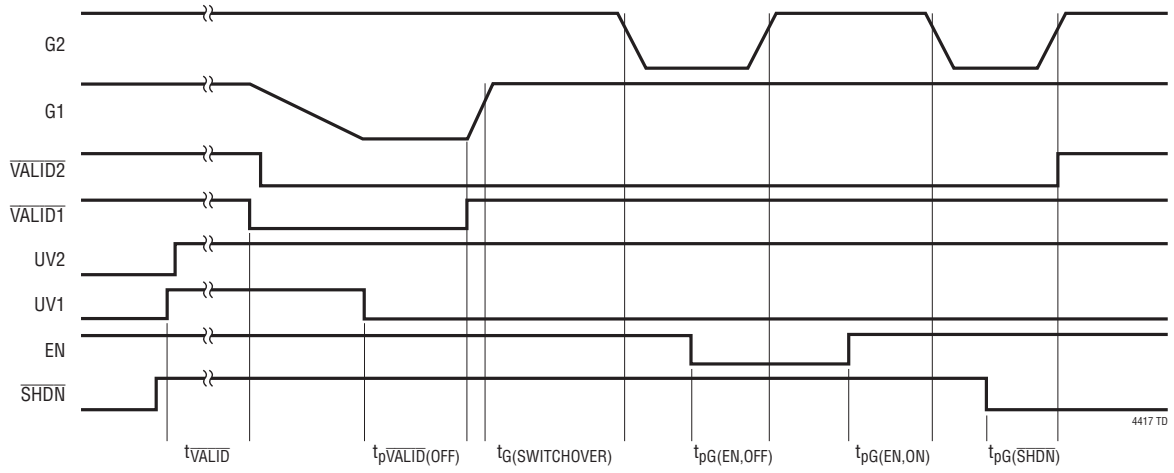
VOUT: 出力電圧の供給および検出ピン。 V_{OUT} は、出力電圧が入力電源電圧よりも 120mV 以上低くなっていない場合、入力電源を出力に接続しないようにするために使用される出力電圧検出ピンです。通常動作時には、 V_{OUT} ピンの電圧が 2.4V を超えると、内部回路のほとんどにこのピンから電力が供給されます。 V_{OUT} ピンは出力に接続してください。バイパス・コンデンサの推奨事項については、「アプリケーション情報」のセクションを参照してください。

機能ブロック図



4417 80

タイミング図



動作

「機能ブロック図」には、このデバイスの主な機能ブロックを示しています。LTC4417は、ユーザ定義の優先順位に基づいて、3つの電源のうち1つを共通の出力(V_{OUT})に接続します。接続は、逆並列接続の外付けPチャネルMOSFETを導通させることによって行われます。最も高い電源電圧を常時出力に通過させるダイオードORとは異なり、LTC4417では、電圧の低い電源を1次電源として使用し、電圧の高い電源を2次電源またはバックアップ電源として使用できます。

通常動作中、LTC4417は、高精度の過電圧コンパレータおよび低電圧コンパレータを使用し、そのOV1、OV2、OV3の各ピンとUV1、UV2、UV3の各ピンをそれぞれ介してV1、V2、V3を継続的にモニタします。最も優先順位の高い入力電源の電圧がそれぞれOV/UVの範囲内に256ms以上とどまると、その電源は有効とみなされ、逆並列接続の外付けPチャネルMOSFETを介して V_{OUT} に接続されます。入力電源V1、V2、およびV3が有効になると、 $\overline{VALID1}$ 、 $\overline{VALID2}$ 、および $\overline{VALID3}$ ピンは“L”になってそのことを示します。

OVしきい値とUVしきい値のヒステリシスは調整できます。HYSピンとグラウンドの間に抵抗(R_{HYS})を接続すると、OV/UVの範囲から外れたときに、値が $63\text{mV}/R_{HYS}$ の電流がOV1、OV2、およびOV3ピンから流れ出し、UV1、UV2、およびUV3ピンに流れ込んでヒステリシスが発生します。HYSピンをグラウンドに接続すると、OVコンパレータとUVコンパレータのヒステリシスは30mVに設定されます。詳細については「アプリケーション情報」を参照してください。

チャンネルの遷移時に、モニタ回路はブレイク・ビフォア・メーカー・アーキテクチャを使用して、入力チャンネル間の相互導通と V_{OUT} からの逆導通を防止します。VGSコンパレータは、切断しているチャンネルのゲート・ピン電圧(G1、G2、またはG3)をモニタします。ゲート電圧とその共通ソース接続点(VS1、VS2、またはVS3)との電圧差が350mVになると、VGSコンパレータは出力をラッチして該当チャンネルがオフであることを示し、次に優先順位の高い有効な入力電源の V_{OUT} への接続を許可して、チャンネル間の相互導通を防止します。該当チャンネルがオンすると、ラッチはリセットされます。

チャンネルの切り替え時に V_{OUT} からV1、V2、およびV3への逆導通を防止するため、REVコンパレータは接続中の入力電源電圧(V1、V2、またはV3)と出力電圧(V_{OUT})をモニタします。REVコンパレータは、出力電圧の低下が逆電流遮断しきい値である120mVだけ入力電圧より低くなるまで接続を遅延させます。REVコンパレータの出力はラッチされ、その該当チャンネルがオフするとリセットされます。

LTC4417のゲート・ドライバは、強力なPチャネルのソース・フォロワと2 μA の電流源により、G1、G2、およびG3ピンの電圧を低くします。クランプ電圧に達すると、Pチャネルのソース・フォロワは逆バイアスされるので、G1、G2、およびG3ピンの電圧は2 μA の電流源によってクランプ電圧に保持されたままになります。起動時の突入電流を最小限に抑えるため、ゲート・ドライバは最初の入力電源をソフトスタートで起動して V_{OUT} に接続し、いずれかのチャンネルが切り離されるか32msが経過したら5V/ms前後の速度で終了します。スルーレート制御が終了すると、ゲート・ドライバは逆並列接続の外付けPチャネルMOSFETを必要に応じて素早くオン/オフします。 \overline{SHDN} ピンが“L”から“H”に遷移するか、 V_{OUT} が0.7Vより低くなると、ソフトスタートは動作を再開します。

ENピンの電圧を1Vより高くすると、最も優先順位の高い有効な入力電源が V_{OUT} ピンに接続されます。高電圧のENコンパレータは、ENピンの電圧が1Vより低くなると、すべてのチャンネルを切り離します。LTC4417はOVピンとUVピンのモニタを継続し、現在の入力電源の状態を $\overline{VALID1}$ 、 $\overline{VALID2}$ 、および $\overline{VALID3}$ ピンに反映させます。4つ以上の電源に優先順位を付ける必要がある場合は、優先順位の高いLTC4417のCASピンを優先順位の低いLTC4417のENピンに接続します。 V_{OUT} を0.7Vより低い電圧にすることが可能な場合、次に接続する入力電源はソフトスタートで起動します。

\overline{SHDN} ピンの電圧が強制的に0.8Vになると、高電圧の \overline{SHDN} コンパレータにより、LTC4417は低電流状態を強いられます。低電流状態の間、すべてのチャンネルは切り離され、OVコンパレータおよびUVコンパレータはディスエーブルされ、すべての256msタイマはリセットされます。 \overline{SHDN} ピンが“L”から“H”に遷移すると、 V_{OUT} への接続が最初に有効になった入力ソフトスタートで起動します。

入力電源が1つ以上存在し、その電圧が2.3Vより高い場合、2つの独立した内部電源レールによってLTC4417は必ず機能します。 $V_{BESTGEN}$ は、V1、V2、V3、 V_{OUT} のうち最も高い電圧から V_{BLDO} レールを生成します。 V_{BLDO} は、UVLO、バンドギャップ、および V_{OUT} コンパレータに電力を供給します。内部の V_{LDO} は、それ以外のすべての回路に V_{OUT} から電力を供給します。ただし、 V_{OUT} が2.4Vより高いことが前提です。 V_{OUT} が2.3Vより低い場合、 V_{LDO} は、それ以外のすべての回路に、最も優先順位が高い使用可能な電源から電力を供給します。すべての電源が無効な場合やLTC4417がシャットダウンしている場合、 V_{LDO} は V_{BLDO} に接続されます。

アプリケーション情報

はじめに

LTC4417は高度な処理が可能な高電圧トリプル負荷スイッチで、所定のピン優先順位および妥当性に基づいて3つの入力電源のうち1つを共通の出力に自動的に接続します。V1には最高の優先順位が、V3には最低の優先順位が定義されており、電圧には関係ありません。入力電圧がユーザ定義の過電圧(OV)範囲内および低電圧(UV)範囲内に256ms以上とどまると、入力電源は有効と定義されます。

接続された入力電源の電圧がユーザ定義のOV/UV範囲から外れ、OV/UVの範囲外に8 μ s以上とどまると、そのチャネ

ルは切断され、次に優先順位の高いチャンネルが共通出力に接続されます。優先順位の低い入力電源がV_{OUT}に接続されていて、それより優先順位の高い入力電源が有効になると、LTC4417は優先順位の低い電源を切断して、優先順位の高い入力電源をV_{OUT}に接続します。

標準的なLTC4417アプリケーションは、複数の入力電源の予測可能な自律式負荷制御が求められるシステムです。これらの電源は、必ずしも電圧が異なる必要はなく、最も高い電圧が主要電源である必要もありません。LTC4417の標準的なアプリケーション回路を図1に示します。外付け部品の選択の詳細については以下のセクションで詳しく説明します。

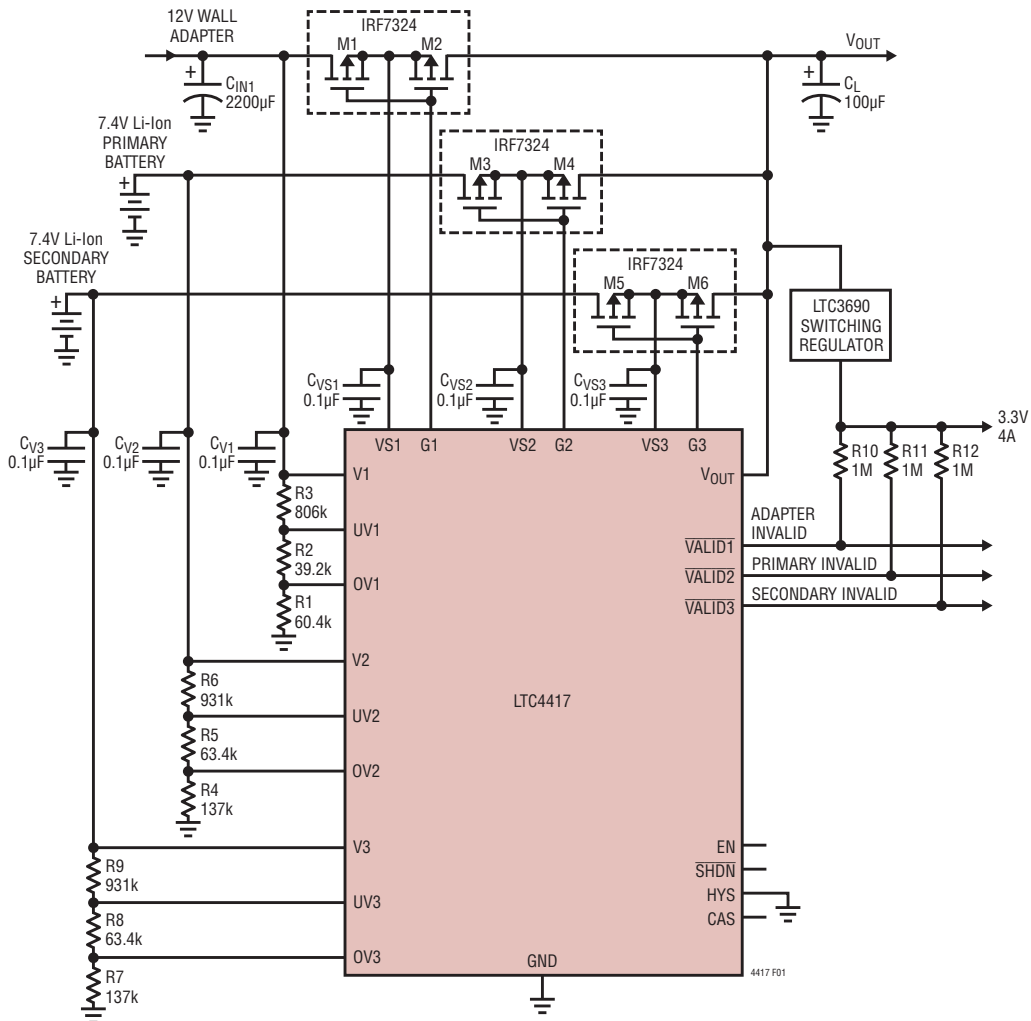


図1. 標準的なハンドヘルド・コンピュータ・アプリケーション

アプリケーション情報

動作範囲の定義

活線挿入時にノイズやトランジェント電圧の事象から保護するため、LTC4417では、入力電源がOV/UVの範囲内に256ms以上とどまって有効になることが必要です。各入力電源のOV/UV範囲は、図1に示すように、入力電源とGNDの間に接続されている抵抗分割器(たとえば、入力電源V1の場合はR1、R2、およびR3)で設定します。OVおよびUVの入力電源しきい値に合わせて抵抗分割器の値を設定する場合は、入力電源の許容誤差、OVおよびUVコンパレータの1.5%の誤差、R1、R2、およびR3の許容誤差、および最大±20nAのOV/UVピン漏れ電流を考慮に入れてください。

許容誤差の検討以外に、ヒステリシスは有効な入力電源動作範囲を狭めます。入力電源は、その電圧を狭まった入力電源動作範囲内に入れて有効化する必要があります。図2を参照すると、電源V1がUVフォルト状態から脱するには、V1の電圧がUV_{HYS}より高くなる必要があります。OVフォルトが発生した場合、V1がOVフォルトから脱するには、V1の電源電圧がOV_{HYS}の電圧より低い電圧まで戻る必要があります。

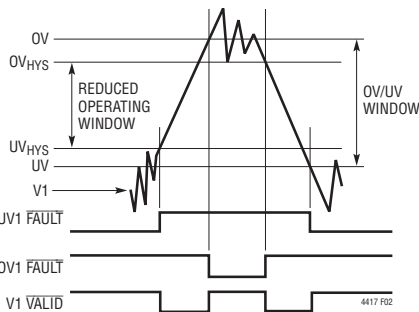


図2. OVしきい値、UVしきい値、およびヒステリシス電圧

OVおよびUVコンパレータのヒステリシスは、HYSピンを介して設定します。これには2つのオプションがあります。図3に示すように、HYSピンとGNDの間に抵抗(R_{HYS})を接続すると、UV1、UV2、およびUV3ピンに流れ込み、OV1、OV2、およびOV3ピンから流れ出すI_{OV_UV(HYS)}が設定されます。R_{HYS}の値は式(1)で計算します。R_{HYS}は、ヒステリシス電流を50nA～500nAの範囲に制限するように選択します。

$$R_{HYS} = \frac{63mV}{I_{OVUV(HYS)}} \quad (1)$$

ここで、 $50nA \leq I_{OVUV(HYS)} \leq 500nA$ です。

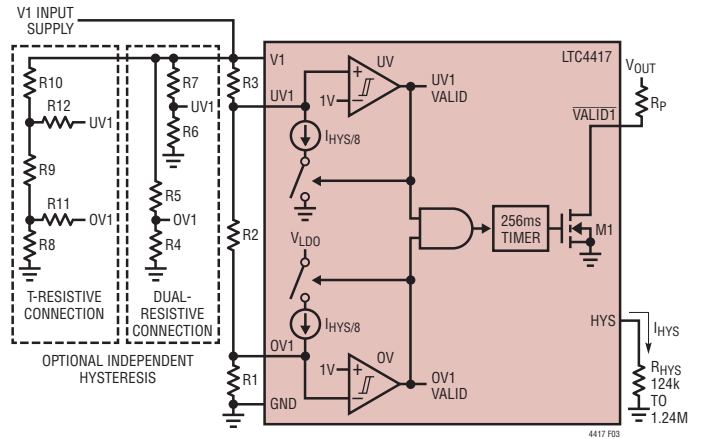


図3. LTC4417の外部ヒステリシス

図3に示す1列の抵抗分割器R1、R2、およびR3を2列の抵抗列R4-R5およびR6-R7に分割すれば、OVおよびUVのヒステリシスの値を個別に設定できます。このような構成では、上側の抵抗でヒステリシスの大きさを定義し、下側の抵抗でしきい値を定義します。値を計算するには、式(2)および(3)を使用します。

$$R_{TOP} = \frac{HYST}{I_{OVUV(HYS)}} \quad (2)$$

ここで、HYSTはV1での目的のヒステリシス電圧です。

$$R_{BOTTOM} = \frac{R_{TOP}}{(OV/UV\ Threshold) - 1} \quad (3)$$

値の大きい独立したヒステリシス電圧が必要な場合は、やはり図3に示すように、T字型の抵抗構造を使用してヒステリシスの値を定義することができます。抵抗R8～R10を使用して目的のOVおよびUVしきい値を設定したら、R11およびR12は次式を使用して計算します。

$$R_{11} = \frac{R_8 \cdot [OV_{HYS} - I_{OVUV(HYS)} \cdot (R_9 + R_{10})]}{I_{OVUV(HYS)} \cdot (R_8 + R_9 + R_{10})} \quad (4)$$

$$R_{12} = \frac{(R_8 + R_9) \cdot [UV_{HYS} - I_{OVUV(HYS)} \cdot R_{10}]}{I_{OVUV(HYS)} \cdot (R_8 + R_9 + R_{10})} \quad (5)$$

ここで、OV_{HYS}、UV_{HYS}は、V1～V3での目的のOVおよびUVヒステリシス電圧の大きさであり、I_{OVUV(HYS)}は設定されたヒステリシス電流です。

アプリケーション情報

有効な動作範囲の縮小を利用して、切断された高インピーダンスの入力電源を再接続しないようにすることができます。たとえば、全直列抵抗が675mΩの直列に接続された3本の単3アルカリ電池を使用して500mAを供給する場合、直列抵抗に起因する電圧降下は337.5mVになります。電池が放電され、UVフォルトによって切断されると、3本組の単3電池の内部直列抵抗両端の電圧降下は337.5mVに戻ります。30mV固定の内部ヒステリシスを使用すると、入力ピンでのヒステリシスはわずか81mVとなり、入力電源の再有効化および再接続が可能となる場合があります。外部ヒステリシスを使用すると、図4に示すように、ヒステリシス電圧が400mVまで増加するので、再接続の問題が起りにくくなるか解消されます。

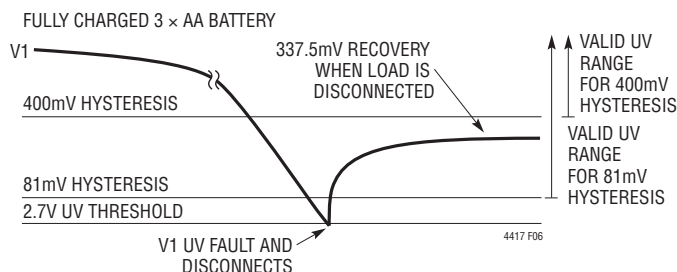


図4. 高めのUVヒステリシスを設定することによる不要な再接続の防止

図5に示すようにHYSピンをGNDに接続すると、内部の30mV固定ヒステリシスが選択され、入力電源電圧の3%という結果になります。

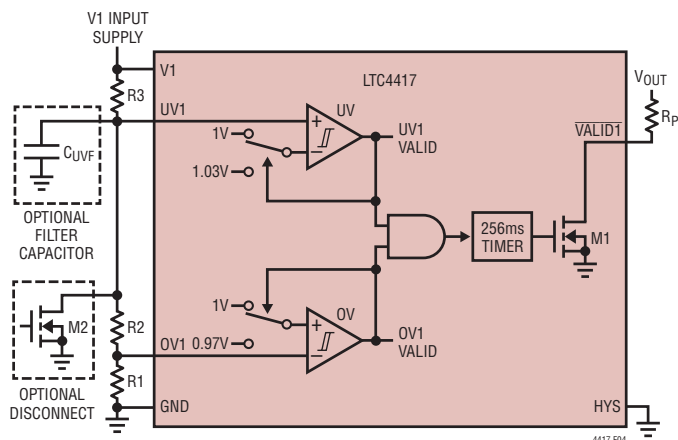


図5. オプションのフィルタ・コンデンサと手動切断用MOSFETを取り付けた場合のLTC4417内部ヒステリシス

OVピンおよびUVピンでのノイズの除去

LTC4417のOV/UVフォルト・フィルタ時間は8μsです。8μsのフィルタ時間では不十分な場合は、OVピンまたはUVピンとGNDの間にフィルタ・コンデンサを追加してフォルト・フィルタ時間を延長し、トランジェント事象を乗り切ります。UVピンのフォルト・フィルタ時間延長コンデンサ(C_{UVF})を図5に示します。

UVピンのC_{UVF}を選択するときは式(6)を使用し、OVピンのC_{OVF}を選択するときは式(7)を使用します。

$$C_{UVF} = t_{DELAY} \cdot \frac{R1+R2+R3}{R3 \cdot (R1+R2)} \cdot \ln \left[\frac{V_i - V_f}{1V - V_f} \right] \quad (6)$$

$$C_{OVF} = t_{DELAY} \cdot \frac{R1+R2+R3}{R1 \cdot (R2+R3)} \cdot \ln \left[\frac{V_i - V_f}{1V - V_f} \right] \quad (7)$$

ここで、最終入力電圧V_fおよび初期入力電圧V_iは、図6に示すように、入力電源ステップを抵抗分割した値です。

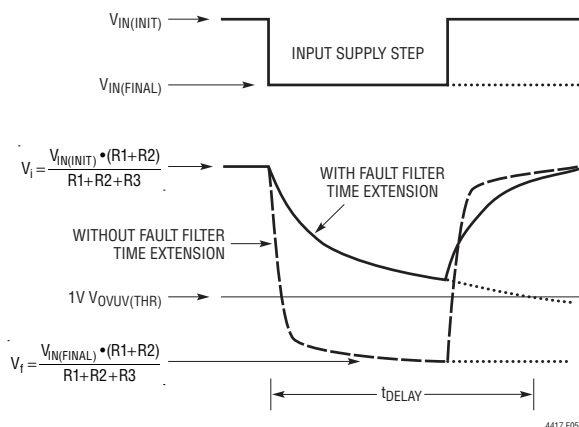


図6. フォルト・フィルタの時間延長

フィルタ時間の遅延を延長すると、高速のUVフォルトおよびOVフォルトに対する応答が遅くなります。UVピンのフォルト・フィルタ時間の遅延を延長すると、OVピンの遅延も長くなります。これが望ましくない場合は、図3に示すように1列の抵抗を2列に分けてください。

優先順位の再割り当て

接続されている入力電源は、UVフォルトを人為的に作成することによって手動で切断できます。例を図5に示します。NチャネルMOSFET(M2)がオンすると、UV1ピンの電圧は1Vより

アプリケーション情報

低くなります。その結果、LTC4417はV1を切断して、次に優先順位の高い有効なチャネルをV_{OUT}に接続します。外付けのNチャネルMOSFETを選択する場合は、抵抗分割器を調整して消費電流を増やすことによってUVとOVのしきい値を設定するときに、ドレインの漏れ電流を考慮に入れるようにしてください。

外付けPチャネルMOSFETの選択

LTC4417は、逆並列接続の外付けPチャネルMOSFETを駆動して入力電源と負荷の間を流れる負荷電流を導通させるか、または遮断します。外付けのPチャネルMOSFETを選択する場合、考慮すべき重要なパラメータは、オン抵抗(R_{DS(ON)})、ドレイン-ソース間耐圧の絶対最大定格(BV_{DSS(MAX)})、しきい値電圧(V_{GS(TH)})、電力損失、および安全動作領域(SOA)です。

必要なR_{DS(ON)}を求めるには、式(8)を使用します。ここでV_{DROP}は、アプリケーションの最大負荷電流(I_{L(MAX)})が流れる場合、2つの直列MOSFETの両端に生じる必要な最大電圧降下です。外付けのPチャネルMOSFETデバイスを並列に接続することにより、抵抗をさらに低減し、並列化した各MOSFETの電力損失をさらに減少させることができます。

$$R_{DS(ON)} \leq \frac{V_{DROP}}{2 \cdot I_{L(MAX)}} \quad (8)$$

クランプされたゲート駆動出力は、共通のソース接続点から4.5V(最小)です。ロジック・レベルまたはしきい値が低めの外付けMOSFETを選択して、オーバードライブが適切になるようにしてください。クランプ電圧より電圧の低い入力電源を使用するアプリケーションでは、完全な導通を保証するために、しきい値が入力電源電圧より十分に低い外付けMOSFETを選択してください。

外付けのPチャネルMOSFETデバイスは、そのBV_{DSS(MAX)}定格をアプリケーションで超えないようにすることが絶対に必要です。アプリケーションで出現する電圧より高いBV_{DSS(MAX)}定格のデバイスを選択してください。入力容量または出力容量あるいはその両方の値が小さいスイッチング誘導性電源の入力には、追加の予防措置が必要ことがあります。詳細については、「トランジェントに対する電源の保護」のセクションを参照してください。

通常の動作では、外付けのPチャネルMOSFETデバイスは、完全に導通していて電力損失が比較的低い状態か、オフしていて電力損失がない状態のいずれかです。ただし、スルーレートが制御された起動時には、外付けのPチャネルMOSFETで多大な電力損失が発生します。外付けのPチャネルMOSFETは、スルーレートが制限される最初のターンオン時に最大の電力を損失します。この場合、MOSFETが電流を供給している間は、その両端に全入力電圧が印加されます。電力損失は出力電圧が上昇するにつれて直ちに減少し始め、MOSFET両端の電圧降下を減少させます。

特定のデバイスがソフトスタートをサポートできるかどうかを調べるための慎重な方法は、瞬間的な電力の最大値が出力スルーイングの開始時にメーカーのSOA曲線の範囲内であることを確認する方法です。まず、式(9)を使用してソフトスタートの時間を求め、式(10)を使用して負荷コンデンサに流れ込む突入電流を求めます。

$$t_{STARTUP} = \frac{V_{IN}}{5[V/ms]} \quad (9)$$

$$I_{MAXCAP} = C_L \cdot 5000[V/s] \quad (10)$$

外付けのMOSFETによる起動時の電力損失(P_{SS})は、V_{IN}およびI_{MAXCAP}を使用して、式(11)で定義されます。LTC4417が通電中のI_Lによりソフトスタートで起動する場合は、その分の負荷電流をI_{MAXCAP}に追加する必要があり、P_{SS}は式(12)で計算します。

$$P_{SS} = V_{IN} \cdot I_{MAXCAP} \quad (11)$$

$$P_{SS} = V_{IN} \cdot (I_{MAXCAP} + I_L) \quad (12)$$

P_{SS}と単一パルスの時間t_{STARTUP}が、選択したMOSFETの安全動作領域(SOA)内に入っていることを確認してください。抵抗分割器が最大動作温度でドレイン-ソース間漏れ電流を流し込むことができることを確認してください。ドレイン-ソース間の最大漏れ電流I_{DSS}については、メーカーのデータシートを参照してください。

推奨のPチャネルMOSFETのリストを表1に示します。このセクションに概要を示す手順に従い、選択したMOSFETのメーカーのデータシートに記載のSOA曲線を使用して、アプリケーションでの適合性を確認してください。

アプリケーション情報

表 1. 推奨のPチャンネルMOSFETのリスト

V1, V2, V3	MOSFET	V _{TH} (MAX)	V _{GS} (MAX)	V _{DS} (MAX)	25°CでのR _{DS(ON)} の最大定格
≤5V	Si4465ADY	-1V	±8V	-8V	-4.5Vで9mΩ -2.5Vで11mΩ
≤10V	Si4931DY*	-1V	±8V	-12V	-4.5Vで18mΩ -2.5Vで22mΩ
≤18V	FDS8433A	-1V	±8V	-20V	-4.5Vで47mΩ -2.5Vで70mΩ
≤18V	IRF7324*	-1V	±12V	-20V	-4.5Vで18mΩ -2.5Vで26mΩ
≤28V	Si7135DP	-3V	±20V	-30V	-4.5Vで6.2mΩ
≤28V	FDS6675BNZ	-3V	±20V	-30V	-4.5Vで22mΩ
≤28V	AO4803A*	-2.5V	±20V	-30V	-4.5Vで46mΩ
≤36V	SUD50P04	-2.5V	±20V	-40V	-4.5Vで30mΩ
≤36V	FDD4685	-3V	±20V	-40V	-4.5Vで35mΩ
≤36V	FDS4685	-3V	±20V	-40V	-4.5Vで35mΩ
≤36V	Si4909DY*	-2.5V	±20V	-40V	-4.5Vで34mΩ
≤36V	Si7489DP	-3V	±20V	-100V	-4.5Vで47mΩ

*はデュアルPチャンネルであることを示す

逆電圧保護

LTC4417は、V1、V2、およびV3ピンに印加された、V_{OUT}を基準にして最大-84Vまでの逆電圧に耐えられるように設計されています。逆電圧の定格が大きいことにより、36Vの入力電源と、V_{OUT}ピンに接続されている下流のデバイスが、-42V（絶対最大定格）という高い逆電圧接続から余裕をもって保護されます。

V_{OUT}とV1、V2、またはV3との間で予想される逆電圧に対応できるBV_{DSS}(MAX)定格を持つ逆並列接続のPチャンネルMOSFETを選択します。逆接続が保護された入力(V1、V2、およびV3)に接続されたトランジェント電圧サプレッサ(TVS)が双方向であることと、入力コンデンサの定格が負の電圧に対する値であることを確認してください。

逆電流の遮断

チャンネルを高い電圧から低い電圧に切り替える場合、REVコンパレータは、V_{OUT}の電圧が接続先チャンネルの電圧より120mV低いことを検証し、その後、新しいチャンネルをV_{OUT}に接続するのを許可します。これにより、切り替え時に逆方向の導通が発生する可能性は皆無かそれに近い状況が確保されます。

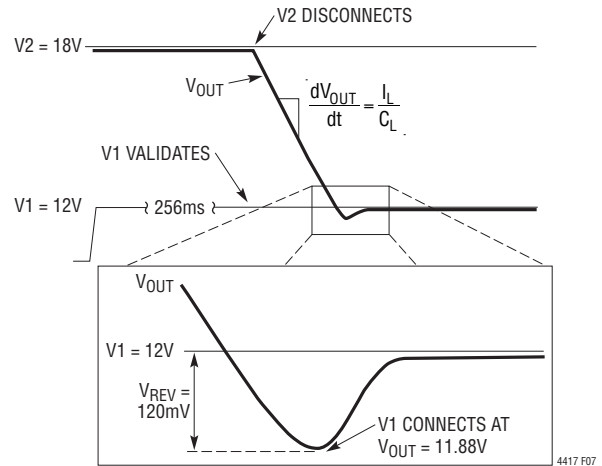


図 7. 逆電流の遮断

例を図7に示します。優先順位の高い入力電源(V1)が挿入されると、V2は最初はV_{OUT}に接続されます。LTC4417はV1を有効化してV2を切断し、負荷電流を負荷容量で割った値で決まるスルーレイトでV_{OUT}を18Vから11.88Vに低下させます。V_{OUT}が11.88Vに低下すると、LTC4417はV1をV_{OUT}に接続します。

V_{OUT}の容量の選択

出力での電圧低下が最小になるようにするには、チャンネル切り替え時の不動作時間を乗り切るのに十分な容量の低ESRコンデンサを選択してください。低ESRの大容量コンデンサは、出力電圧に対するIRによる電圧降下を低減できる上に、このコンデンサからは負荷電流が供給されます。式(13)を使用して、OV/UVコンパレータの遅延(t_{pVALID(OFF)})とブレーク・ビフォア・メーク時間(t_{G(SWITCHOVER)})を加えた時間を乗り切る負荷コンデンサの値を計算します。

$$C_L \geq \frac{I_{L(MAX)} \cdot (t_{G(SWITCHOVER)} + t_{pVALID(OFF)})}{V_{OUT_DROOP(MAX)}} \quad (13)$$

ここで、I_{L(MAX)}は流れる最大負荷電流、V_{OUT_DROOP(MAX)}は出力での電圧低下の最大許容量を表します。

式(13)では、突入電流制限回路が不要であることが前提になっています。必要な場合は図8を参照し、C_Lに対して次の式(14)を使用してください。

$$C_L \geq \frac{I_{L(MAX)} \cdot (t_{G(SWITCHOVER)} + t_{pVALID(OFF)} + 0.79 \cdot R_S \cdot C_S)}{V_{OUT_DROOP(MAX)}} \quad (14)$$

アプリケーション情報

ここで、 R_S および C_S は図8に示す部品の値です。 R_S と C_L を選択するときは、反復処理が必要になります。まず、 $0.79 \cdot R_S \cdot C_S = 10\mu s$ と仮定することから始めて、式(14)を使用して C_L を選択します。突入電流制限回路の詳細と R_S の選択の詳細については、「突入電流と入力電圧の電圧低下」のセクションを参照してください。

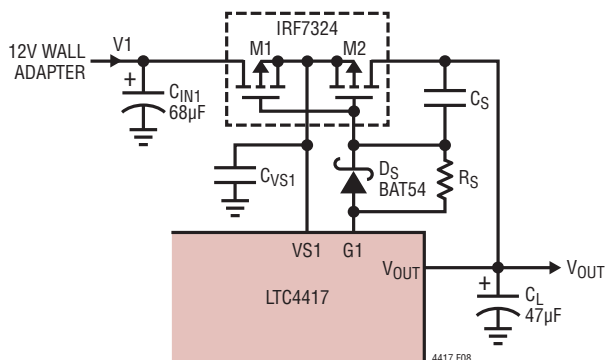


図8. スルーレートで制限するゲート駆動

ゲート・ドライバ

1つのチャンネルがオンになると、LTC4417は、Pチャンネルのソース・フォロワおよび $2\mu A$ の電流源により、共通ゲート接続ピン(G1、G2、およびG3)の電圧を低くします。VS1、VS2、およびVS3ピンの電圧が5V以上になると、VSピンとGピンの間に10nFを接続している場合、立ち上がりスルーレートは12V/ μs になり、立ち下がりスルーレートは4V/ μs になります。VS1、VS2、およびVS3ピンの電圧が5Vより低いと、スルーレートは低くなります。詳細については、標準的な曲線を参照してください。G1、G2、およびG3ピンの電圧が6.2Vのクランプ電圧に近づくと、ソース・フォロワはその電流を順調に減らしますが、これに対して $2\mu A$ の保持電流はG1、G2、およびG3ピンの電圧を引き続き上昇させて最終クランプ電圧に達するので、ソース・フォロワには逆バイアスがかかるようになります。G1、G2、およびG3ピンの電圧をクランプすると、逆並列接続の外付けPチャンネルMOSFETのゲート-ソース間酸化膜に過電圧ストレスが加わるのを防止できます。G1、G2、およびG3ピンへの漏れ電流が $2\mu A$ の保持電流を超えると、G1、G2、およびG3ピンの電圧がクランプ電圧より高くなり、この状態ではソース・フォロワが導通して過剰電流を吸い込みます。チャンネルがオフになると、ゲート・ドライバはオン抵抗が 16Ω のスイッチを使用して共通ゲートの電圧を共通ソースの電圧に引き上げ、迅速なターンオフを実行します。

起動時の突入電流を最小限に抑えるため、ゲート・ドライバは最初の入力のゲート駆動回路をソフトスタートで起動して

V_{OUT} ピンに接続します。ゲート・ピンの電圧は安定化され、 V_{OUT} ピンの立ち上がり速度は一定の5V/msになります。いずれかのチャンネルが切断されるか32msが経過すると、スルーレート制御は終了します。ソフトスタートが終了すると、ゲート・ドライバは逆並列接続の外付けPチャンネルMOSFETを必要に応じて素早くオン/オフします。 \overline{SHDN} ピンが“L”から“H”に遷移するか、 V_{OUT} が0.7Vより低くなると、ソフトスタートは動作を再開します。

突入電流と入力電圧の電圧低下

V_{OUT} の制御を低電圧の電源から高電圧の電源に切り替えると、低電圧出力の低ESR大容量コンデンサへの短時間の接続時に流れる高い突入電流が原因で、大幅な電圧低下が発生することがあります。この高い突入電流は、望ましくないUVフォルトを引き起こすのに十分な大きさになる場合があります。

高電圧の入力を低電圧の出力に接続するときに、突入電流制限回路を追加せずにUVフォルトを誘発しないようにするには、式(15)に示すように、入力バイパス・コンデンサの大きさを、必要な突入電流を供給するのに十分な値にしてください。

$$C_{V1} \geq C_L \cdot \left(\frac{V1 - V_{OUT(INIT)}}{V1_{DROOP}} - 1 \right) \quad (15)$$

ここで、 $V_{OUT(INIT)}$ は、 $V1$ ピンの電圧より低い電源電圧から電力を供給する場合の出力電圧の初期値、 C_{V1} は $V1$ ピンに接続されているバイパス・コンデンサ、 C_L は出力コンデンサ、および $V1_{DROOP}$ は $V1$ ピンでの最大許容電圧低下値です。 C_{V1} は、ESR両端での電圧ステップを最小限に抑えるための低ESRコンデンサにしてください。

入力容量および出力容量を選択するのでは目的とする最大の入力電圧低下値を設定できない状況か、ピークの突入電流が外付けのPチャンネルMOSFETの最大パルス・ドレイン電流(I_{DM})に違反する状況では、出力電圧を制限するスルーレートで突入電流を制限することができます。図8に示すように抵抗、コンデンサ、およびショットキ・ダイオードを使用してゲート・ドライバを構成し、出力をスルーレートで制限することができます。抵抗 R_S とコンデンサ C_S の直列接続は出力のスルーレートを制限するのに対して、ショットキ・ダイオード D_S は、G1ピンの電圧がVS1ピンの電圧になると経路を高速でターンオフすることができます。

目的の入力電圧降下($V1_{DROOP}$)と既知の電源抵抗(R_{SRC})を使用すると、直列抵抗(R_S)を式(16)で計算できます。ここで、 $\Delta V_{G(SINK)}$ はLTC4417のシンク・クランプ電圧、 V_{GS} は負

アプリケーション情報

荷電流および突入電流駆動時の外付けPチャンネルMOSFETのゲート-ソース間電圧、 C_S はスルーレート・コンデンサ、および C_L は V_{OUT} の保持容量です。出力負荷電流(I_L)は、簡略化のため無視されます。 C_S は外付けPチャンネルMOSFETの $C_{RSS}(MAX)$ の10倍以上の大きさのもの、 C_VS は C_S の10倍の大きさのものを選択します。

$$R_S \geq \frac{(\Delta V_{G(SINK)} - V_{GS}) \cdot C_L \cdot R_{SRC}}{C_S \cdot V_{1DR00P}} \quad (16)$$

式(17)を使用して、突入電流の制限値がパルス・ドレイン電流の絶対最大定格 I_{DM} より低いことを確認します。

$$I_{INRUSH} = \frac{V_{1DR00P}}{R_{SRC}} \quad (17)$$

外付けPチャンネルMOSFETの逆転送容量(C_{RSS})を C_S の代わりに使用する場合は、式(16)で C_S を C_{RSS} に置き換えてください。ここで、 C_{RSS} は V_{DS} 電圧が最小のときの値であり、 R_S に対して計算します。 C_{RSS} のサイズによっては、 R_S が大きくなる場合があります。ゲートの漏れ電流によってチャンネルが不用意にオフにならないように、全温度範囲にわたって注意が必要です。このことは、特にゲート-ソース間が組み込みのツェナーで保護されたデバイスの場合に当てはまります。 C_{RSS} の特性は非直線的なので、ベンチによる注意深い特性評価を強く推奨します。

前述の分析では、入力電源電圧と外付けPチャンネルMOSFETのドレインの間に入力インダクタンスが小さいと想定しています。入力インダクタンスが大きい場合は、値が C_L よりはるかに大きい C_{V1} を選択し、 R_{SRC} を C_{V1} のESRで置き換えてください。

出力をスルーレートで制限する場合は、選択した外付けPチャンネルMOSFETに電力損失がメーカのSOAを超えないようにしてください。「外付けPチャンネルMOSFETの選択」のセクションを参照してください。

トランジェントに対する電源の保護

OVフォルトまたはUVフォルトが原因でLTC4417による急な切り替えが行われると、長いケーブルが接続された電源など、誘導性入力電源による大規模なトランジェント過電圧事象が発生することがあります。場合によっては、トランジェント過電圧状態が公称電圧の2倍を超えることもあります。こうした事象が発生すると、外付けデバイスとLTC4417が損傷する可能性があります。クランプされていない誘導性アプリケーションでは逆並列接続の外付けPチャンネルMOSFETデバイスがその単一パルス・アバランシェ・エネルギー規格(EAS)を超えないようにすることと、LTC4417の入力電圧が絶対最大定格を超えないようにすることが必須です。

誘導性電圧スパイクを最小限に抑えるには、配線の幅を広げるか、配線のメッキの重量を増やしてください。リニアテクノロジーの「アプリケーション・ノート88」に説明されているように、スナバ回路を追加すると入力の電圧スパイクが抑えられ、入力にトランジェント・サージ・サプレッサを取り付けると電圧がクランプされます。トランジェント電圧サプレッサ(TVS)は、入力の短絡、または逆電圧接続が生じる可能性があるすべての入力電源ピン(V_1 、 V_2 、および V_3)に取り付けてください。 V_{OUT} に電力を供給している入力電源が短絡する可能性がある場合は、図9に示すように、トランジェント電圧サプレッサを V_{OUT} ピンにも取り付けてください。

トランジェント電圧サプレッサを選択する場合は、逆スタンドオフ電圧(V_R)がアプリケーションの動作電圧以上であること、ピーク・パルス電流(I_{PP})がピーク・トランジェント電圧を電源インピーダンスで割った値より大きいこと、定格の I_{PP} での最大クランピング電圧(V_{CLAMP})がLTC4417の絶対最大定格および逆並列接続されたすべての外付けPチャンネルMOSFETの BV_{DSS} より低いことを確認してください。

20Vより低いアプリケーションでは、外付けPチャンネルMOSFETの BV_{DSS} とLTC4417の絶対最大定格より低い場

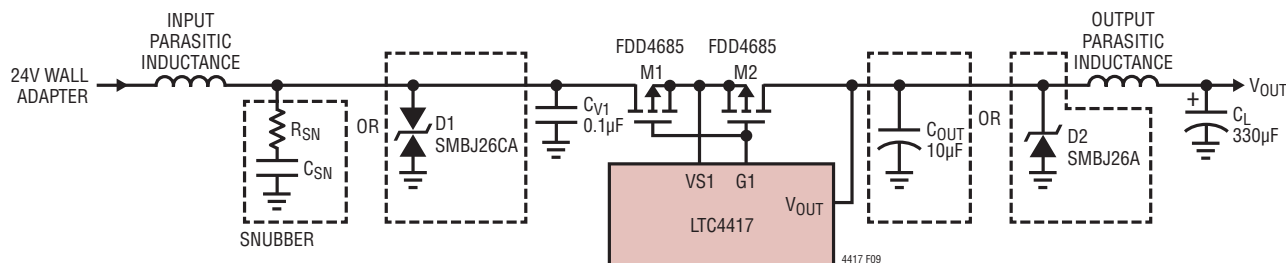


図9. トランジェント電圧の抑制

LTC4417

アプリケーション情報

合、トランジェント電圧サプレッサが不要ことがあります。外付けPチャネルMOSFETの BV_{DSS} を瞬間的に超える場合は、MOSFETによって吸収されるアバランシェ・エネルギーが単一パルス・アバランシェ・エネルギー規格(EAS)を超えないようにしてください。電圧スパイクはスナバ回路によってさらに抑えることができます。

入力電源と V_{OUT} の短絡

入力が短絡すると、電流のスルーレートが高くなる場合があります。入力経路および出力経路の直列の寄生インダクタンスとの結合により、デバイスを破壊する可能性があるトランジェントが入力ピンおよび出力ピンに発生することがあります。 V_{OUT} に電力を供給していない入力に短絡が発生した場合、システムへの影響はありません。共通のゲートが共通のソースに接続されている逆並列接続の外付けPチャネルMOSFETでは、ドレイン接続点の両側に印加されている電圧が BV_{DSS} を超えない限り、その電圧に関係なく、電流は当然流れません。

V_{OUT} に電力を供給している入力に短絡が発生した場合は、逆並列接続のPチャネルMOSFETを介した高い導通電流と出力への低インピーダンスの接続により、問題が複雑になります。LTC4417が大量の入力短絡電流を遮断すると、 V_1 、 V_2 、および V_3 ピンには大きな負の電圧スパイクが加わるのに対して、出力には大きな正の電圧スパイクが加わることがあります。

入力または出力の短絡が発生した場合に、LTC4417とその関連デバイスへの損傷を防ぐには、図9に示すように入力ピンおよび出力ピンを保護することが必要ことがあります。入力ピン(V_1 、 V_2 、および V_3)は単方向または双方向のTVSを使用して保護し、 V_{OUT} ピンは単方向のTVSを使用して保護します。意図的または寄生の直列抵抗を持つ $0.1\mu\text{F} \sim 10\mu\text{F}$ の範囲の入力コンデンサおよび出力コンデンサを接続すると、電圧スパイクを抑えるのに役立ちます。一般的な検討事項については、リニアテクノロジーの「アプリケーション・ノート88」を参照してください。

V_1 、 V_2 、および V_3 ピンから V_{OUT} ピンまでの接続は低インピーダンスなので、出力に短絡すると入力電源のUVフォルトが発生します。UVしきい値が十分高く、短絡時の抵抗値が十分大きい場合、LTC4417は入力を切断します。電流が急速に変化すると出力の電圧がGNDより低い電圧を強いられることがあるのに対して、入力の電圧は高くなります。

UVしきい値をLTC4417の最小動作電圧付近に設定すると、出力がLTC4417の動作電圧より低い電圧になるまで、入力が出力から切断されないことがあります。この状況になると、LTC4417内部の V_{LDO} 電源は動作しなくなります。図10に示すように、 100Ω および 10nF のRCフィルタを V_{OUT} に取り付けると、LTC4417は入力および出力へのこうした短絡を乗り切ることができます。 V_{OUT} はREVコンパレータの検出ピンにもなっているので、抵抗両端の電圧降下を十分に小さくして、逆電圧検出(REV)コンパレータのしきい値に影響しないよう注意が必要です。 $1\mu\text{s}$ のRC時定数では問題が解決しない場合は、容量を増やして時定数を長くします。

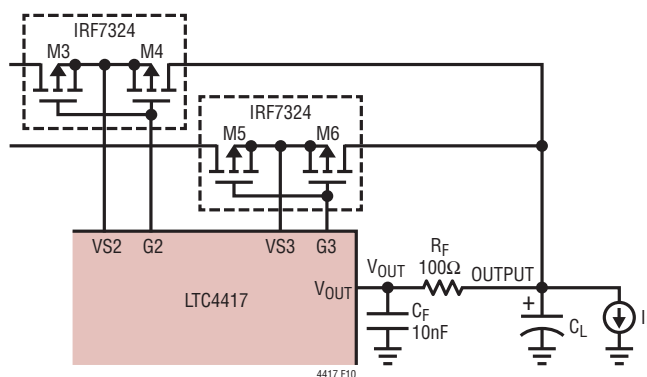


図10. 入力短絡を乗り切るためのRCフィルタ

LTC4417の V_{OUT} ピン(検出ピン兼電力供給ピン)に接続されているRCフィルタに起因する初期遅延によって、逆電圧状態が解消された時点を検出するときの遅延時間が長くなり、高い電圧から低い電圧に遷移するときの電圧低下が増加する結果となります。逆電圧の期間がRCによる遅延時間より長い場合は、出力とフィルタ通過後の V_{OUT} との電圧差(ΔV)を式(18)を使用して計算することができます。 I_L は逆電圧状態時の出力負荷電流、 I_{VOUT} は V_{OUT} ピンに流れ込む電流を表し、電気的特性の表に規定されています。

$$\Delta V = \left(\frac{I_L}{C_L} \cdot C_F - I_{VOUT} \right) \cdot R_F \quad (18)$$

Icc経路の選択

2つの独立した内部電源レールにより、入力電源が1つ以上存在して電圧が2.4Vより高い場合にLTC4417が確実に機能するだけでなく、優先順位の低いバックアップ入力電源から

流れる電流の制限も確実に行われます。内部のダイオードOR構造により、最も電圧の高い入力電源が V_{BLDO} の電源として選択されます。2つの入力電源の電圧が同様に、残りの入力電源の電圧より高い場合、電流は電圧が同様な電源間に均等に分配されます。すべての入力電源の電圧が等しい場合、電流はすべての電源間に均等に分配されます。

優先順位の低いバックアップ電源による電流消費を制限するため、LTC4417は内部 V_{LDO} の電源を優先させます。最も優先順位の高い電源は V_{OUT} で、 V_{OUT} が2.4Vより高い場合は V_{LDO} に電力を供給します。 V_{OUT} が2.4Vより低い場合、 V_{LDO} は最も優先順位の高い有効な入力電源(V1、V2、およびV3)に切り替わります。有効な入力電源がない場合、 V_{LDO} は V_{BLDO} に接続されます。ここでは、ダイオードOR構造によ

り、最も入力電圧の高い入力電源が電圧源として選択されます。詳細については、「標準的性能特性」を参照してください。

2 電源動作

2つの電源にのみ優先順位を付け、3番目のチャンネルの機能を使用しない場合は、使用しないチャンネルのV3、OV3、UV3、VS3、およびG3ピンを接地します。あるいは、V3ピンとVS3ピンを出力に接続し、G3ピンを開放のままにしておくと、最も優先順位の低いOVコンパレータおよびUVコンパレータを使用して電圧をモニタすることもできます。空いているOVコンパレータおよびUVコンパレータを使用してLTC3060の5V出力をモニタする例を図11に示します。VALID3ピンは、オープンドレインのOV/UVウィンドウ・コンパレータ出力として機能します。

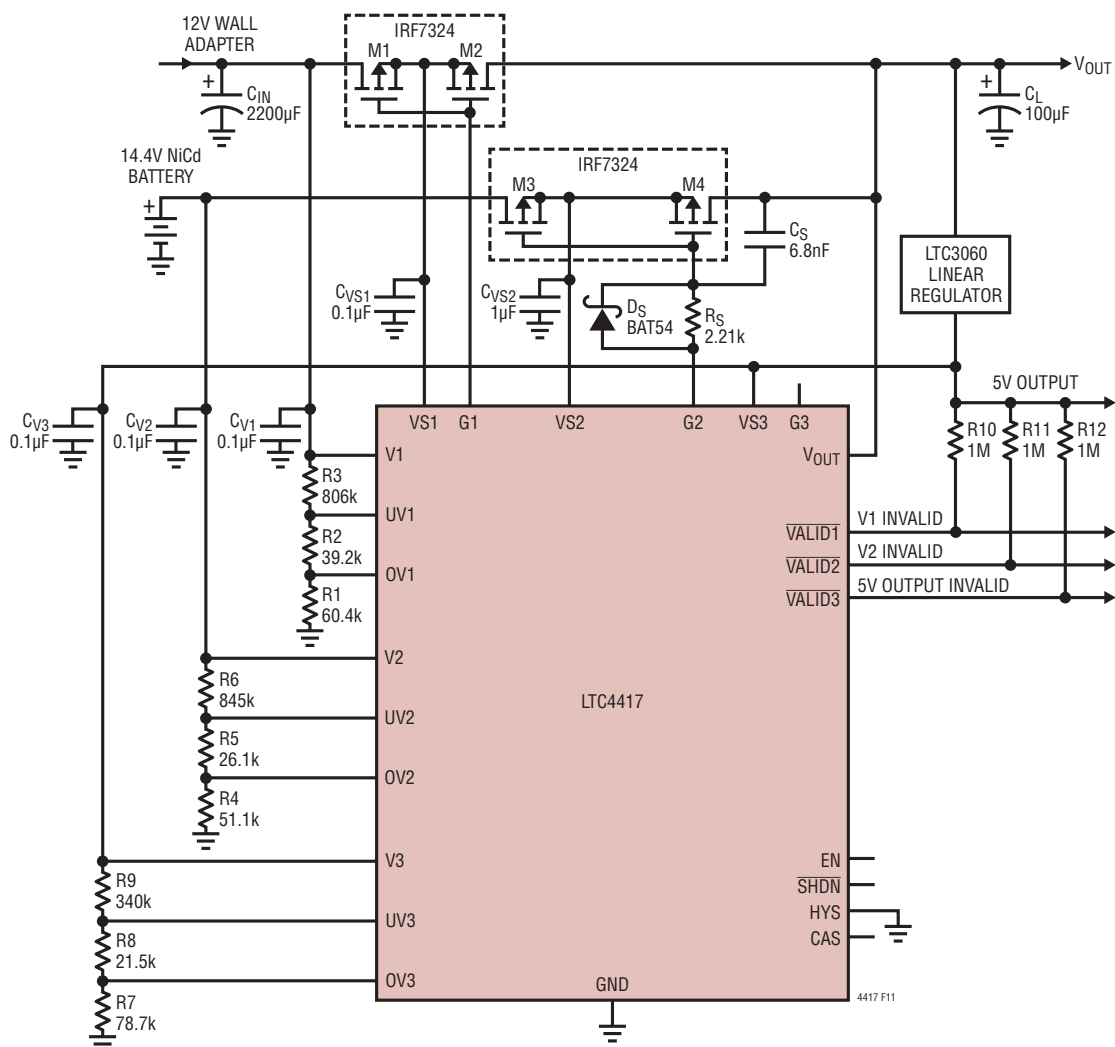


図11. 出力電圧モニタ機能を備えたデュアル・チャンネル

LTC4417

アプリケーション情報

ENおよびSHDNによる全チャンネルのディスエーブル

ENピンの電圧を1Vより低い電圧にすると、逆並列接続の外付けPチャンネルMOSFETはオフになりますが、入力電源のモニタリングが中断されたり256msのタイマがリセットされることはありません。ENピンの電圧を1Vより高くすると、最も優先順位の高い有効なチャンネルがイネーブルされます。この機能はカスケード接続アプリケーションには不可欠です。ENピンの電圧をグラウンドより低くすることができるアプリケーションでは、10kの抵抗を使用してENピンからの電流を制限してください。

SHDNピンの電圧を強制的に0.8Vより低くすると、逆並列接続の外付けPチャンネルMOSFETがすべてオフになり、すべてのOVコンパレータおよびUVコンパレータがディスエーブルされて、すべての256msタイマがリセットされます。VALID1、VALID2、およびVALID3ピンは、すべての入力が無効であることを示すため、入力電源の状態に関係なく、解放されて“H”になります。LTC4417は低電流状態になり、消費電流はわずか15μAになります。SHDNピンを解放するか0.8Vより高い電圧にする場合は、「動作」のセクションで説明したように、LTC4417は入力電源を再有効化してから、入力電源をVOUTに接続することを要求されます。SHDNピンの電圧をグラウンドより低くすることができるアプリケーションでは、10kの抵抗を使用してSHDNピンからの電流を制限してください。

カスケード接続

LTC4417は、カスケード接続することにより、4つ以上の入力電源に優先順位を付けることができます。4つ～6つの電源に優先順位を付けるには、図12に示すように、2つのLTC4417のVOUTピンを互いに接続し、マスタのLTC4417のCASピンをスレーブのLTC4417のENピンに接続して使用します。入力を有効化する最初のLTC4417は、共通の出力のソフトスタートを実行します。出力電圧が2.4Vより高くなると、入力電源の状態に関係なく、他のLTC4417によってVOUTから電力が供給されるようになります。

マスタのLTC4417は、その入力電源の1つをVOUTに接続する場合、1つのチャンネルのターンオンを同時に開始し、そのCASピンを“L”にしてスレーブのLTC4417のチャンネルを強制的に切断します。この場合には、少量の逆導通電流が生じることがあります。相互導通電流の大きさは、スレーブ・チャンネルのターンオフ遅延と比較したマスタ・チャンネルの全ターンオン遅延により異なります。CASピンとENピンの間の接続線をできるだけ短くして、容量(したがってスレーブ・チャンネルのターンオフ遅延)を最小限に抑えるよう留意してください。

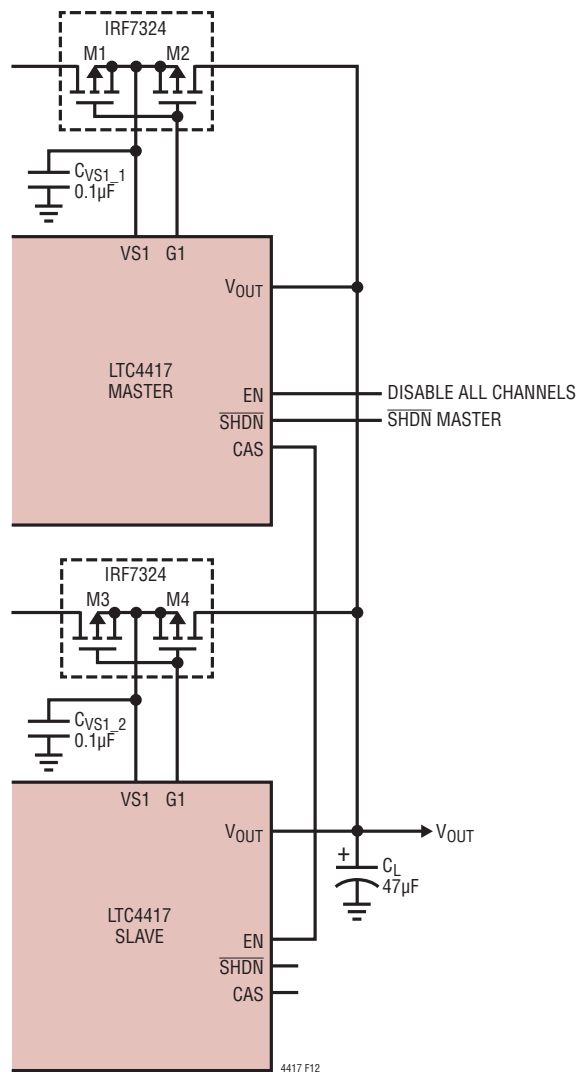


図12. カスケード接続アプリケーション

マスタのLTC4417へのすべての入力が無効である場合、マスタはそのすべての入力VOUTから切り離されていることを確認してからCASピンを解放します。CASピンの電圧は20μAの電流源により内部のVLDOレールの電圧になるので、スレーブのLTC4417を使用して、その最も優先順位の高い有効なチャンネルをVOUTに接続できます。スレーブのチャンネルをVOUTに接続できるようにする前にすべてのチャンネルがオフであることを確認することにより、相互導通の発生を防止できます。

マスタのLTC4417のENピンを“L”にすると、マスタおよびスレーブは、両方とも共通出力からすべてのチャンネルを切り離すことと、入力電源のモニタを継続することを強制されます。マスタのLTC4417のSHDNピンを“L”にすると、そのLTC4417は低電流状態になります。低電流状態の間はそのすべての

アプリケーション情報

チャンネルが切り離され、CASピンは20 μ A電流源によって“H”になるので、スレーブのLTC4417がマスタになり、その最も優先順位の高い有効なチャンネルを共通出力に接続することができます。7つ以上の入力電源に優先順位が付いている場合は、個々のV_{OUT}ピンをすべて互いに接続し、各LTC4417のCASピンを次に優先順位が低いLTC4417のENピンに接続することにより、LTC4417をさらに追加することができます。

設計例

ソース抵抗が20m Ω の12V電源、7.4Vのメインのリチウムイオン・バッテリー、および7.4Vのバックアップ用リチウムイオン・バッテリーから成る2Aの多重入力電源システムは、図13に示すように、12V電源からの給電を優先した設計になっています。電力はメインのバッテリーから供給されるのは12V電源がないときであり、バックアップ用バッテリーが使用されるのは、メインのバッテリーと12V電源の両方を使用できない場合に限られます。システムの周囲温度条件は25 $^{\circ}$ Cと85 $^{\circ}$ Cの間になります。

この設計回路では、切り替え時の出力電圧の低下が800mVに制限されます。低ESR定格のアルミ電解コンデンサを並列接続することにより、負荷コンデンサの最小ESRは85 $^{\circ}$ Cで50m Ω 、25 $^{\circ}$ Cで80m Ω であることを想定しています。入力電源は1Vの電圧降下が許容されます。

外付けPチャンネルMOSFETの選択

設計は、目的のR_{DS(ON)}を備えた適当な2A定格のPチャンネルMOSFETを選択することから始まります。いくつかのMOSFETオプションを検討した結果、このアプリケーションにはR_{DS(ON)}が18m Ω と低く、BV_{DSS}が-20VであるデュアルPチャンネルのIRF7324を選択します。

18m Ω と低いR_{DS(ON)}により、合算した電圧降下は25 $^{\circ}$ Cで72mV、85 $^{\circ}$ Cで85mVになります。PチャンネルMOSFETは、それぞれ25 $^{\circ}$ Cで72mW、85 $^{\circ}$ Cで85mWの電力を損失します。

突入電流の制限

高電圧の電源を低電圧の出力に接続すると、大量の突入電流が流れることがあります。突入電流の大きさは式(19)を使用して計算できます。

$$I_{\text{INRUSH}} = \frac{V_1 - V_{\text{OUT(INIT)}}}{R_{\text{SRC}} + \text{ESR}(C_L) + 2 \cdot R_{\text{DS(ON)}}} \quad (19)$$

ここで、V_{OUT(INIT)}は最初はV₁より低い電源電圧から電力が供給される場合のV_{OUT}の電圧、V₁は電圧が高い方の電源、R_{SRC}はV₁のソース抵抗、ESR(C_L)は負荷容量のESR、R_{DS(ON)}は逆並列接続の外付けMOSFETのオン抵抗です。

入力から出力までの全直列抵抗が与えられている場合、ワーストケースの突入電流が流れるのは、V₁が20%高い電圧(14.4V)で動作していて、V_{OUT}が低電圧の制限値である5.6Vである場合です。この状態の間は、式(20)に示すように、最大突入電流である83Aが流れます。

$$I_{\text{INRUSH}} = \frac{14.4\text{V} - 5.6\text{V}}{20\text{m}\Omega + 50\text{m}\Omega + 36\text{m}\Omega} = 83\text{A} \quad (20)$$

83Aという突入電流はIRF7324のパルス・ドレイン電流の絶対最大定格(I_{DM})である71Aを超えているので、突入電流の制限が必要です。

負荷容量(C_L)と突入電流制限回路の部品(R_S)の値の計算は反復処理です。式(14)を使用し、0.79 \cdot R_S \cdot C_S項を10 μ sに初期設定することから始めます。出力電圧の低下を目的の800mVに制限するには、出力コンデンサのESRに流れる負荷電流に起因する初期の電圧低下に対して200mVを取っておきます。次に、式(21)に示すように、C_Lを選択してV_{OUT}の電圧低下の最大値を600mVに設定します。

$$C_L = \frac{2\text{A} \cdot (3\mu\text{s} + 12\mu\text{s} + 10\mu\text{s})}{600\text{mV}} \quad (21)$$

$$C_L = 83.3\mu\text{F}$$

余裕を持たせるため、C_Lの初期値は100 μ Fを選択し、式(16)を使用してR_Sを求めます。許容できる1Vの入力電圧降下と20m Ω のソース抵抗(R_{SRC})により、700mVの入力電圧低下を使用して35Aの突入電流を設定します。式に代入するその他の項は、外付けPチャンネルMOSFETメーカーのデータシートから数値を読み取ります。伝達特性曲線により、35Aの突入電流を駆動する場合のゲート電圧V_{GS}は約1.8Vであることが示され、容量とドレイン-ソース間電圧の曲線により、C_{RSS}の最大値は約600pFであることが示されます。C_SはC_{RSS}の10倍より大きい値、つまり6.8nFに設定されます。設計した突入電流がパルス・ドレイン電流の絶対最大定格(I_{DM})より必ず小さくなるように、 $\Delta V_G(\text{SINK})$ およびC_Lは最大値、C_Sは最小値を使用してR_Sを計算してください。アルミ電解コンデンサ

アプリケーション情報

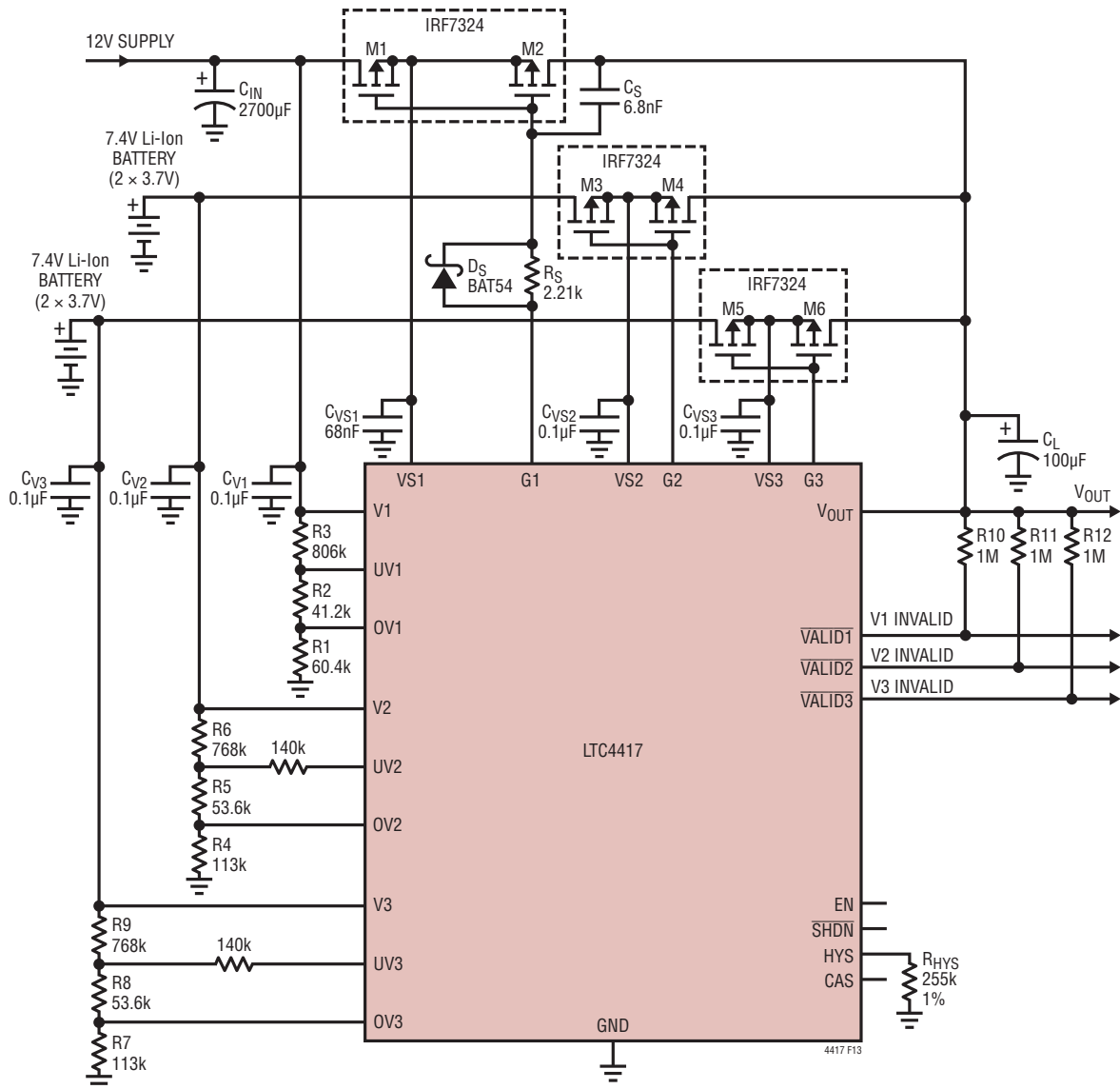


図13. 産業用ハンドヘルド・コンピュータ

の場合は C_L の値に20%加算し、セラミックのNP0 C_S コンデンサの場合は5%減算します。

$$R_S = \frac{(6V - 1.8V) \cdot 120\mu F \cdot 20m\Omega}{6.5nF \cdot 700mV} \quad (22)$$

$$R_S = 2.22k\Omega$$

R_S には標準値の2.21k Ω を選択し、 C_{VS1} には C_S の10倍つまり68nFを選択します。1.8Vは V_{GS} の標準値ですが、 $V_{GS} = 0V$ であっても得られる I_{DM} は定格の71Aより低くなるので十分に余裕があります。

R_S と C_S が既知の場合、突入電流を制限するときに必要な負荷容量は、式(23)に示すように式(14)を使用して確認します。必要な負荷容量である90 μF は、選択した負荷容量である100 μF より小さいので、100 μF は最初の選択肢として適しています。

$$C_L \geq \frac{2A \cdot (3\mu s + 12\mu s + 0.79 \cdot 2.21k\Omega \cdot 6.8nF)}{600mV} \quad (23)$$

$$C_L \geq 90\mu F$$

アプリケーション情報

チャンネルの遷移時間中は大量の電力が消費されます。PチャンネルMOSFETのSOAを調べて、SOAに違反しないことを確認してください。

ワーストケースのスルーレートで制限される遷移時間となるのは、リチウムイオン・バッテリーが5.6Vという低電圧で動作していて、電源が20%高めの電圧である14.4Vで動作しているときに接続された場合です。この結果、式(24)に示すように遷移時間は25μsになります。

$$dt = \frac{(14.4V - 5.6V) \cdot 100\mu F}{35A} \quad (24)$$

$$dt = 25\mu s$$

25μsでのIRF7324の熱応答曲線を見ると、単一パルスでのZ_{θJA}は約0.18であることが分かります。Z_{θJA}が0.18の場合、トランジェント時の最大電力損失は25°Cで694W、85°Cで361Wとなります。外付けPチャンネルMOSFETがこの時間内に損失する電力は8.8V・37A = 325W未満であり、これは85°Cで可能な361Wより低い値です。

逆並列接続の外付けMOSFETは、最初のソフトスタート期間にも大量の電力損失を強いられます。この期間中のSOAを調べるには、式(9)から始めます。

$$t_{STARTUP}(ms) = \frac{12V}{5[V/ms]} \quad (25)$$

$$t_{STARTUP}(ms) = 2.4ms$$

式(10)を使用してI_{MAXCAP}の電流値が500mAと計算されます。

$$I_{MAXCAP} = 100\mu F \cdot 5[V/ms] \quad (26)$$

$$I_{MAXCAP} = 500mA$$

式(11)から求めたワーストケースのソフトスタート時電力損失は、次のとおりです。

$$P_{SS}(W) = 12V \cdot 500mA \quad (27)$$

$$P_{SS}(W) = 6W$$

ソフトスタート時の電力損失である6Wは、T_Cが25°Cのときのトランジェント時電力損失(P_{DM})の計算値である79.4Wよりかなり低い値です。周囲温度(T_A)が85°CのときP_{DM}は41.3Wになるので、2.4msのトランジェント中、6Wの電力損失に十分対応できることを示しています。メーカーのSOA曲線を使用したグラフでの照合により、動作上十分な余裕があることを確認できます。

動作範囲の設定

12V電源の許容範囲を±20%と仮定すると、入力電源が動作する低電圧の制限値は9.6Vであり、過電圧の制限値は14.4Vです。UV1、UV2、UV3、OV1、OV2、OV3の各しきい値はこれらの制限値に設定するのが理想です。ただし、実際のしきい値には1.5%のばらつきがあり、抵抗の許容誤差は1%なので、UVおよびOVの制限値は±26%、つまり8.9Vおよび15.1Vに調整する必要があります。さらに、UVのヒステリシスは、内部で固定の30mVを使用するのではなく250nAの外部ヒステリシス電流を使用して、200mVに設定します。

設計作業は、式(1)を使用してR_{HYS}を設定することから始めます。

$$R_{HYS} = \frac{63mV}{250nA} = 252k\Omega \quad (28)$$

この値に最も近い標準値は255kΩです。

ここで、R3を使用してUVヒステリシスの値を設定します。

$$R3 = \frac{\text{Desired Hysteresis}}{I_{OVUV(HYS)}} = \frac{200mV}{247nA} = 810k\Omega \quad (29)$$

この値に最も近い標準値は806kΩです。

R3を設定したので、残りの抵抗は以下のようにして求めることができます。

$$R_{1,2} = \frac{R3}{UV_{TH(FALLING)} - V_{OVUV(THR)}} \quad (30)$$

$$= \frac{806k\Omega}{8.9V - 1V} = 102k\Omega$$

R1の値は次のようになります。

$$R1 = \frac{R_{1,2} + R3}{OV_{TH(RISING)}} = \frac{102k\Omega + 806k\Omega}{15.1V} = 60.1k\Omega \quad (31)$$

この値に最も近い1%精度の標準値は60.4kΩです。

R2の値は次のようになります。

$$R2 = R_{1,2} - R3 = 102k\Omega - 60.4k\Omega = 41.6k\Omega \quad (32)$$

この値に最も近い1%精度の標準値は41.2kΩです。

アプリケーション情報

これは1列の抵抗(R2、R3)なので、 $I_{OV_UV(HYS)}$ と式(30)によってヒステリシス電圧が次のように設定されます。

$$OV_{HYS} = (R2 + R3) \cdot I_{OVUV(HYS)} = (41.2k\Omega + 806k\Omega) \cdot 247nA = 209mV \quad (33)$$

この結果、OVしきい値は15.0V、UVしきい値は8.9Vになります。ヒステリシスを考慮すると、 OV_{HYS} しきい値は14.8V、 UV_{HYS} しきい値は9.1Vになります。OVおよびUVの目標精度は6%なので、この例で使用した1%精度の抵抗は許容範囲内です。

V2の場合のR4～R6、V3の場合のR7～R9の値は同様にし計算します。

レイアウトに関する検討事項

1オンスの銅のシート抵抗は、約 $530\mu\Omega/\text{平方}$ です。小さい値ではありますが、大電流アプリケーションでは抵抗の影響が急激に増大します。大電流の配線は最小配線幅を1Aあたり0.02インチにして短く保ち、配線が適度な温度にとどまるようにしてください。1Aあたり0.03インチ以上の幅をすることを推奨します。ノイズ耐性を改善するには、OV/UV抵抗分割器をLTC4417にできるだけ近づけて配置します。トランジェント電圧サプレッサは、入力コネクタにできるだけ近づけて配置し、GNDまでの配線は短く幅の広いものにしてください。これらの問題に対処したレイアウトの一部を図14に示します。

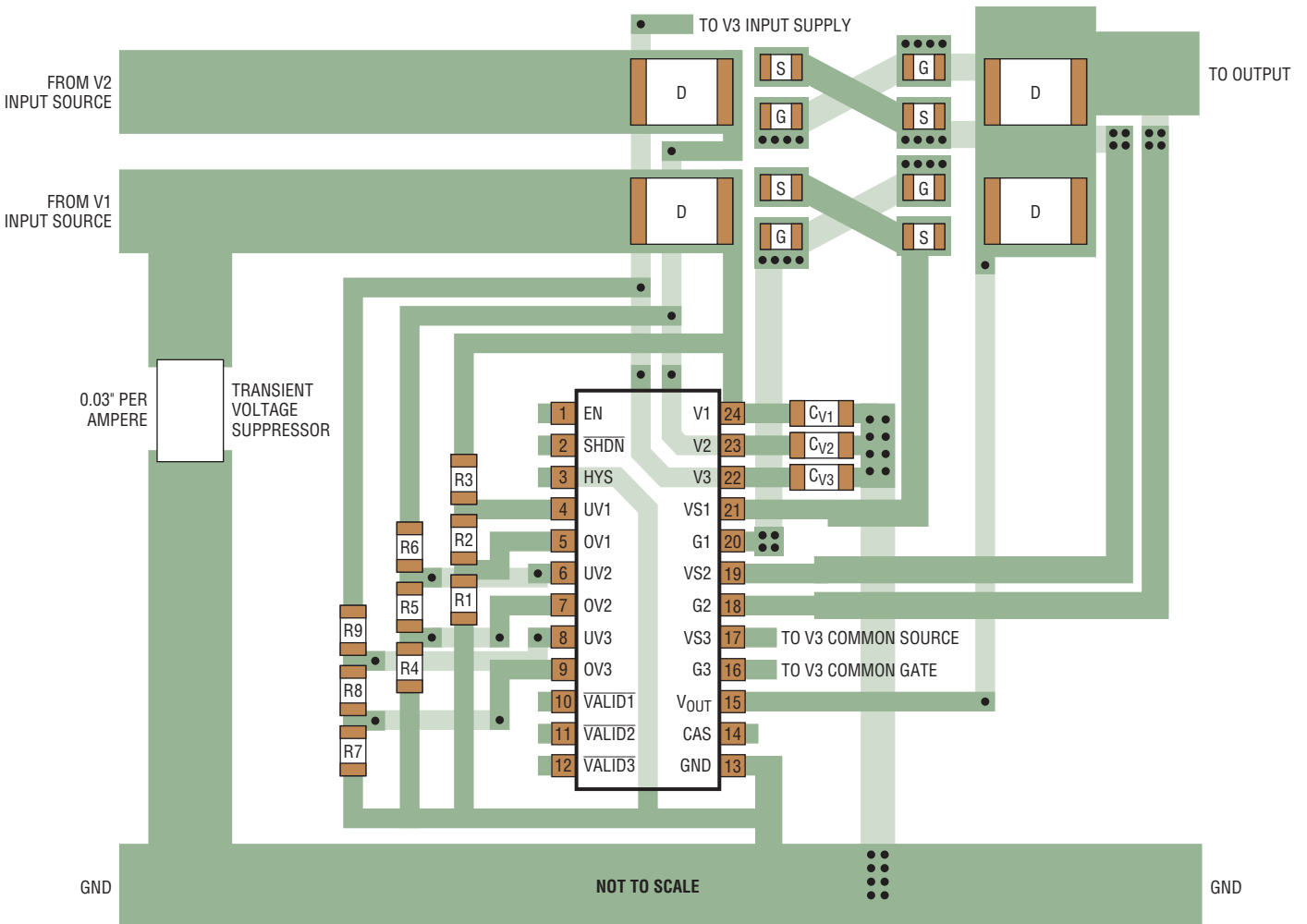
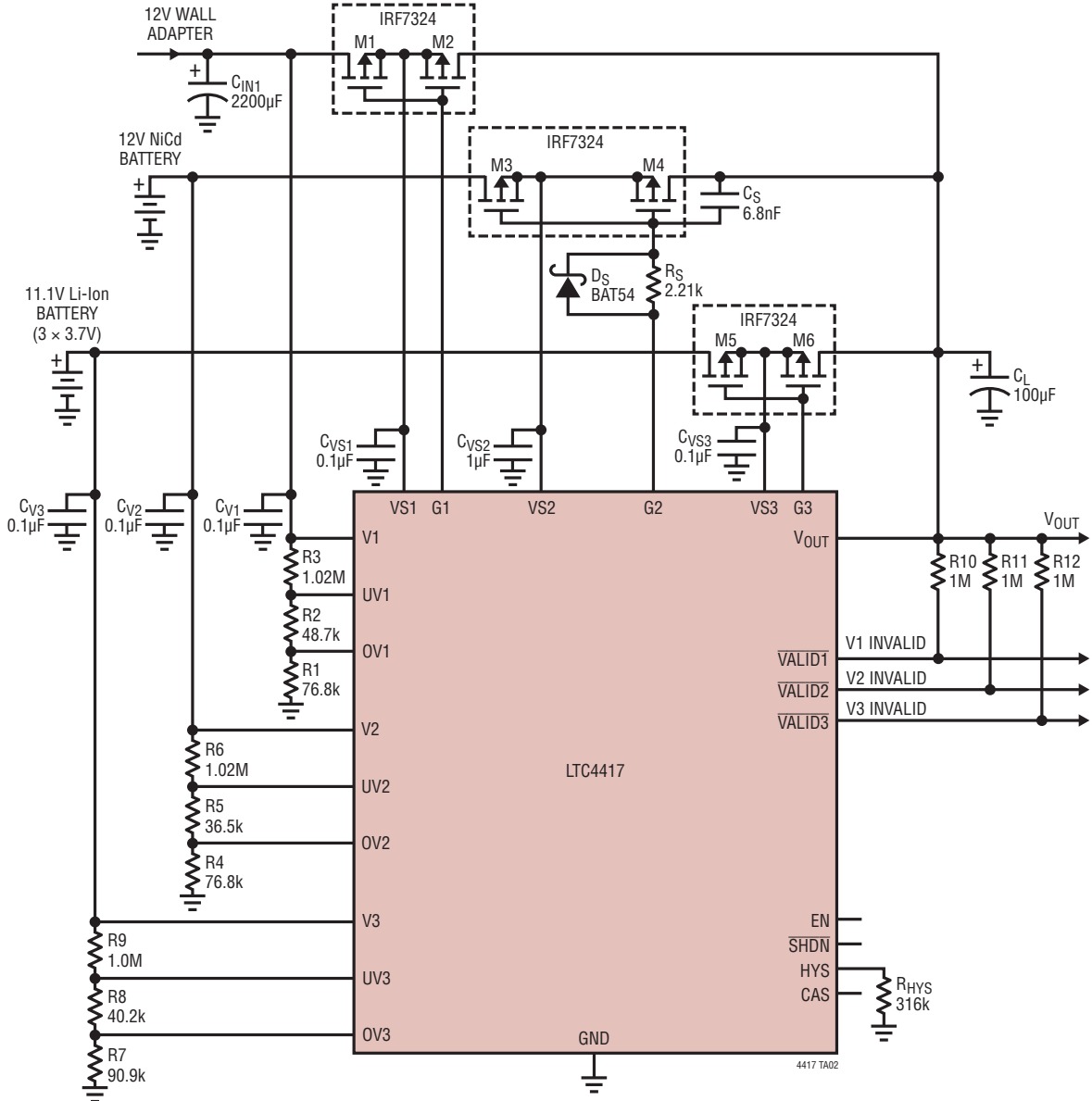


図14. 推奨のPCBレイアウト

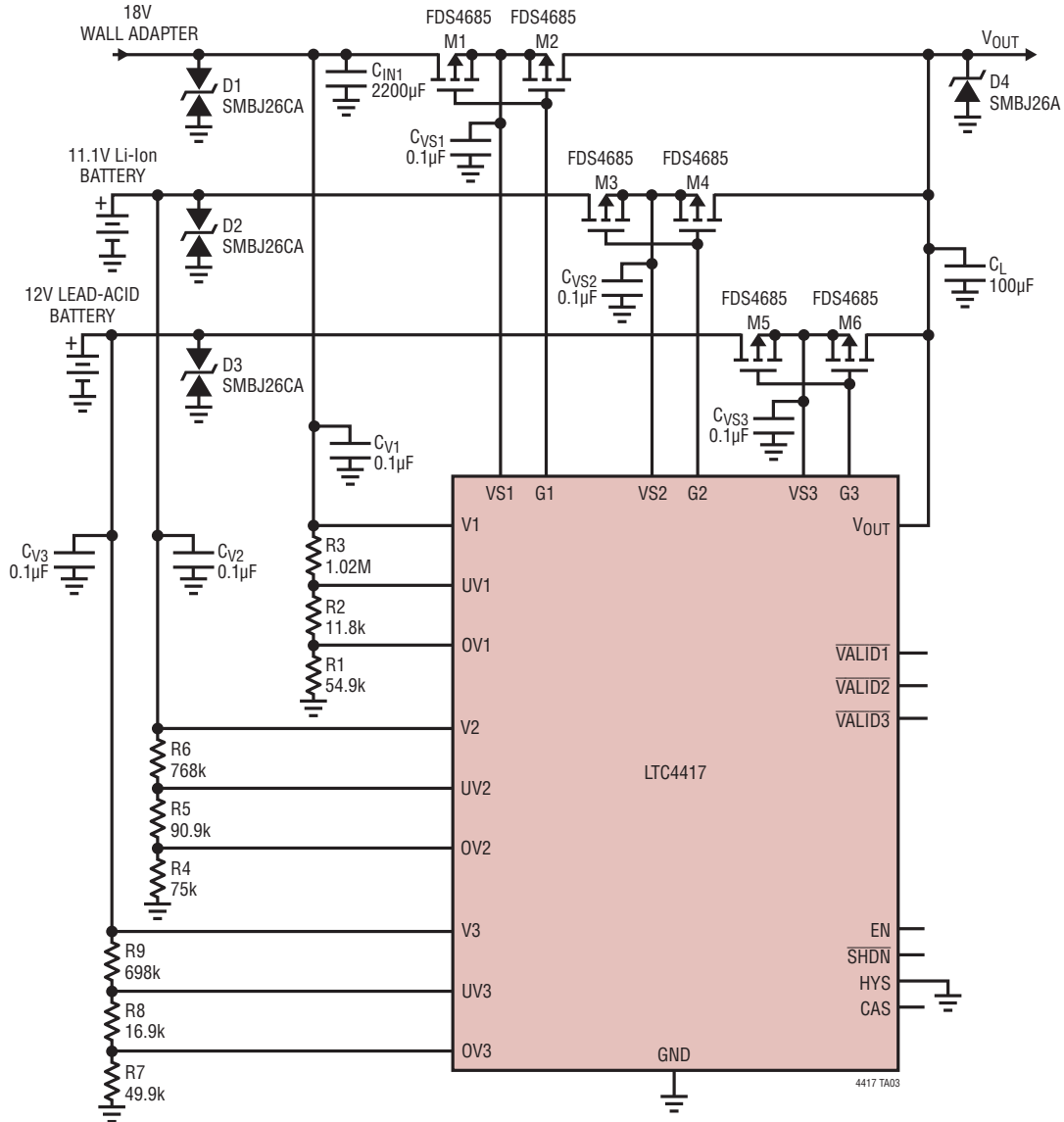
標準的応用例

交換可能なバッテリーおよびバックアップ・バッテリーを使用する 12V システム



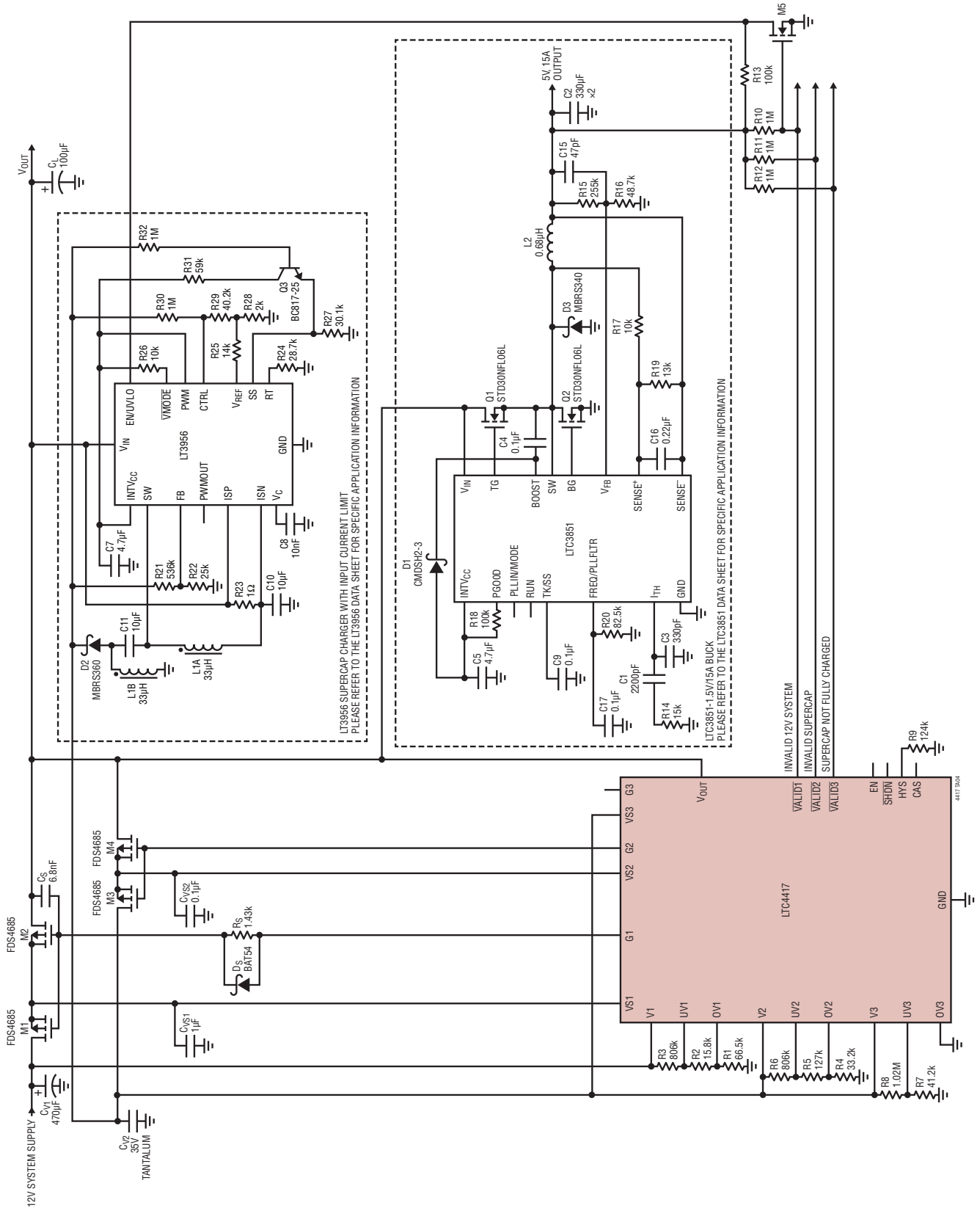
標準的応用例

逆電圧保護回路を備えた 18V のシステム



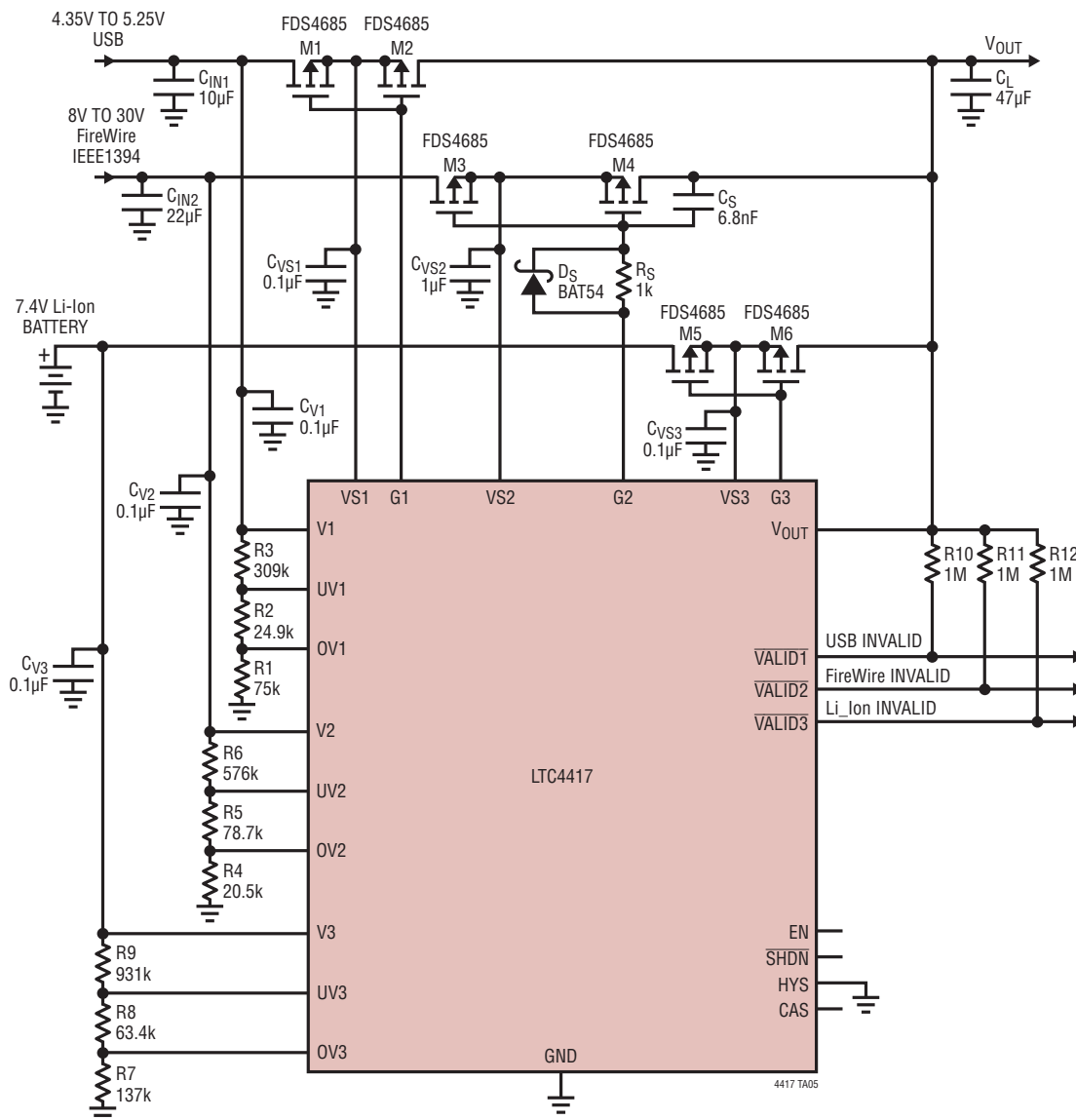
標準的応用例

半導体ドライブ (SSD) 用の 28V トランジェント阻止電源



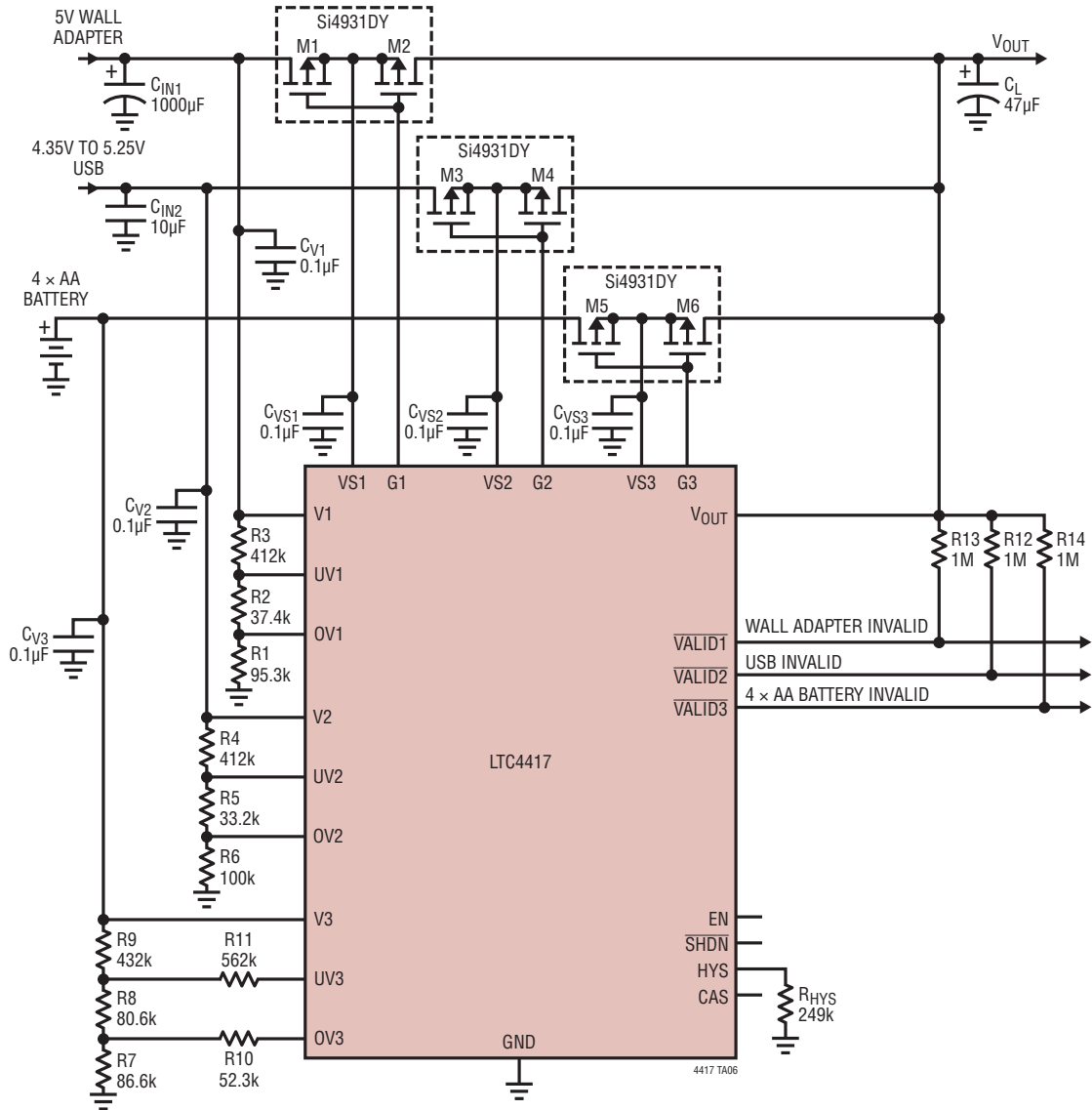
標準的応用例

USB、FireWire、およびリチウムイオン・バッテリー電源からの選択



標準的応用例

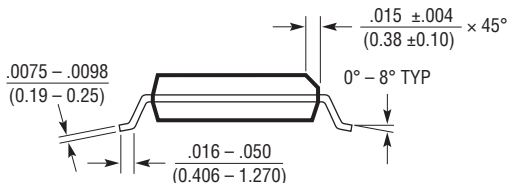
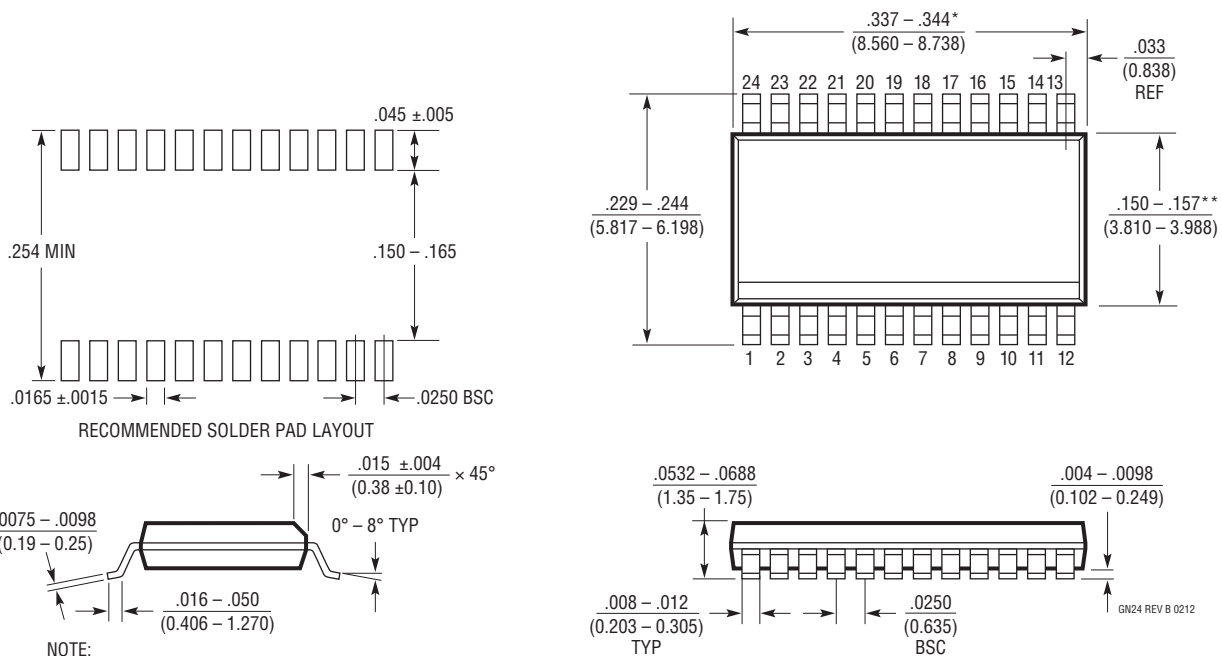
バッテリー・バックアップを備えたACアダプタおよびUSB入力



パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/>を参照してください。

GNパッケージ
24ピン・プラスチックSSOP(細型0.150)
(Reference LTC DWG # 05-08-1641 Rev B)



NOTE:

1. 標準寸法: インチ
2. 寸法はインチ/(ミリメートル)
3. 図は実寸とは異なる
4. ピン1は斜めのエッジかへこみのいずれか

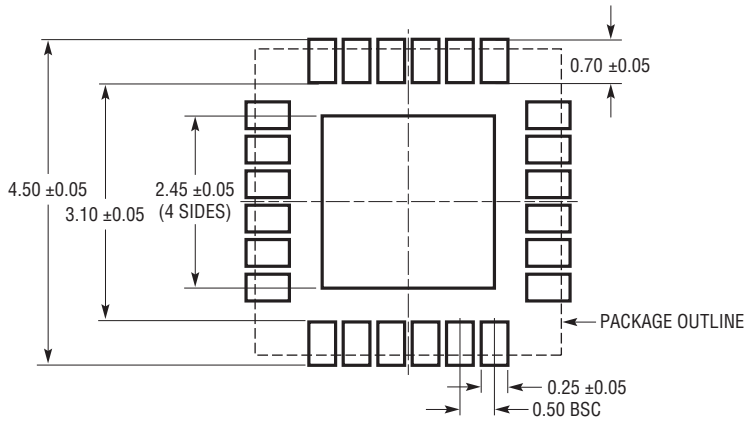
*寸法にはモールドのバリを含まない。
モールドのバリは各サイドで 0.006^* (0.152mm)を超えないこと

**寸法にはリード間のバリを含まない。
リード間のバリは各サイドで 0.010^* (0.254mm)を超えないこと

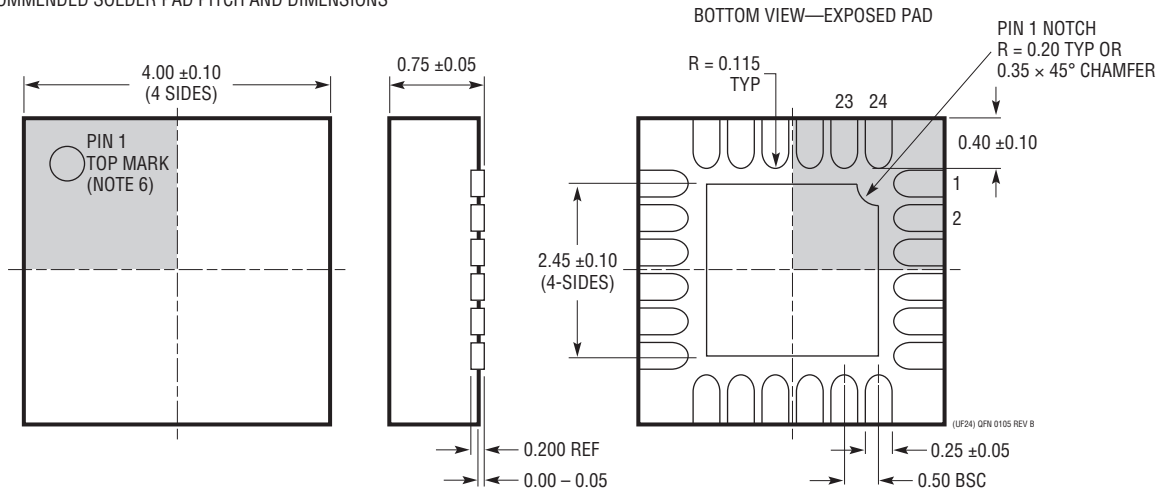
パッケージ

最新のパッケージ図面については、<http://www.linear-tech.co.jp/designtools/packaging/> を参照してください。

UFパッケージ
24ピン・プラスチックQFN(4mm×4mm)
(Reference LTC DWG # 05-08-1697 Rev B)



RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS

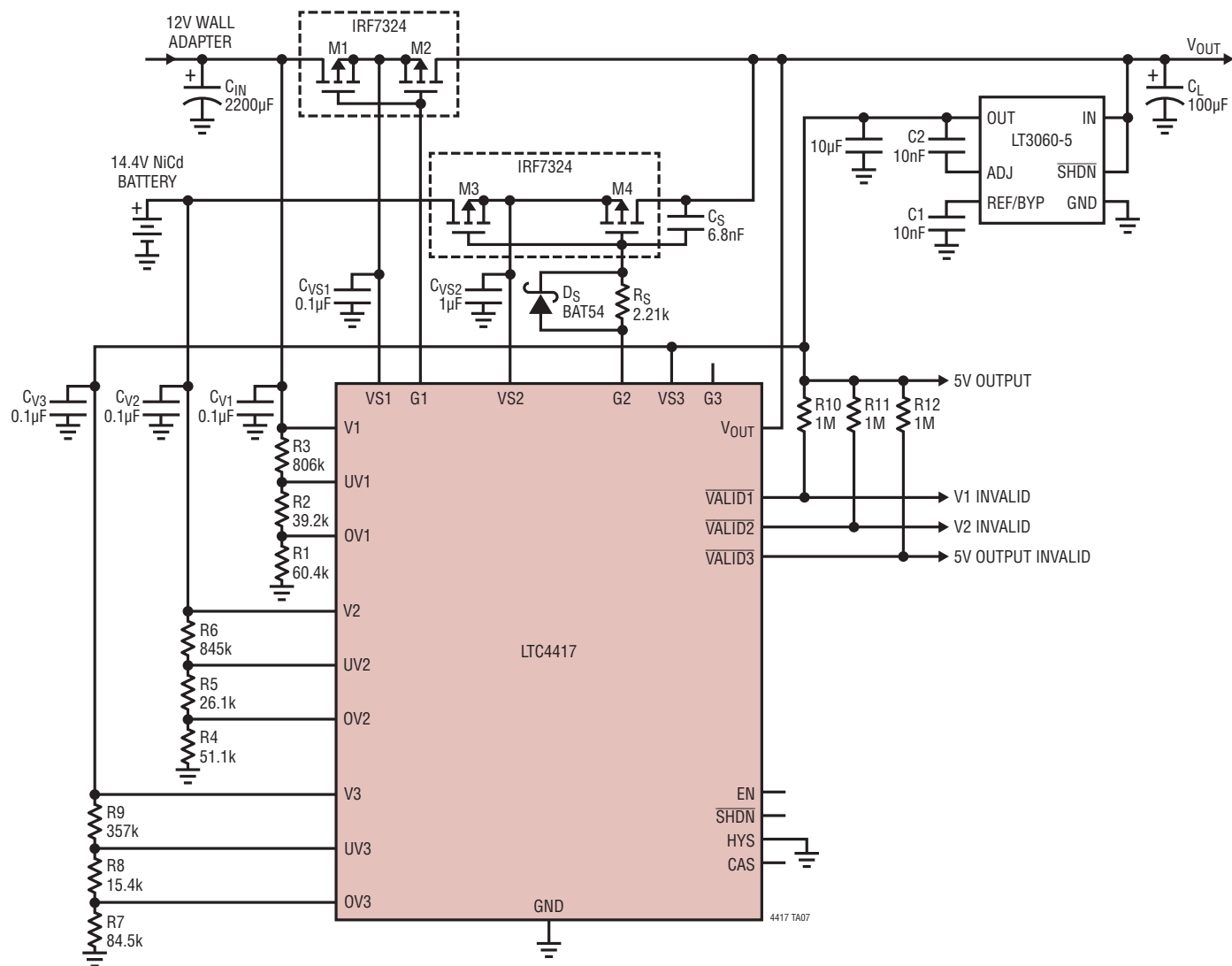


NOTE:

1. 図はJEDECパッケージ外形MO-220のバリエーション(WGGD-X)にするよう提案されている
2. 図は実寸とは異なる
3. 全ての寸法はミリメートル
4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない。
モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
5. 露出パッドは半田メッキとする
6. 灰色の部分はパッケージのトップとボトムのピン1の位置の参考に過ぎない

標準的応用例

3番目のチャンネルを使用して出力電圧をモニタするデュアル・チャンネルのLTC4417アプリケーション



関連製品

製品番号	説明	注釈
LTC4411	2.6A 低損失理想ダイオード、ThinSOT™パッケージ	2.6AのPチャンネル内蔵、2.6V～5.5V、 I_Q :40µA、SOT-23パッケージ
LTC4412HV	ThinSOTパッケージの36V 低損失PowerPathコントローラ	2.5V～36V、Pチャンネル、 I_Q :11µA、SOT-23パッケージ
LTC4415	電流制限を調整可能なデュアル4A理想ダイオード	デュアルPチャンネル内蔵、1.7V～5.5V、MSOP-16およびDFN-16パッケージ
LTC4416	大型PチャンネルFET向け36V 低損失デュアルPowerPathコントローラ	3.6V～36V、 I_Q :35µA/電源、MSOP-10パッケージ
LTC4355	電源とヒューズ・モニタを備えた正の高電圧理想ダイオードOR	デュアルNチャンネル、9V～80V、SO-16、MSOP-16およびDFN-14パッケージ
LTC4359	逆入力保護を備えた理想ダイオード・コントローラ	Nチャンネル、4V～80V、MSOP-8およびDFN-6パッケージ
LTC2952	監視機能付きプッシュボタンPowerPathコントローラ	2.7V～28V、オン/オフ・タイマ、ESD耐圧:±8kV(人体モデル)、TSSOP-20およびQFN-20パッケージ

4417f