

40V MOSFET 内蔵 昇圧用 スイッチングレギュレータ IC

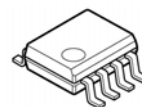
概要

NJW4131 は、40V のパワーMOSFET を内蔵した昇圧用スイッチングレギュレータ IC です。広動作電圧での高速発振に対応し、最小限の外付け部品でアプリケーションの小型化を実現します。

またソフトスタート機能による安定した回路起動が可能であり、過電流・過熱保護機能で異常時の回路保護を行います。

カーアクセサリ、OA 機器、産業機器などの昇圧用途や LED の電源供給に最適です。

外形



NJW4131GM1-A



NJW4131R-B

特徴

出力スイッチ電圧	40V max.
広動作電圧範囲	4V ~ 35V
スイッチング電流	1.4A min. (A バージョン)
	1.0A min. (B バージョン)

PWM 制御方式

広発振周波数 300k ~ 1MHz

ソフトスタート機能 4ms typ.

低電圧誤動作防止回路内蔵

過電流・過熱保護機能

スタンバイ機能

外形	NJW4131GM1	: HSOP8
	NJW4131R	: VSP8

製品分類

製品名	バージョン	スイッチング電流制限	パッケージ	動作温度範囲
NJW4131GM1-A	A	1.4A min.	HSOP8	一般: -40 ~ +85°C
NJW4131R-B	B	1.0A min.	VSP8	一般: -40 ~ +85°C

絶対最大定格 (Ta=25°C)

項目	記号	定格	単位	
入力電圧	V ⁺	+40	V	
SW 端子電圧	V _{SW}	+40	V	
IN-端子電圧	V _{IN-}	-0.3 ~ +6	V	
ON/OFF 端子電圧	V _{ON/OFF}	+40	V	
消費電力	P _D	HSOP8	790 (*1) 2,500 (*2)	mW
		VSP8	595 (*1) 805 (*2)	
接合部温度範囲	T _J	-40 ~ +150	°C	
動作温度範囲	T _{opr}	-40 ~ +85	°C	
保存温度範囲	T _{stg}	-40 ~ +150	°C	

(*1): 基板実装時 76.2mm × 114.3mm × 1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

(*2): 基板実装時 76.2mm × 114.3mm × 1.6mm(4層 FR-4)で EIA/JEDEC 準拠による (4層基板内径: 74.2 × 74.2mm)

推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧	V ⁺	4.0	-	35	V
タイミング抵抗	R _T	18	27	68	kΩ
発振周波数	f _{OSC}	300	700	1,000	KHz

電気的特性 ($V^+=V_{ON/OFF}=12V$, $R_T=27k\Omega$, $T_a=25^\circ C$)

項目	記号	条件	最小	標準	最大	単位
----	----	----	----	----	----	----

低電圧誤動作防止回路部

ON スレッシュホールド電圧	V_{T_ON}	$V^+=L$ H	3.8	3.9	4.0	V
OFF スレッシュホールド電圧	V_{T_OFF}	$V^+=H$ L	3.7	3.8	3.9	V
ヒステリシス幅	V_{HYS}		60	100	-	mV

ソフトスタート部

ソフトスタート時間	T_{SS}	$V_B=0.95V$	2	4	8	ms
-----------	----------	-------------	---	---	---	----

発振器部

発振周波数	f_{OSC}		630	700	770	kHz
発振周波数 (低発振周波数コントロール時)	f_{OSC_LOW}	$V_{IN}=0.4V$, $V_{FB}=0.65V$	-	270	-	kHz
RT 端子電圧	V_{RT}		0.240	0.275	0.310	V
周波数電源電圧変動	f_{DV}	$V^+=4 \sim 35V$	-	1	-	%
周波数温度変動	f_{DT}	$T_a=-40^\circ C \sim +85^\circ C$	-	3	-	%

誤差増幅器部

基準電圧	V_B		-1.0%	1.00	+1.0%	V
入力バイアス電流	I_B		-0.1	-	+0.1	μA
開ループ利得	A_V		-	80	-	dB
利得帯域幅積	G_B		-	0.6	-	MHz
出力ソース電流	I_{OM+}	$V_{FB}=1V$, $V_{IN}=0.9V$	8	16	24	μA
出力シンク電流	I_{OM-}	$V_{FB}=1V$, $V_{IN}=1.1V$	1	2	4	mA

PWM 比較器部

最大デューティサイクル	M_{AXDUTY}	$V_{IN}=0.9V$	85	90	95	%
-------------	--------------	---------------	----	----	----	---

出力部

出力 ON 抵抗	R_{ON}	A バージョン、 $I_{SW}=1A$	-	0.2	0.4	Ω
		B バージョン、 $I_{SW}=1A$	-	0.2	0.4	Ω
スイッチング電流制限	I_{LIM}	A バージョン	1.4	1.7	2.0	A
		B バージョン	1	1.35	1.7	A
SW リーク電流	I_{LEAK}	$V_{ON/OFF}=0V$, $V_{SW}=40V$	-	-	1	μA

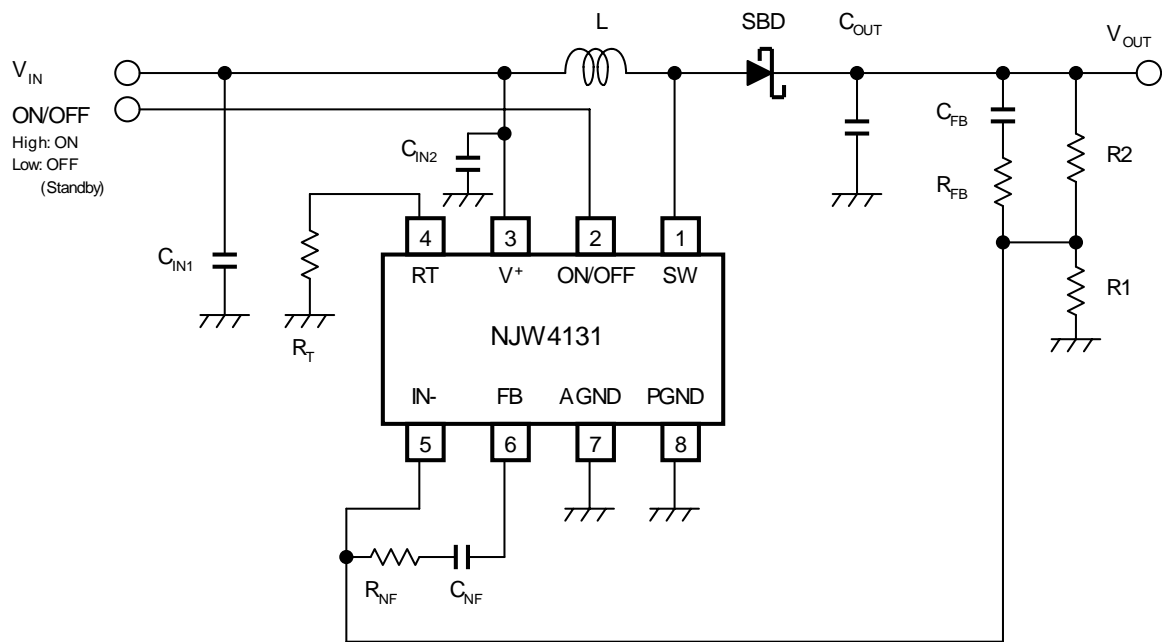
ON/OFF 制御部

ON 制御電圧	V_{ON}	$V_{ON/OFF}=L$ H	1.6	-	V^+	V
OFF 制御電圧	V_{OFF}	$V_{ON/OFF}=H$ L	0	-	0.5	V
プルダウン抵抗	R_{PD}		-	400	-	k Ω

総合特性

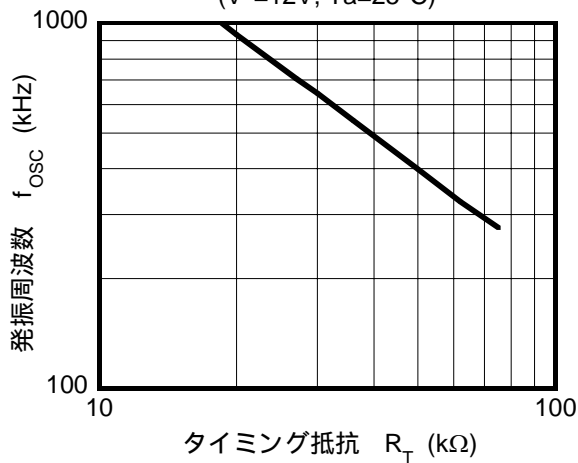
消費電流	I_{DD}	$R_L=$ 無負荷, $V_{IN}=0.9V$, $V_{FB}=0.65V$	-	2.3	2.8	mA
スタンバイ時消費電流	I_{DD_STB}	$V_{ON/OFF}=0V$	-	-	1	μA

アプリケーション回路例

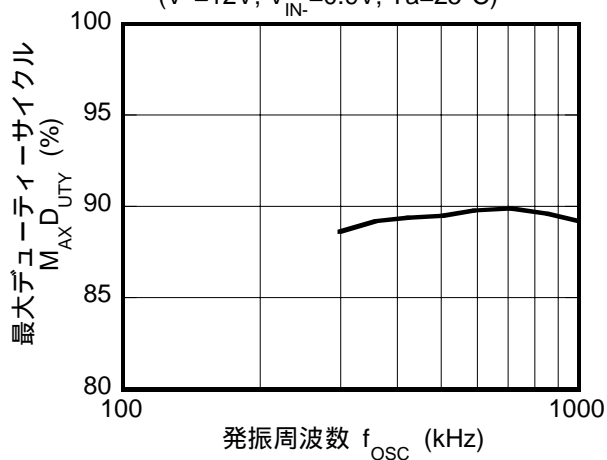


特性例

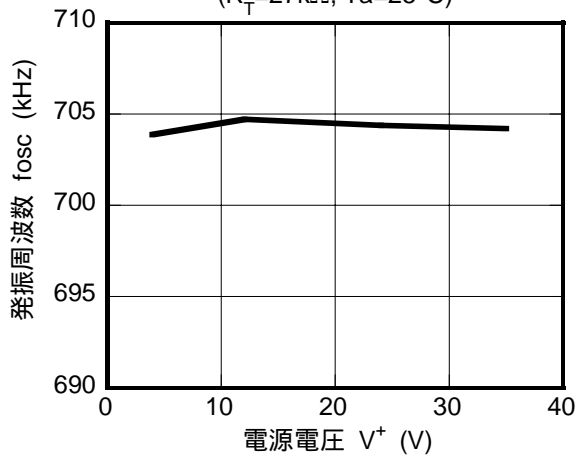
発振周波数対タイミング抵抗特性例
($V^+=12V, Ta=25^\circ C$)



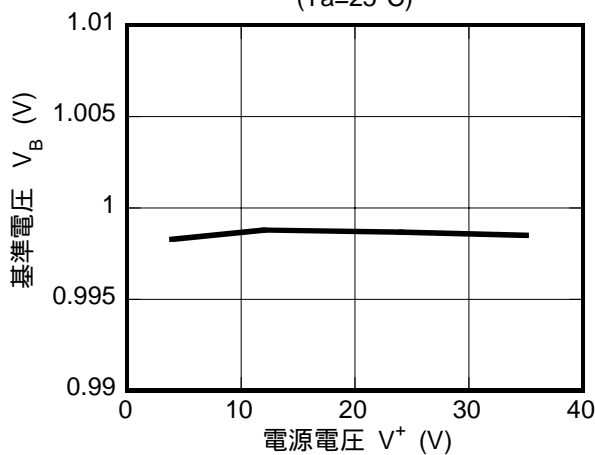
最大デューティサイクル対発振周波数特性例
($V^+=12V, V_{IN-}=0.9V, Ta=25^\circ C$)



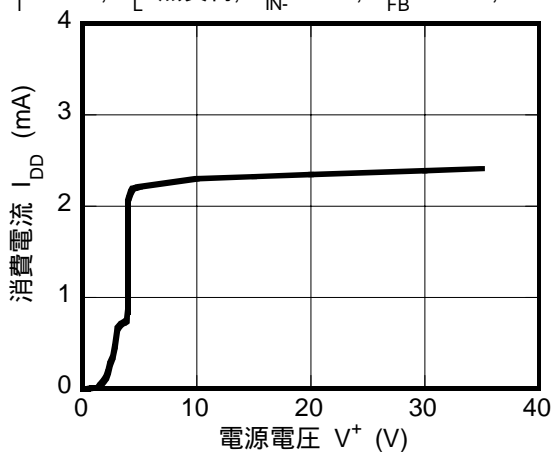
発振周波数対電源電圧特性例
($R_T=27k\Omega, Ta=25^\circ C$)



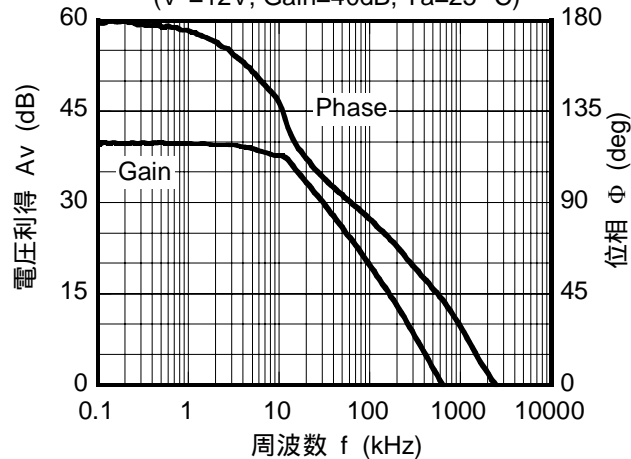
基準電圧対電源電圧特性例
($Ta=25^\circ C$)



消費電流対電源電圧特性例
($R_T=27k\Omega, R_L=$ 無負荷, $V_{IN-}=0.9V, V_{FB}=0.65V, Ta=25^\circ C$)

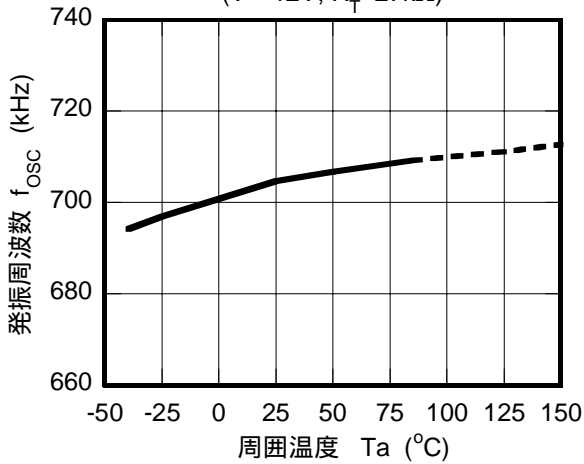


誤差増幅器部 電圧利得, 位相特性例
($V^+=12V, Gain=40dB, Ta=25^\circ C$)

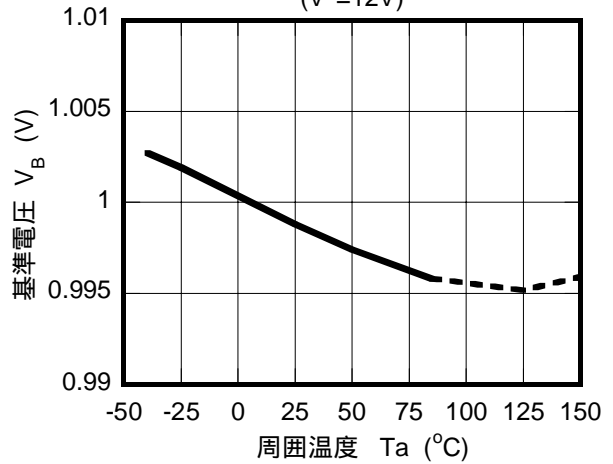


特性例

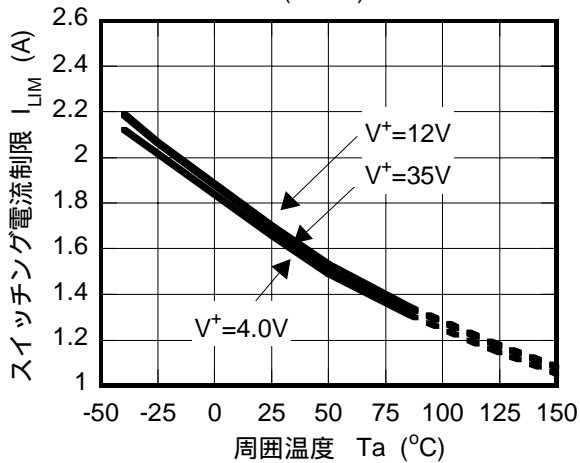
発振周波数温度特性例
($V^+=12V$, $R_T=27k\Omega$)



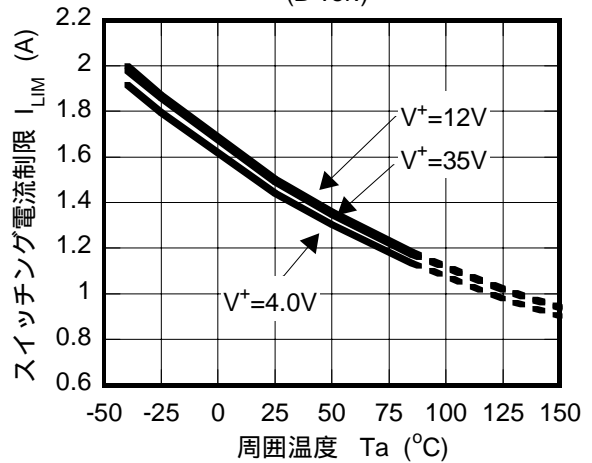
基準電圧温度特性例
($V^+=12V$)



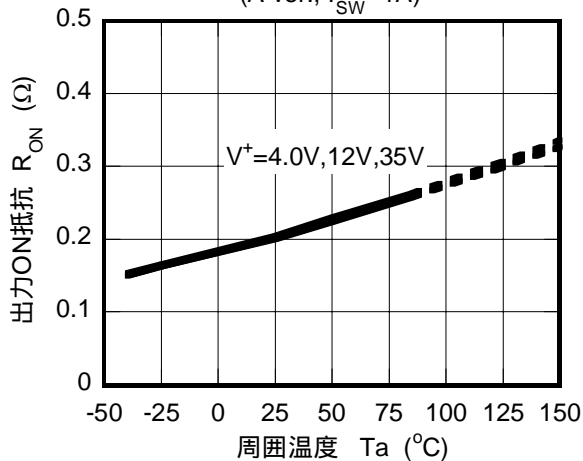
スイッチング電流制限温度特性例
(A ver.)



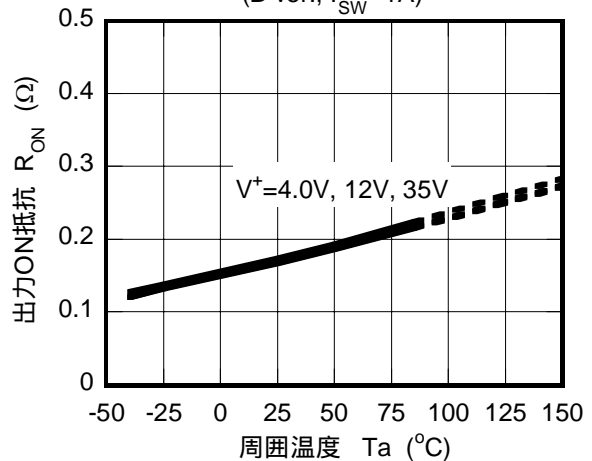
スイッチング電流制限温度特性例
(B ver.)



出力ON抵抗温度特性例
(A ver., $I_{SW}=1A$)

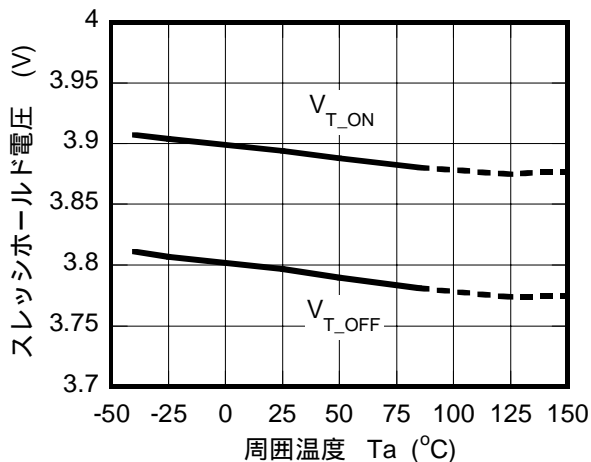


出力ON抵抗温度特性例
(B ver., $I_{SW}=1A$)



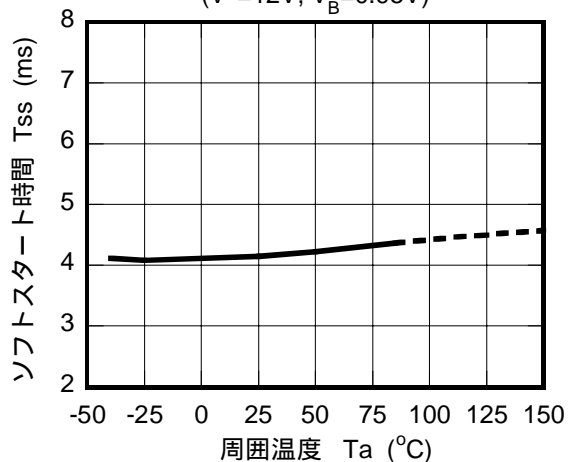
特性例

低電圧誤動作防止回路部温度特性例



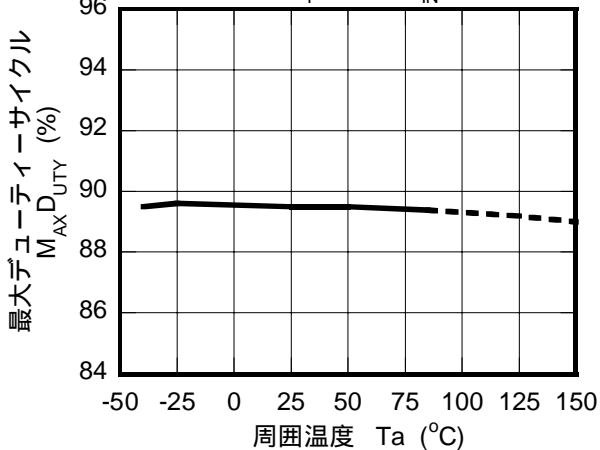
ソフトスタート時間温度特性例

(V⁺=12V, V_B=0.95V)



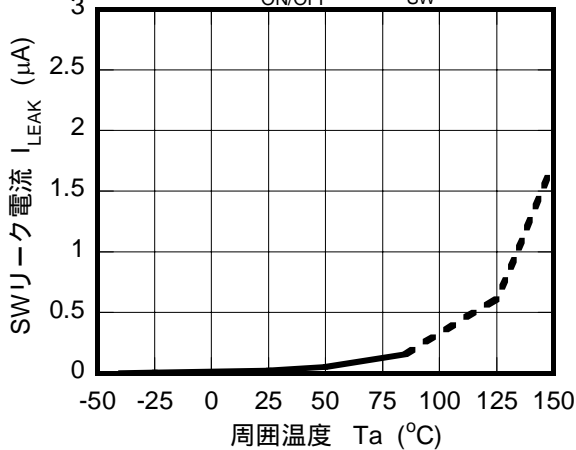
最大デューティサイクル温度特性例

(V⁺=12V, R_T=27kΩ, V_{IN-}=0.9V)



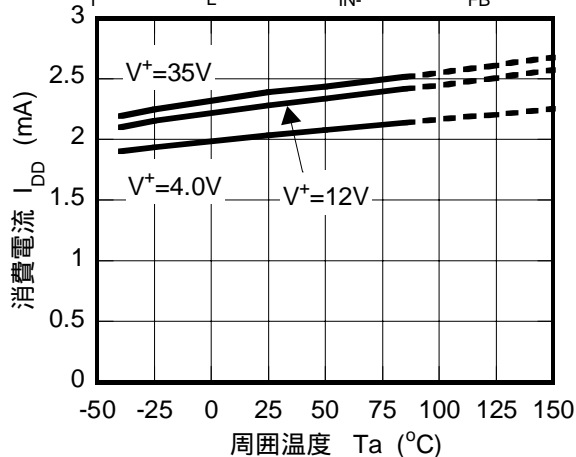
SWリーク電流温度特性例

(V⁺=12V, V_{ON/OFF}=0V, V_{SW}=40V)



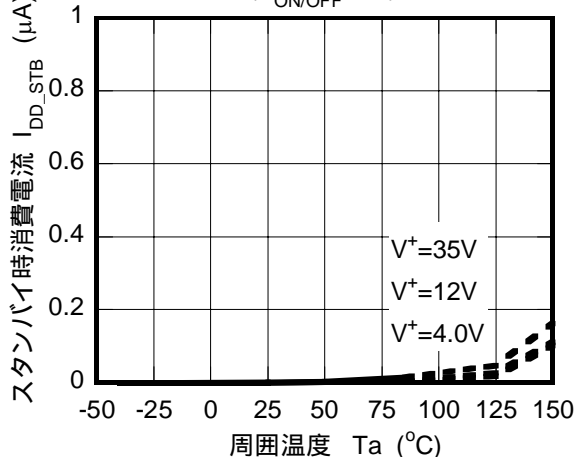
消費電流温度特性例

(R_T=27kΩ, R_L=無負荷, V_{IN-}=0.9V, V_{FB}=0.65V)



スタンバイ時消費電流温度特性例

(V_{ON/OFF}=0V)



端子説明

端子番号	端子名称	機能
1	SW	パワー-MOSFET のスイッチ出力端子です。
2	ON/OFF	NJW4131 の動作・停止を制御する端子です。 内部は 400kΩ でプルダウンされています。 High レベルで動作、Low レベルまたはオープンでスタンバイモードとなります。
3	V ⁺	IC の制御回路への電源供給端子です。電源供給のインピーダンスを下げるため、IC の近傍にバイパスコンデンサを接続してください。
4	RT	タイミング抵抗を接続して、発振周波数を決める端子です。 発振周波数は、300k ~ 1MHz の間で設定してください。
5	IN-	出力電圧を検出する端子です。 IN-端子電圧が基準電圧 1.0V typ.となるように出力電圧を抵抗分割して入力します。
6	FB	フィードバック設定端子です。 FB 端子 - IN-端子間にフィードバック抵抗・コンデンサを接続します。
7	AGND	接地
8	PGND	接地
-	Exposed PAD	GND 端子に接続されています。 (HSOP8 パッケージのみ)

各ブロックの機能説明

1. スイッチングレギュレータ基本機能

エラーアンプ部 (ER-AMP)

エラーアンプ部の非反転入力は、1.0V ± 1% の高精度基準電圧が接続されています。アンプの反転入力(IN-端子)に、抵抗分割されたコンバータ出力を入力することで出力電圧を設定します。

アンプ部は高利得のゲインを持ち、フィードバック(FB 端子)が外部に出ています。FB 端子 - IN-端子間にフィードバック抵抗・コンデンサを設けることが容易なため、各種アプリケーションにおける最適なループ補償を設定できます。

発振回路部 (OSC)

RT 端子-GND 間に抵抗を接続することで発振周波数を設定します。「発振周波数対タイミング抵抗」特性例を参考に 300kHz ~ 1MHz の間で設定してください。

各ブロックの機能説明（続き）

PWM 比較器部 (PWM)

エラーアンプと三角波の信号を受け、スイッチングのデューティ比をコントロールします。

PWM 比較器部でエラーアンプと三角波の信号を受け、スイッチングのデューティ比 0 ~ 90% typ.までコントロールします。タイミングチャートを図 1 に示します。

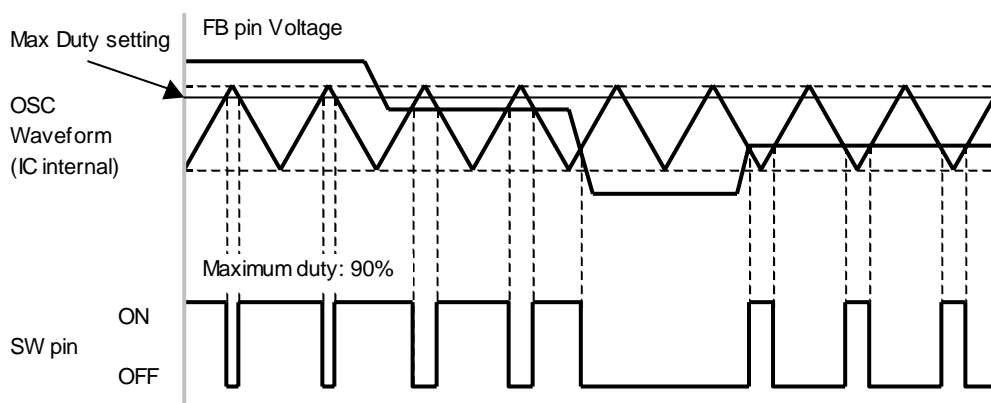


図 1 PWM 比較器部と SW 端子のタイミングチャート

パワーMOSFET

内蔵されたパワーMOSFET のスイッチ動作によって、インダクタへ電力を供給します。過電流保護機能によって、パワーMOSFET に流せる電流は、 I_{LIM} に制限され、Aバージョンで 1.4A min.、Bバージョンで 1.0A min.です

電源、GND 端子 (V^+ , PGND, AGND)

スイッチング動作に伴い、周波数に応じた電流が IC に流れます。電源ラインのインピーダンスが高いと電源供給が不安定になり、IC の性能を十分に引き出せません。 V^+ 端子 - AGND 端子間の近傍にバイパスコンデンサを挿入し、高周波インピーダンスを下げてください。

各ブロックの機能説明 (続き)

2 . 保護機能、付加機能

低電圧誤動作防止(UVLO)回路

電源電圧が低い場合、UVLO 回路によって動作を停止し、電源電圧 3.9V typ.以上で UVLO 回路が解除されて IC の動作が開始します。電源電圧の立ち上がりと立ち下がりに 100mV typ.のヒステリシス電圧幅を持たせています。これにより、UVLO の解除と動作のばたつきを防止し、NJW4131 を安定して動作させます。

ソフトスタート機能

ソフトスタート機能によって、コンバータの出力電圧は設定値まで緩やかに電圧を上昇します。ソフトスタート時間は 4ms typ.であり、エラーアンプの基準電圧が 0 ~ 0.95V になるまでの時間で定義されます。(図 2)ソフトスタート回路は、UVLO 解除、サーマルシャットダウンからの復帰後に動作します。IN-端子が約 0.4V になるまで、低発振周波数にコントロールされ、タイミング抵抗によって設定された発振周波数の約 40%で動作します。

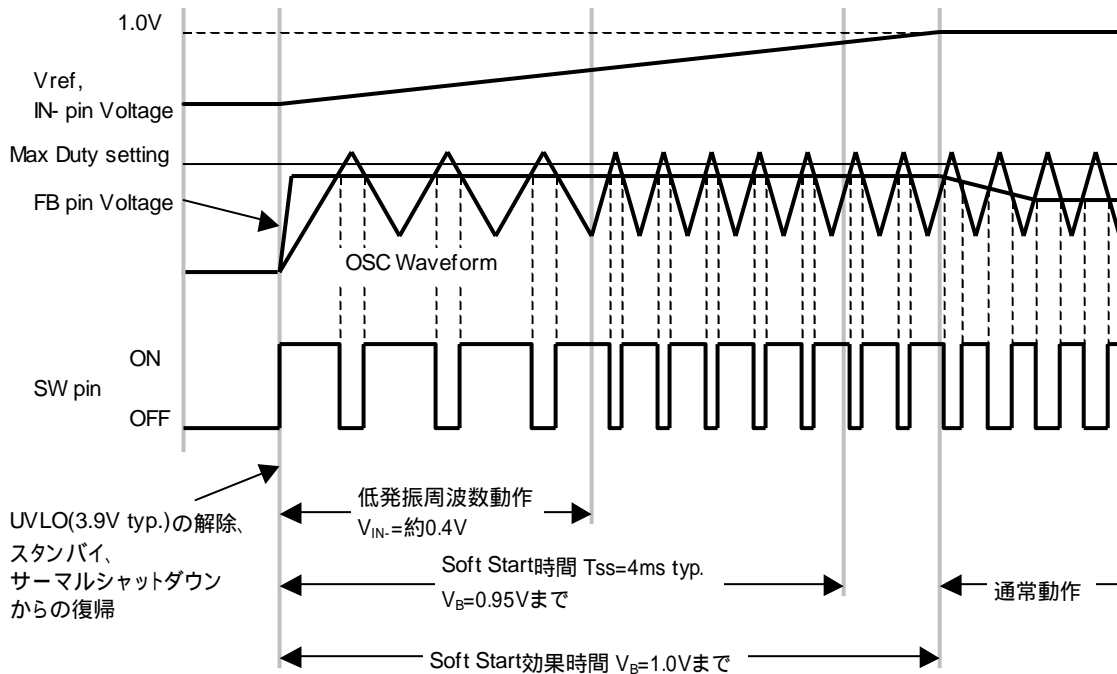


図 2 ソフトスタートのタイミングチャート

各ブロックの機能説明（続き）

過電流保護機能 (OCP)

内蔵のパワーMOSFETに I_{LIM} 以上の電流が流れると、過電流保護機能によってパワーMOSFETをOFFにし、次の三角波周期でスイッチング動作を復帰します。パルス毎に過電流保護を行うため、過電流の異常状態から回復にともない、スイッチングレギュレータの出力電圧を自動的に復帰させることができます。

過電流検出動作時のタイミングチャートを図3に示します。

またIN-端子電圧が0.4V以下になると、低発振周波数にコントロールされ、発振周波数を設定値の約40%で動作しエネルギーの消費を抑えます。

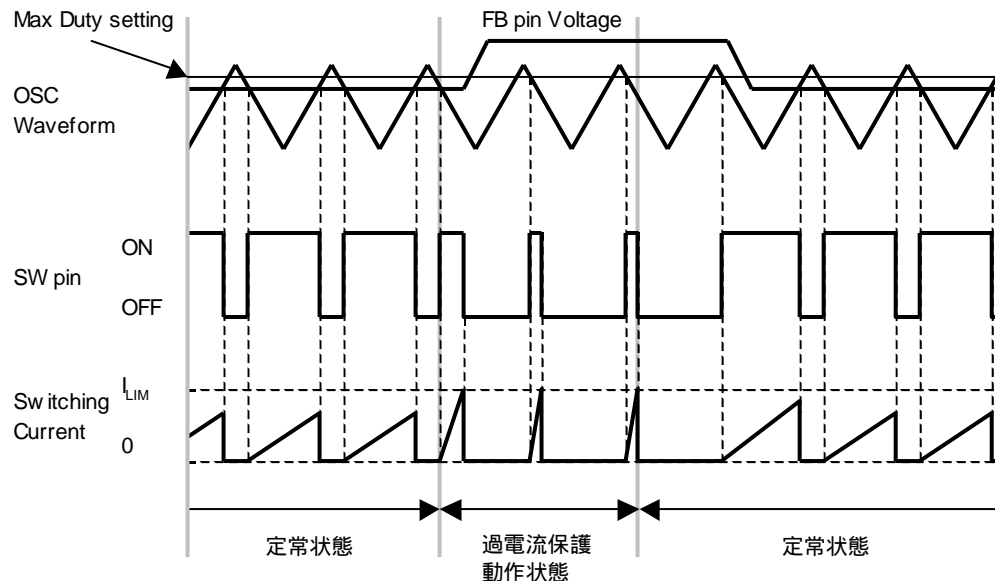


図3 過電流保護動作時のタイミングチャート

スイッチング電流制限値 I_{LIM} は、温度上昇に伴い低下する傾向があります。（スイッチング電流制限温度特性例参照）高温条件下でも出力電流を確保するためには、インダクタに流れるピーク電流を考慮して設計してください。

サーマルシャットダウン機能 (TSD)

サーマルシャットダウン機能は、NJW4131のチップ温度が170℃を超えるとSW動作を停止します。

チップ温度を150℃以下になると、ソフトスタートによるSW動作が開始されます。

なおサーマルシャットダウン機能は、高温時におけるICの熱暴走を防止するための予備回路であり、不適切な熱設計を補うためでは有りません。ICのジャンクション温度（ $\sim +150^{\circ}\text{C}$ ）範囲内で動作させるように、十分な余裕を満たすことをお奨めします。（* 参考値）

ON/OFF 機能

ON/OFF 端子を0.5V max.以下にすることでNJW4131の機能を停止させスタンバイ状態にします。

内部は400kΩでプルダウンされており、端子オープン時はスタンバイモードに移行します。

スタンバイ機能を使用しない場合は、ON/OFF 端子を V^+ に接続してください。

技術資料

アプリケーション情報

インダクタ

インダクタには大電流が流れるため、飽和しない電流能力を持たせる必要があります。

L 値を小さくするとインダクタのサイズも小さくなります。しかし、ピーク電流が大きくなり効率が悪化します。

反面、L 値が大きくなると、スイッチング時のピーク電流は低下します。よって変換効率の改善、出力リップル電圧の低下につながります。あるレベル以上では、インダクタンスの巻数増加により、抵抗成分による損失（銅損）が大きくなります。

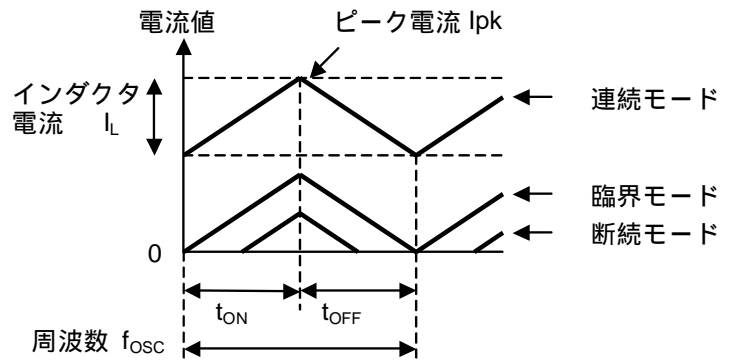


図4 インダクタ電流の状態偏移

理想的には、インダクタンス電流が連続モードになる様にL 値を設定します。しかし負荷電流が小さくなる程、連続モード 臨界モード 断続モードと電流波形が変化（図4）していきます。

断続モードにおいては、出力電流に対するピーク電流が大きくなり、変換効率が低下しやすくなります。場合によってはL 値を大きくし、連続モードの維持できる負荷電流領域を広げます。

キャッチ・ダイオード

パワーMOSFET がOFF サイクルの時は、インダクタに蓄えられた電力がキャッチ・ダイオードを経由して出力コンデンサに流れます。そのためダイオードにはサイクル毎に、負荷電流に応じた電流が流れます。ダイオードの順方向飽和電圧と電流の積が電力損失となるため、順方向飽和電圧の低いSBD (Schottky Barrier Diode)が最適です。

またSBD は、逆回復時間が短い特徴を併せて持っています。逆回復時間が長くなると、パワーMOSFET がOFF からON サイクルに移行した時、貫通電流が流れてしまいます。この電流によって効率の低下、ノイズの発生等に影響を及ぼす可能性が有ります。

スイッチング素子がON サイクルの時は、ダイオードに逆電圧が印可された状態になります。ダイオードの耐圧には、最大出力電圧以上の余裕を持たせてください。また高温時はSBD の逆電流が増加する特徴があり、出力コンデンサに蓄えたエネルギーを損失しやすくなります。アプリケーションの動作条件によっては順方向飽和電圧よりも逆電流特性を重視したほうが、効率向上につながる場合があります。

入力コンデンサ

スイッチングレギュレータの入力部には、周波数に応じた過渡的な電流が流れます。電源回路に供給される電源インピーダンスが大きいと入力電圧の変動につながり、NJW4131 の性能を十分に引き出せません。よって入力コンデンサは、できる限りIC の近くに挿入してください。

出力コンデンサ

出力コンデンサは、インダクタンスからの電力を蓄え、出力への供給電圧を安定させる役割をします。

出力コンデンサの選定には、ESR(等価直列抵抗：Equivalent Series Resistance)の特性、リップル電流、耐圧を考慮に入れる必要が有ります。

特にリップル電流、耐圧は、入力コンデンサ同様、コンデンサの定格以下で使用しなければいけません。

また周囲温度によっては、コンデンサの容量低下、ESR の増加（低温時）、寿命（高温時）へ影響を与えます。出力コンデンサの定格には、十分なディレーティングを持たせるのが望ましい使い方です。

出力コンデンサのESR 特性は、出力リップルノイズへ大きな影響を与えます。低ESR タイプのコンデンサであれば、更にリップル電圧を下げる事が出来ます。

アプリケーション情報 (続き)

基板レイアウト

スイッチングレギュレータは、インダクタの充放電によって出力へ電力供給を行います。発振周波数に応じて電流が流れるため、基板のレイアウトは重要な項目です。大電流の流れるラインは太く、短くし、ループ面積を最小限にしてください。図5に昇圧回路における電流ループを示します。

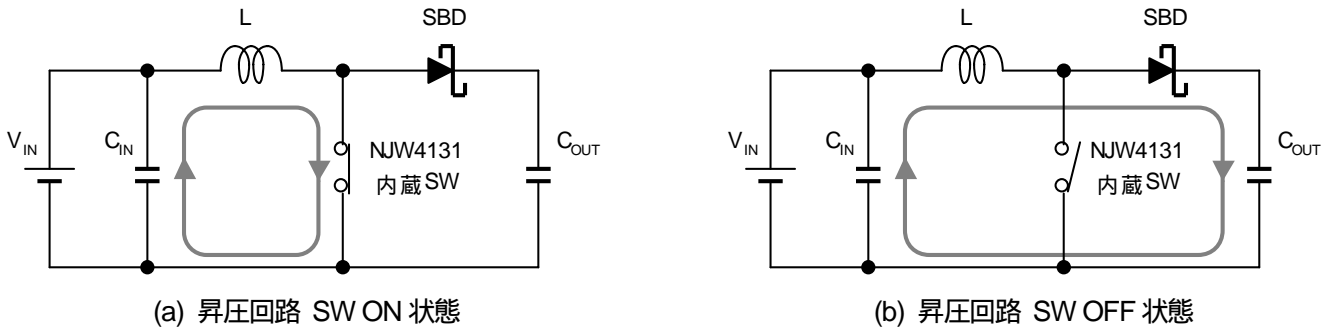


図5 昇圧回路における電流ループ

GNDラインは、パワー系と信号系を分離した上で1点アースをとるのが望ましい接続です。

また電圧検出のフィードバックラインは、できるだけインダクタンスから離します。本ラインはインピーダンスが高いため、インダクタンスからの漏れ磁束でノイズの影響を避けるように配線します。

図6に昇圧回路での配線例、図7にレイアウト例を示します。

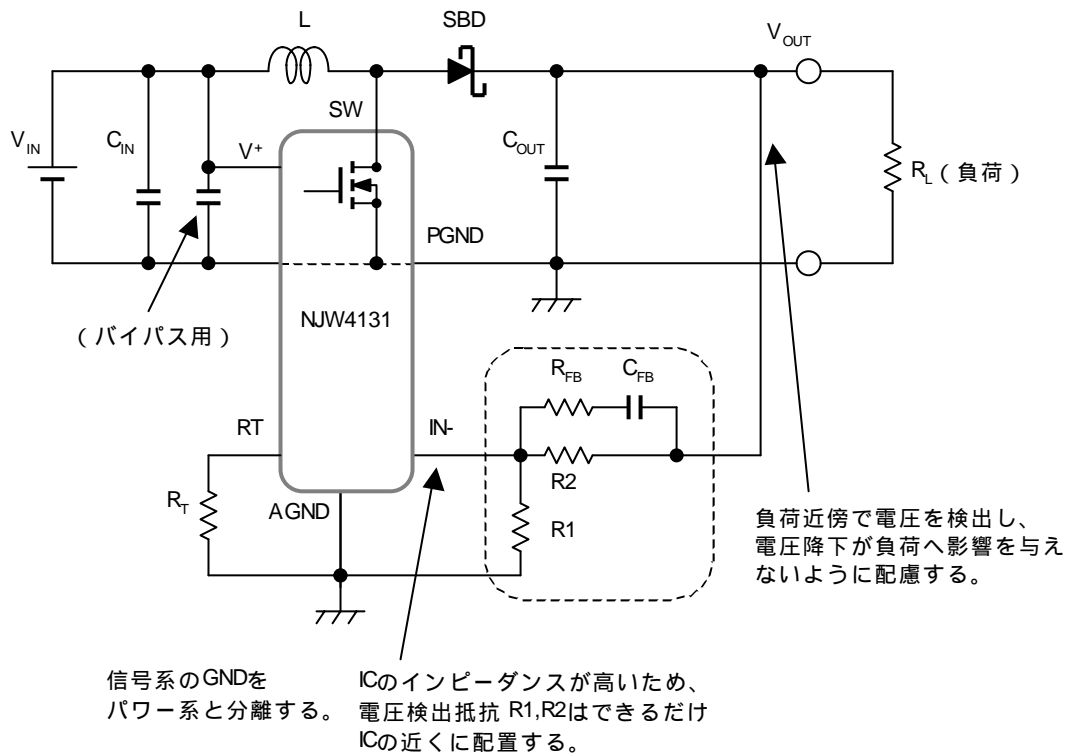
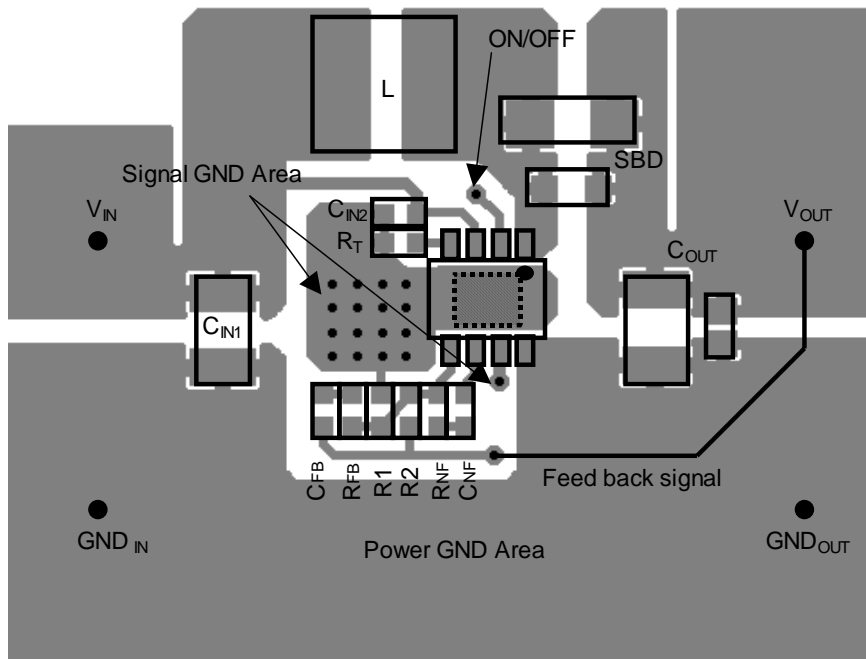


図6 昇圧回路での配線例

アプリケーション情報 (続き)



裏面にてパワー系 GND と信号系 GND を接続

図7 レイアウト例 (上面パターン)

パッケージパワーの計算

昇圧回路の損失の多くは、スイッチ動作を行う NJW4131 のパワー-MOSFET によって発生します。そのため下記式を目安に NJW4131 の損失として考えます。

入力電力 : $P_{IN} = V_{IN} \times I_{IN}$ [W]
 出力電力 : $P_{OUT} = V_{OUT} \times I_{OUT}$ [W]
 ダイオードの損失 : $P_{DIODE} = V_F \times I_{L(av)} \times \text{OFF duty}$ [W]
 NJW4131 の消費電力 : $P_{LOSS} = P_{IN} - P_{OUT} - P_{DIODE}$ [W]

ただし、

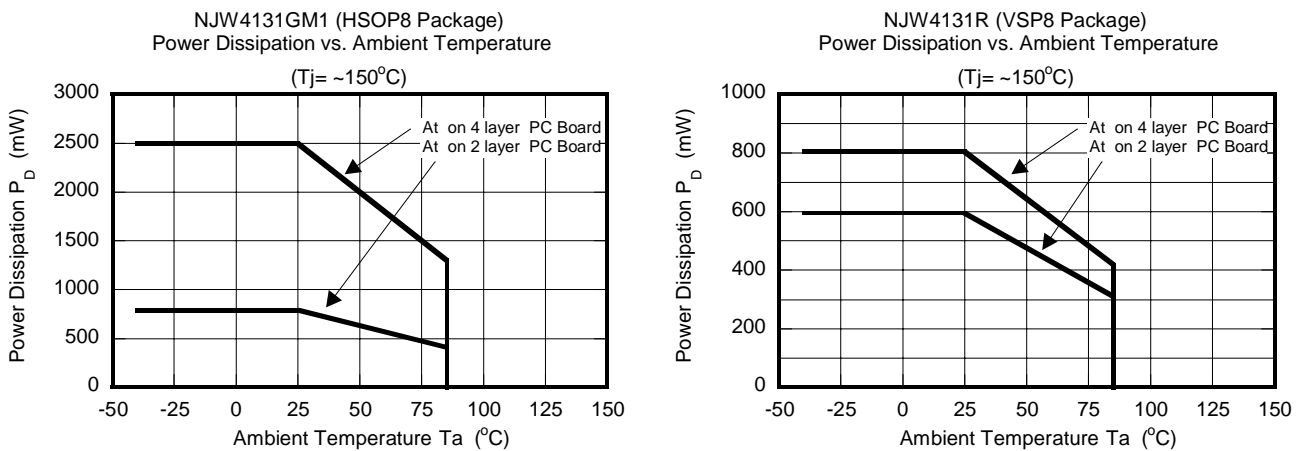
V_{IN}	: コンバータの入力電圧	I_{IN}	: コンバータの入力電流
V_{OUT}	: コンバータの出力電圧	I_{OUT}	: コンバータの出力電流
V_F	: ダイオードの順方向飽和電圧	$I_{L(av)}$: インダクタ平均電流
OFF duty	: スイッチ OFF デューティ		

変換効率 η は、下記式によって求められます。

$$\eta = (P_{OUT} \div P_{IN}) \times 100 \quad [\%]$$

求めた消費電力 P_D に対して温度ディレーティングを考慮します。

消費電力対周囲温度特性例 (図 8) を参考に、定格内に収まるか確認してください。



基板実装時 76.2mm × 114.3mm × 1.6mm(2層 FR-4)で EIA/JEDEC 準拠による

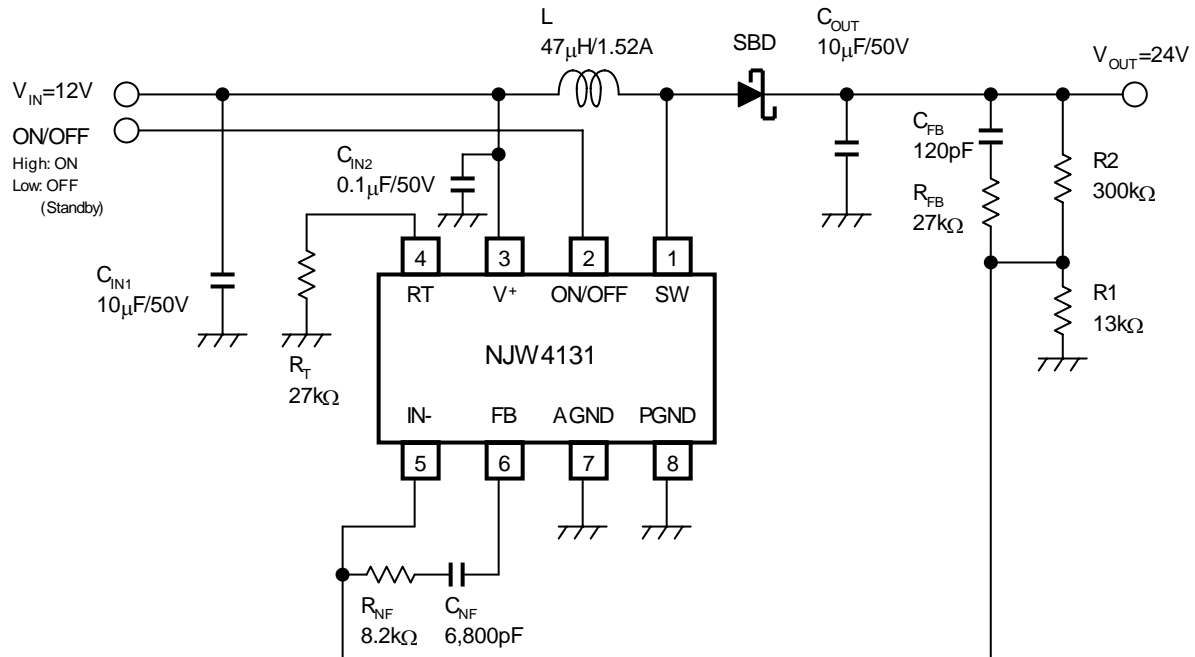
基板実装時 76.2mm × 114.3mm × 1.6mm(4層 FR-4)で EIA/JEDEC 準拠による

(4層基板内箔: 74.2 × 74.2mm)

図 8 消費電力対周囲温度特性例

アプリケーション設計例
昇圧アプリケーション仕様

IC : NJW4131GM1-A
 入力電圧 : $V_{IN}=12V$
 出力電圧 : $V_{OUT}=24V$
 出力電流 : $I_{OUT}=0.3A$
 発振周波数 : $f_{osc}=700kHz$



記号	数量	部品番号	概要	メーカー
IC	1	NJW4131GM1-A	40V MOSFET 内蔵 SW.REG IC	New JRC
L	1	CDRH8D38NP-470N	Inductor 47µH, 1.52A	Sumida
D	1	CMS11	Schottky Diode 40V, 2A	Toshiba
C_{IN1}, C_{OUT}	2	UMK325BJ106MM	Ceramic Capacitor 3225 10µF, 50V, X5R	Taiyo Yuden
C_{IN2}	1	0.1µF	Ceramic Capacitor 1608 0.1µF, 50V, B	Std.
C_{NF}	1	6,800pF	Ceramic Capacitor 1608 6,800pF, 50V, B	Std.
C_{FB}	1	120pF	Ceramic Capacitor 1608 120pF, 50V, CH	Std.
R1	1	13kΩ	Resistor 1608 13kΩ, ±1%, 0.1W	Std.
R2	1	300kΩ	Resistor 1608 300kΩ, ±1%, 0.1W	Std.
R_T	1	27kΩ	Resistor 1608 27kΩ, ±1%, 0.1W	Std.
R_{NF}	1	8.2kΩ	Resistor 1608 8.2kΩ, ±5%, 0.1W	Std.
R_{FB}	1	27kΩ	Resistor 1608 27kΩ, ±5%, 0.1W	Std.

アプリケーション設計例（続き）

発振周波数の設定

「発振周波数対タイミング抵抗特性例」より、 $f_{osc}=700\text{kHz}$ のとき、 $R_T=27\text{[k}\Omega]$ 、 $t=1.43\text{[}\mu\text{s]}$ となります。

昇圧回路のデューティ比は、

$$\text{Duty} = \left(1 - \frac{V_{IN}}{V_{OUT}}\right) \times 100 = \left(1 - \frac{12}{24}\right) \times 100 = 50\text{ [%]}$$

より、 $t_{ON}=0.72\text{[}\mu\text{s]}$ 、 $t_{OFF}=0.71\text{[}\mu\text{s]}$ で動作します。

インダクタの決定

インダクタに流れる平均電流は入力電流 I_{IN} となるため、変換効率を $\eta=90\%$ と想定して入力電流を決定します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{\eta \times V_{IN}} = \frac{24 \times 0.3}{0.9 \times 12} = 0.67\text{ [A]}$$

最大出力電流 0.3A を想定するため、スイッチング電流制限最小値 $I_{LIM}=1.4\text{A(min)}$ にかからないように、インダクタ・リップル電流を設定します。本アプリケーションでは、インダクタ・リップル電流を、入力電流の 30% として設計します。

リップル電流を I_L とすると、

$$I_L = 0.3 \times I_{IN} = 0.3 \times 0.67 = 0.2\text{ [A]}$$

インダクタンス L を求めます。

$$L = \frac{V_{IN}}{\Delta I_L} \times t_{ON} = \frac{12}{0.2} \times 0.72\mu = 43.2 \Rightarrow 47\text{ [}\mu\text{H]}$$

インダクタンス L は、理論上の値であり、アプリケーションの仕様、部品等によって最適な値は異なりますので、最終的には実機で微調整を行います。

定常動作時のピーク電流 I_{pk} を求めます。

$$I_{pk} = I_{IN} + \frac{\Delta I_L}{2} = 0.67 + \frac{0.2}{2} = 0.77\text{ [A]}$$

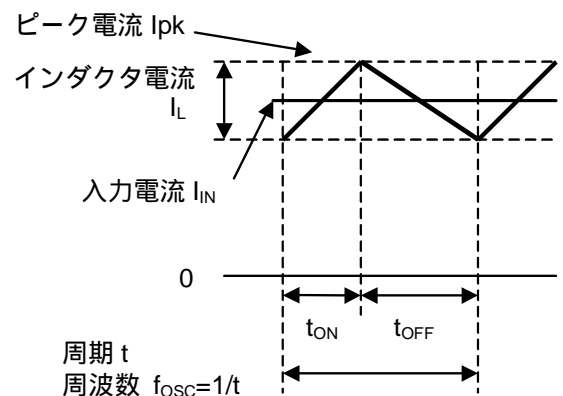


図9 インダクタ電流波形

インダクタンスに流せる電流は、スイッチング時のピーク電流に対して十分な余裕を持たせます。

アプリケーション回路では、 $47\mu\text{H}/1.52\text{A}$ を使用します。

アプリケーション設計例 (続き)

出力コンデンサの決定

出力コンデンサは、出力のリプルノイズを決める重要な部品です。

出力コンデンサは、ESR、リプル電流、コンデンサ耐圧に重点をおいて決定します。

出力リプル電圧は、下記計算式で表せます。

$$ESR = \frac{V_{\text{ripple(p-p)}}}{\Delta I_L}$$

また出力容量の選定には、十分なリプル電流を許容できる物を選びます。

コンデンサに流れるリプル電流の実効値(I_{rms})は、

$$I_{\text{rms}} = \sqrt{I_{\text{PK}}^2 - I_{\text{OUT}}^2} = \sqrt{0.77^2 - 0.3^2} = 0.71 \text{ [Arms]}$$

となります。

ここでは十分なマージンをふまえて、上記スペックを満たせるコンデンサを使用します。アプリケーション回路では、セラミックコンデンサ $C_{\text{OUT}}=10\mu\text{F}/50\text{V}$ を使用します。

電圧検出回路部の決定

出力電圧 V_{OUT} は、 R_1, R_2 の抵抗比で決まります。 R_1, R_2 に流れる電流は、Error AMP に流れるバイアス電流を無視できるような値とします。

$$V_{\text{OUT}} = \left(\frac{R_2}{R_1} + 1 \right) \times V_B = \left(\frac{300\text{k}}{13\text{k}} + 1 \right) \times 1 = 24.07 \text{ [V]}$$

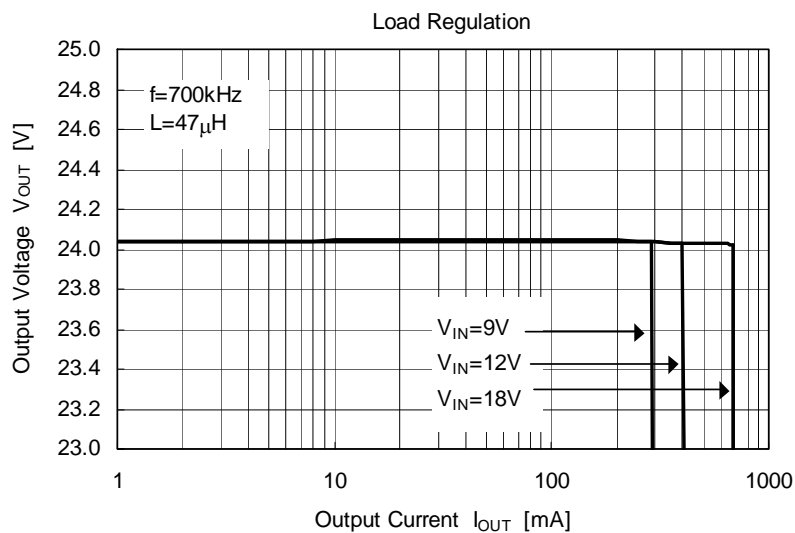
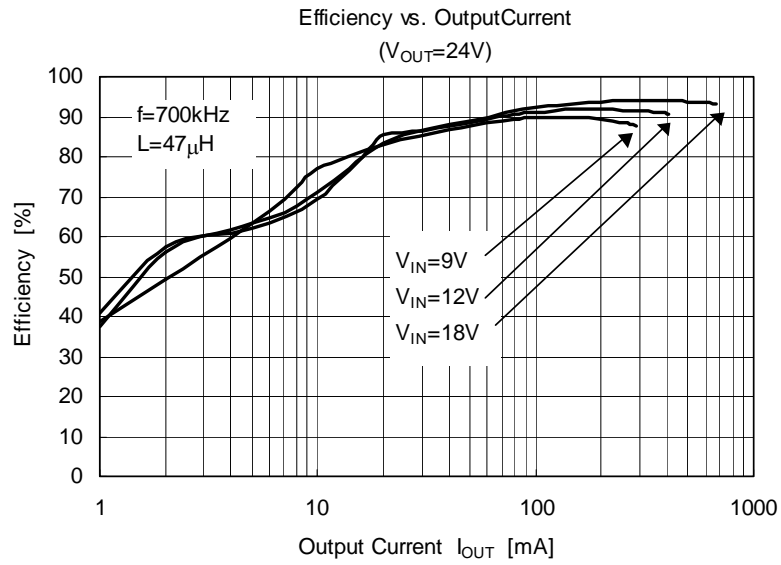
NJW4131 のエラーアンプ出力は、FB 端子に接続されているため、フィードバックを容易にかけることができます。エラーアンプにおける電圧検出は、DC ゲインを重視します。AC ゲインは、スイッチングノイズ、商用リプルノイズ等の成分が多いため、ゲインを大きくするとスイッチングレギュレータの安定性に影響を与えます。

エラーアンプの帰還方法は、DC ゲインを十分に上げ、AC ゲインを下げる接続方法をとります。

本アプリケーションでは、帰還抵抗 $R_{\text{NF}}=8.2\text{k}\Omega$ とコンデンサ $C_{\text{NF}}=6,800\text{pF}$ を直列接続します。

ただし AC ゲインを下げ過ぎますと、急激な負荷変動に追従できなくなる可能性があります。アプリケーションの部品、レイアウト、環境などによって異なる為、カットアンドトライで最適化することをお奨めします。

アプリケーション特性例 :NJW4131GM1-A



<注意事項>

このデータブックの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものではありません。