

デュアルハーフブリッジドライバ

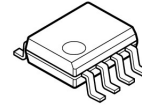
■ 概要

NJW4810A は、1A の電流を供給できる汎用デュアルハーフブリッジドライバです。VDD1 と VDD2 を共通にすることによりフルブリッジドライバとしても使用可能です。ハイサイドに Pch MOSFET を採用し、duty=100%の動作ができます。また内蔵のゲートドライバによって、高速スイッチングが可能です。

過電流保護、サーマルシャットダウンの保護機能を搭載し、異常時には FAULT 信号を出力することができます。

マイコンや DSP などのロジック信号からパワー・スイッチングを行うアプリケーションに最適です。

■ 外形

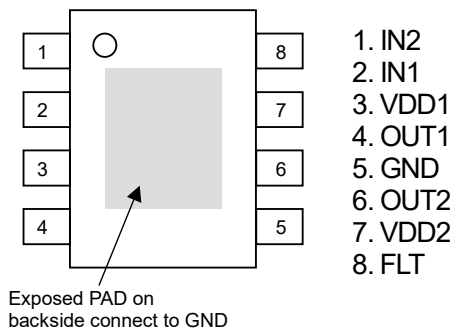


NJW4810AGM1

■ 特長

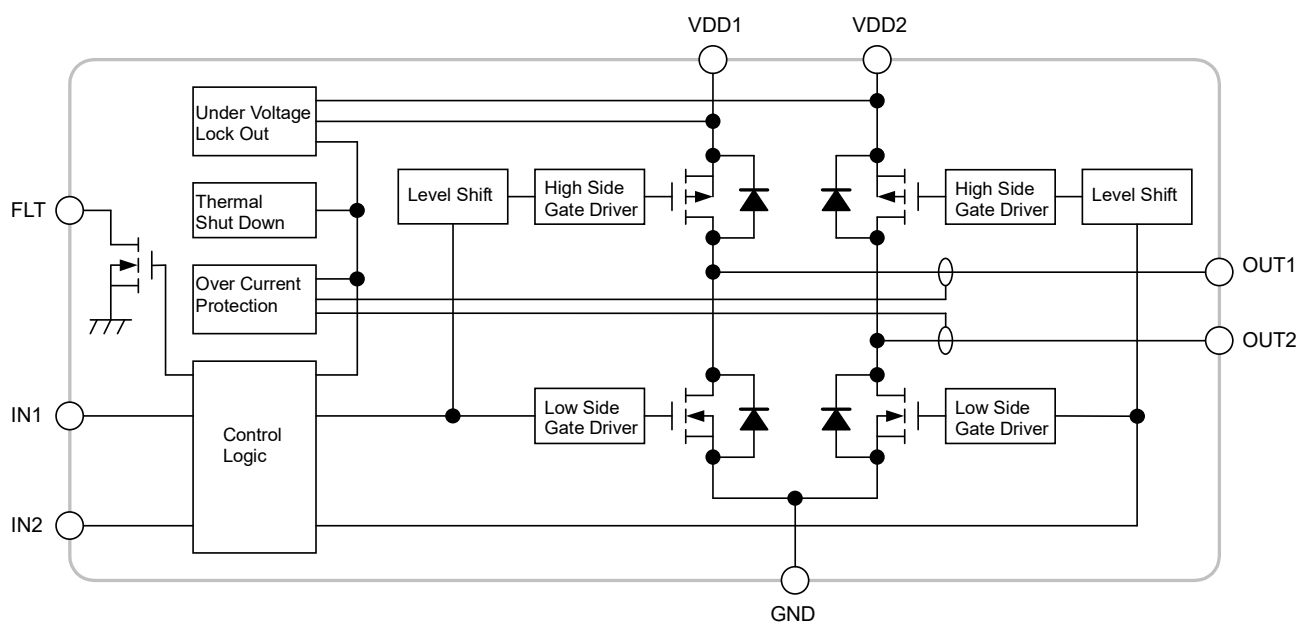
- 出力スイッチ電流 $\pm 1A$
- 動作電圧範囲 8.0V to 40V
- サーマルシャットダウン
- 過電流検出回路
- 低電圧誤動作防止回路
- FAULT 信号出力機能
- 高放熱パッケージ
- 外形 HSOP8

■ 端子配列



NJW4810A

■ ブロック図



■ 絶対最大定格

(Ta=25°C)

項目	記号	定格	単位	備考
電源電圧	V ⁺ 1, V ⁺ 2	+45	V	VDD1-GND端子, VDD2-GND端子
入力電圧	V _{IN}	-0.3 to +6	V	IN1-GND, IN2-GND端子
FLT 端子電圧	V _{FLT}	-0.3 to +6	V	FLT-GND 端子
FLT 端子電流	I _{FLT}	1	mA	
消費電力	P _D	0.9 (*1) 3.1 (*2)	W	
接合部温度範囲	T _J	-40 to +150	°C	
動作温度範囲	T _{opr}	-40 to +85	°C	
保存温度範囲	T _{stg}	-50 to +150	°C	

(*1): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)でEIA/JEDEC 準拠による

(*2): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)でEIA/JEDEC 準拠による

(4層基板内箔: 74.2×74.2mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)

■ 推奨動作条件

項目	記号	最小	標準	最大	単位	備考
動作電源電圧	V ⁺ 1 V ⁺ 2	8	-	40	V	VDD1-GND 端子 VDD2-GND 端子
出力スイッチ電流	I _{OM}	0	-	1	A	OUT1, OUT2 端子
入力電圧	V _{IN}	0	-	5.5	V	IN1-GND, IN2-GND端子
FLT 端子電圧	V _{FLT}	0	-	5.5	V	FLT-GND端子

NJW4810A

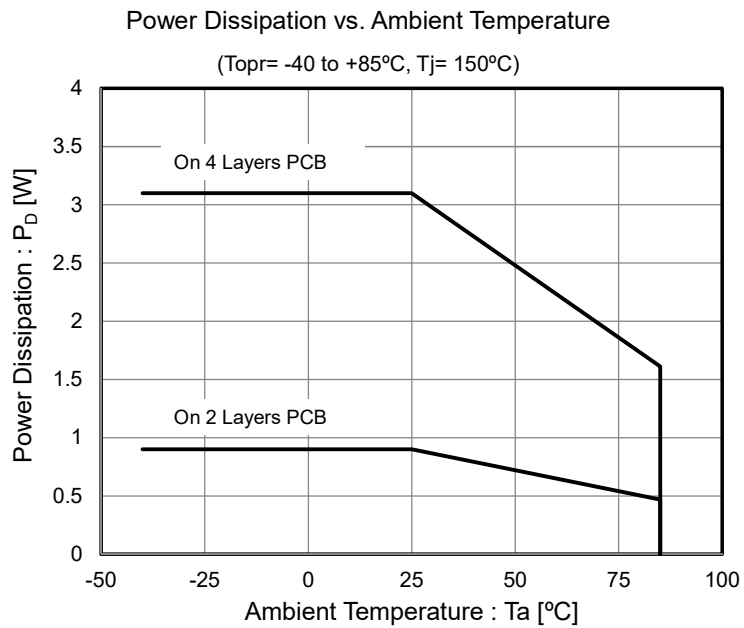
■ 熱特性

項目	記号	値	単位
接合部—周囲雰囲気間	θ_{ja}	139 (*1) 40 (*2)	$^{\circ}C/W$
接合部—ケース間	ψ_{jt}	19 (*1) 3.7 (*2)	$^{\circ}C/W$

(*1): 基板実装時 76.2×114.3×1.6mm(2層 FR-4)でEIA/JEDEC 準拠による

(*2): 基板実装時 76.2×114.3×1.6mm(4層 FR-4)でEIA/JEDEC 準拠による

(4層基板内箔 : 74.2×74.2mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用)



■ 電気的特性

(特記事項なき場合、 $V^+1=V^+2=12V$, $T_a=25^\circ C$)

項目	記号	条件	最小	標準	最大	単位	
全体							
消費電流1 (動作時)	I_{Q1}	$V_{IN1}=V_{IN2}=0V$	V^+1	–	0.9	1.7	mA
			V^+2	–	0.3	0.8	
消費電流2 (スイッチング時)	I_{Q2}	$V_{IN1}=V_{IN2}=0V$ to $3V$, $f_{IN1}=f_{IN2}=750kHz$ antiphase 50% Duty Cycle	V^+1	–	3.7	5.5	mA
			V^+2	–	3.2	5.0	

出力部

ハイサイド SW ON 抵抗	R_{DSSH}	$I_{OSOURCE}=600mA$	–	1.0	1.8	Ω
ローサイド SW ON 抵抗	R_{DSL}	$I_{OSINK}=600mA$	–	0.75	1.3	Ω
過電流リミット(*3)	I_{LIMIT}	High-side and Low-side	1	2	3	A
過電流保護時間(*3)	t_{OCP}	High-side and Low-side $R_{FLT}=47k\Omega$, $V_{FLT}=5V$	15	30	80	ms
出力立ち上がり時間	t_r	$V_{IN1}=V_{IN2}=0$ to $3V$	–	3	–	ns
出力立ち下がり時間	t_f	$V_{IN1}=V_{IN2}=3$ to $0V$	–	5	–	ns
デッドタイム	Dt	$V_{IN1}=V_{IN2}=0$ to $3V$	–	50	–	ns
立ち上がり遅延時間	t_{d_ON}	$V_{IN1}=V_{IN2}=0$ to $3V$	–	120	–	ns
立ち下がり遅延時間	t_{d_OFF}	$V_{IN1}=V_{IN2}=3$ to $0V$	–	120	–	ns
ハイサイド SW OFF時リーク電流	$I_{OLEAKOUTH}$	$V^+1=V^+2=5.5V$, $V_{OUT1}=V_{OUT2}=0V$	–	–	1	μA
ローサイド SW OFF時リーク電流	$I_{OLEAKOUTL}$	$V^+1=V^+2=5.5V$, $V_{OUT1}=V_{OUT2}=5.5V$	–	–	1	μA
OUT端子-VDD端子間電位差	V_{PDOV}	$I_{ORH}=1A$, $V^+1=V^+2=5.5V$	–	0.9	1.5	V
GND端子-OUT端子間電位差	V_{PDGO}	$I_{ORL}=1A$, $V^+1=V^+2=5.5V$	–	0.9	1.5	V

(*3): 過電流検出には最大 $1\mu s$ の時間がかかります。そのため、この過電流検出時間未満の過電流については検出されません。そのため、短時間の過電流が連続してパワートランジスタに流入しないように、IN1, IN2 端子のパルス幅および周期を制御してください。

入力回路部

入力端子 High電圧	V_{IHIN}		2.0	–	5.5	V
入力端子 Low電圧	V_{ILIN}		0	–	0.8	V
入力端子 流入電流	I_{IIN}	$V_{IN1}=V_{IN2}=5.5V$	–	0.01	1	μA

低電圧誤動作防止(UVLO) 回路

UVLO 解除電圧(*4)	V_{UVLO2}	$V^+1=V^+2=L \rightarrow H$	6.3	7.0	7.7	V
UVLO 動作電圧(*4)	V_{UVLO1}	$V^+1=V^+2=H \rightarrow L$	6.0	6.7	7.4	V
UVLO ヒステリシス電圧幅	ΔV_{UVLO}	$V_{UVLO2}-V_{UVLO1}$	–	0.3	–	V

(*4): UVLO は V^+1 、 V^+2 それぞれのラインで動作します。

FLT 端子

Lowレベル出力電圧	V_{LFLT}	$I_{FLT}=500\mu A$	–	0.25	0.5	V
OFF時リーク電流	$I_{OLEAKFLT}$	$V^+1=V^+2=5.5V$, $V_{FLT}=5.5V$	–	–	1	μA

NJW4810A

■ 端子動作表

INPUT			OUTPUT				Mode	
IN1	IN2	VDD1, VDD2	FLT	OUT1 ハイサイド SW	OUT1 ローサイド SW	OUT2 ハイサイド SW		OUT2 ローサイド SW
L	L	V^{+1} and $V^{+2} \geq V_{UVLO2}$	ON	OFF	ON	OFF	ON	Normal
L	H	V^{+1} and $V^{+2} \geq V_{UVLO2}$	ON	OFF	ON	ON	OFF	Normal
H	L	V^{+1} and $V^{+2} \geq V_{UVLO2}$	ON	ON	OFF	OFF	ON	Normal
H	H	V^{+1} and $V^{+2} \geq V_{UVLO2}$	ON	ON	OFF	ON	OFF	Normal
—	—	V^{+1} or $V^{+2} < V_{UVLO1}$	OFF	OFF	OFF	OFF	OFF	UVLO

INPUT			OUTPUT				Mode	
Tj	I _{OUT1}	I _{OUT2}	FLT	OUT1 ハイサイド SW	OUT1 ローサイド SW	OUT2 ハイサイド SW		OUT2 ローサイド SW
Tj > 150°C	—	—	OFF	OFF	OFF	OFF	OFF	TSD (*5)
—	I _{OUT1} ≥ I _{LIMIT}	—	OFF	OFF	OFF	OFF	OFF	OCP (*6)
—	—	I _{OUT2} ≥ I _{LIMIT}	OFF	OFF	OFF	OFF	OFF	OCP (*6)

(*5): TSD 機能が働いた後、Tj < 125°Cになると、Normal モードに復帰します。

(*6): OCP 機能が働いてから、t_{OCP} 経過後 Normal モードに復帰します。

■ タイミングチャート

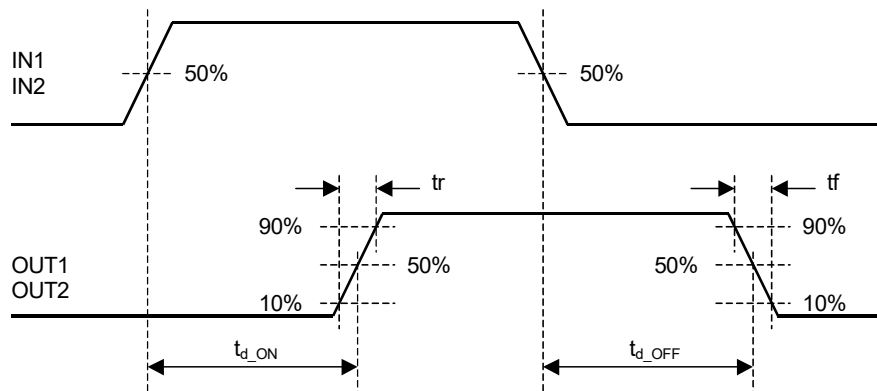


図1 出力立ち上がり/下がり時間、立ち上がり/下がり遅延時間

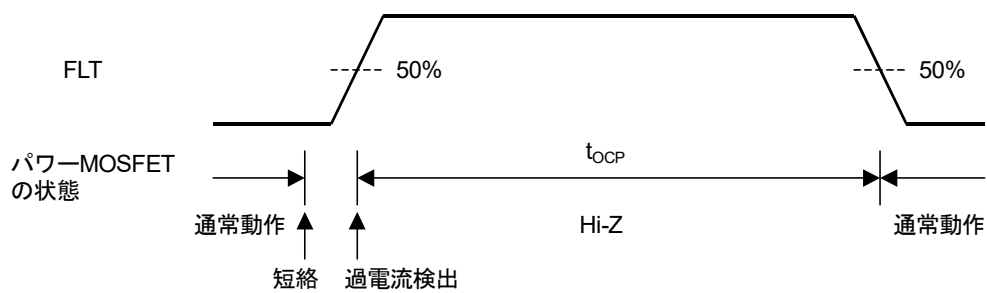


図2 過電流保護時間

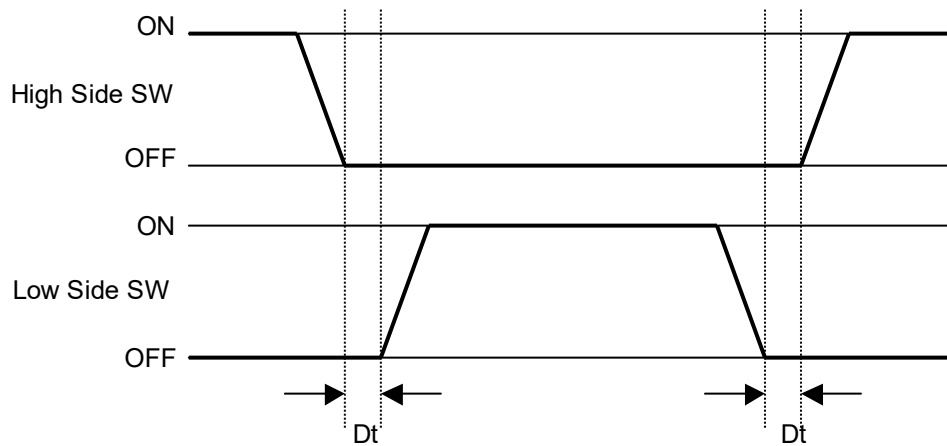
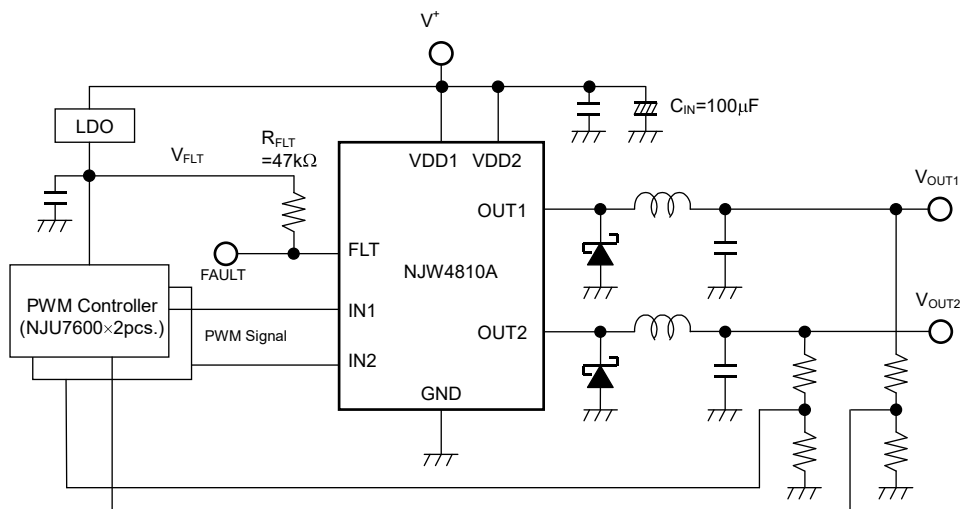


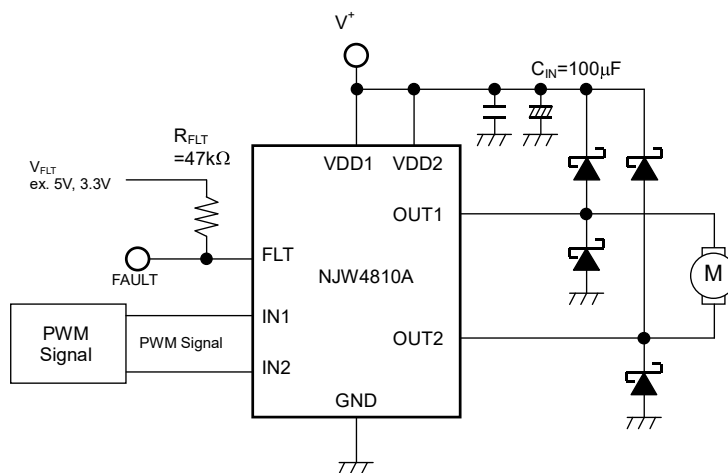
図3 SW 動作とデッドタイム

NJW4810A

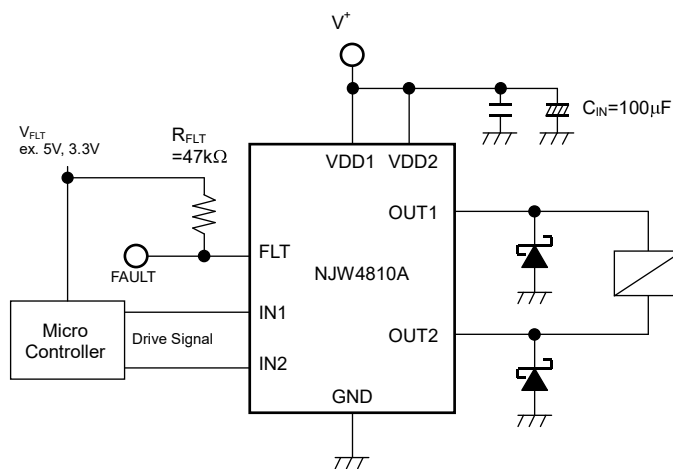
■ アプリケーション回路例



2ch Synchronous PWM step down switching regulator

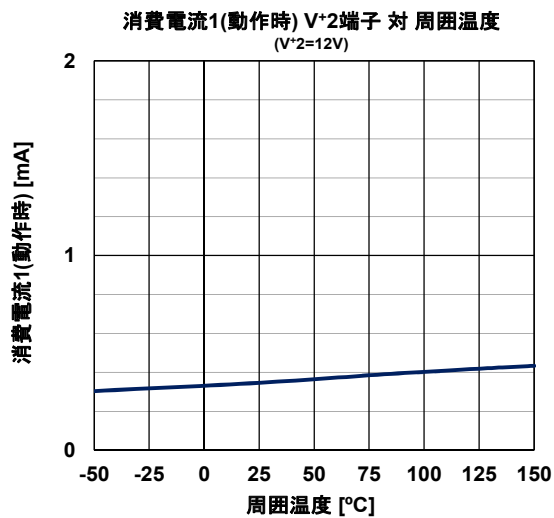
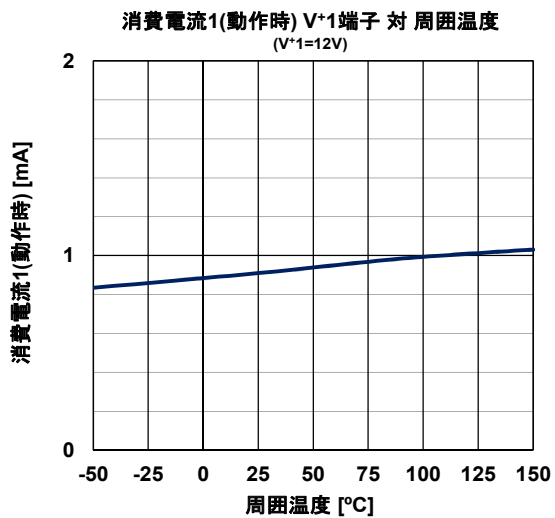
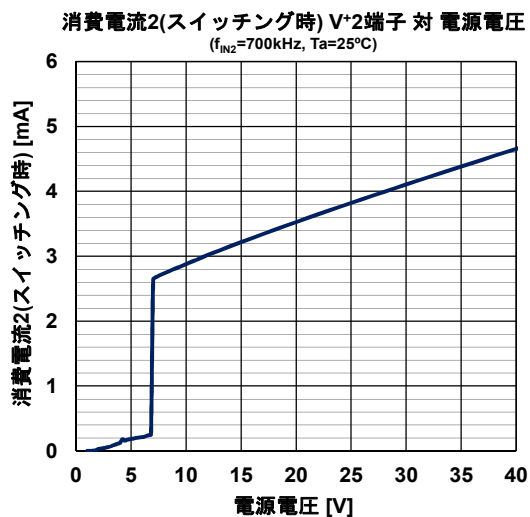
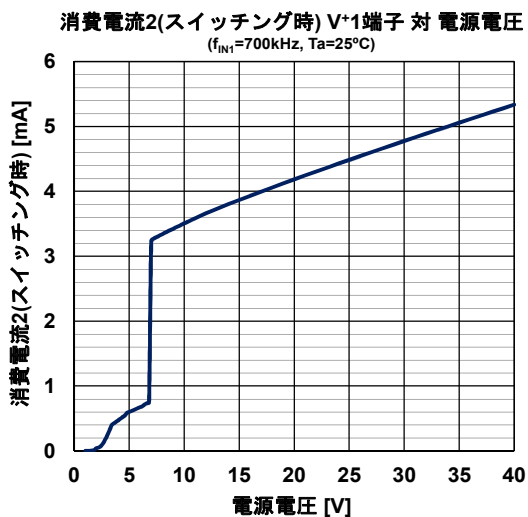
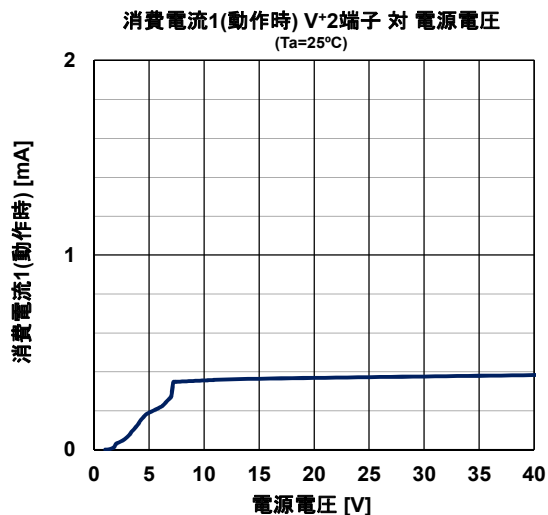
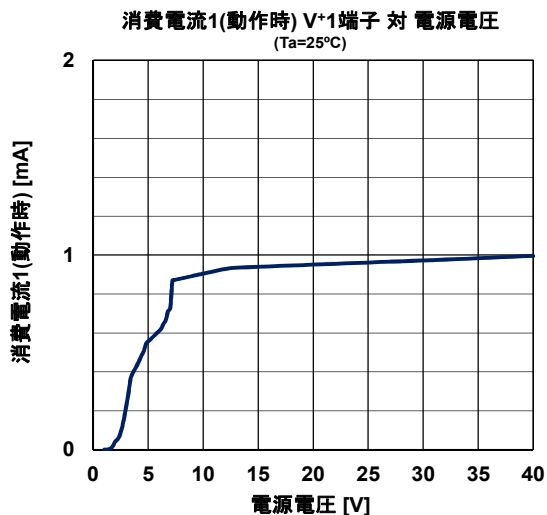


Full bridge motor driver



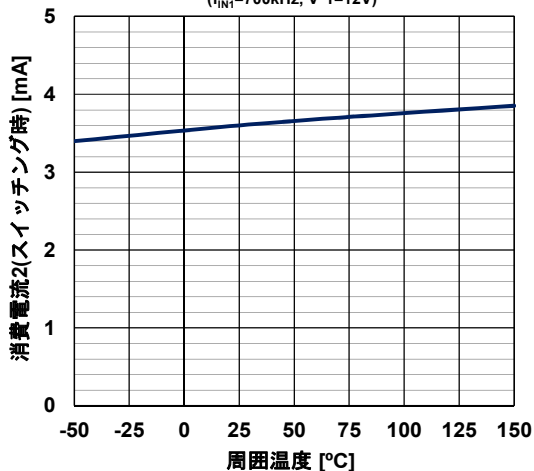
Latch type solenoid driver

■ 特性例

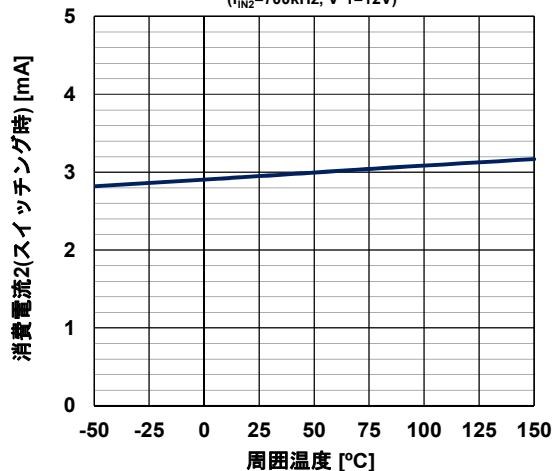


■ 特性例

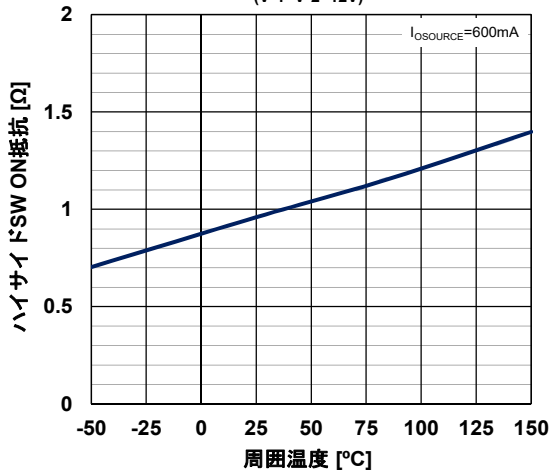
消費電流(スイッチング時) V⁺1端子 対 周囲温度
($f_{IN1}=700\text{kHz}$, $V^+1=12\text{V}$)



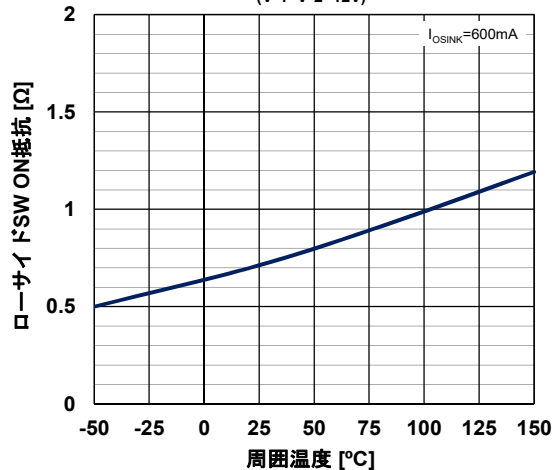
消費電流(スイッチング時) V⁺2端子 対 周囲温度
($f_{IN2}=700\text{kHz}$, $V^+1=12\text{V}$)



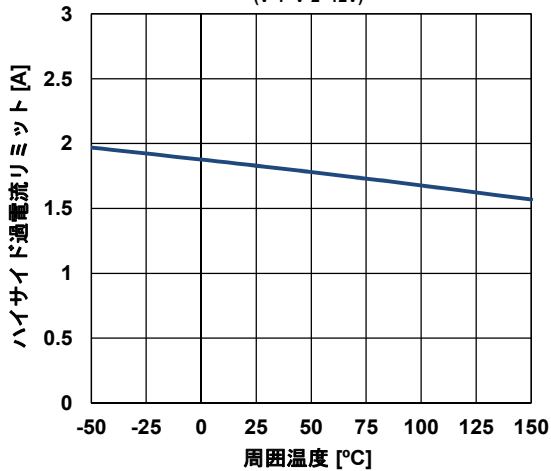
ハイサイドSW ON抵抗 対 周囲温度
($V^+1=V^+2=12\text{V}$)



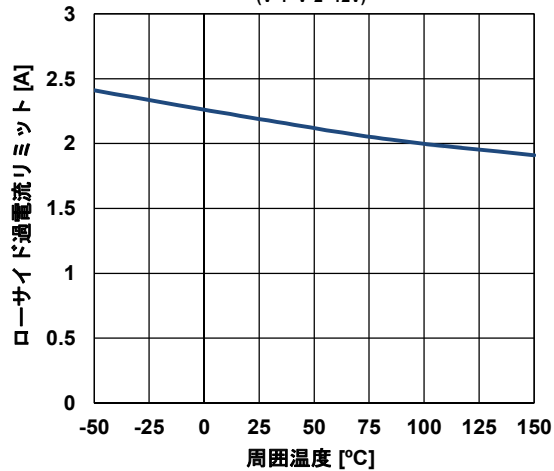
ローサイドSW ON抵抗 対 周囲温度
($V^+1=V^+2=12\text{V}$)



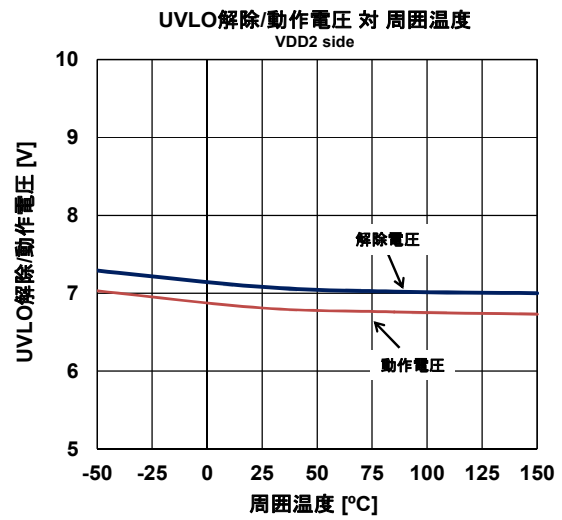
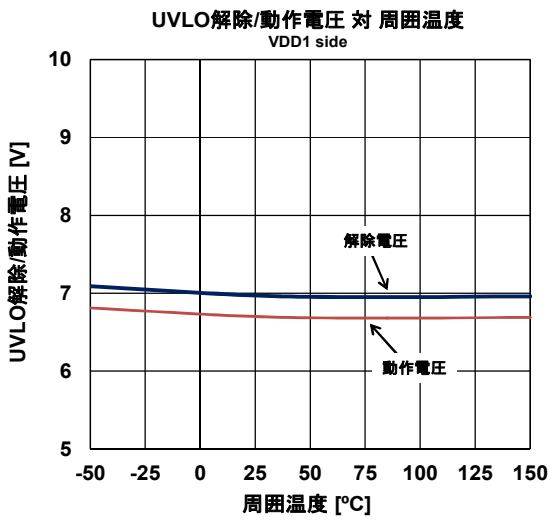
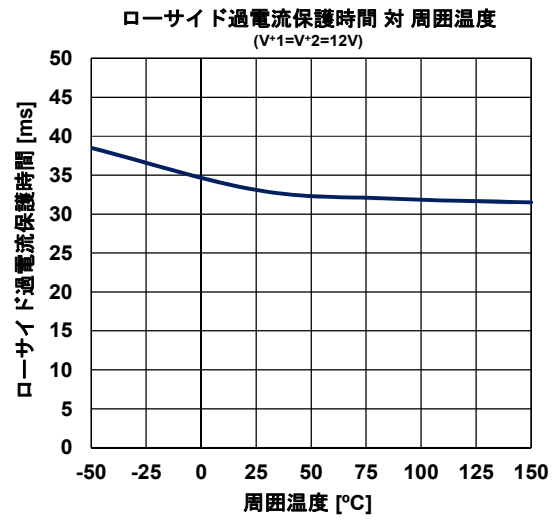
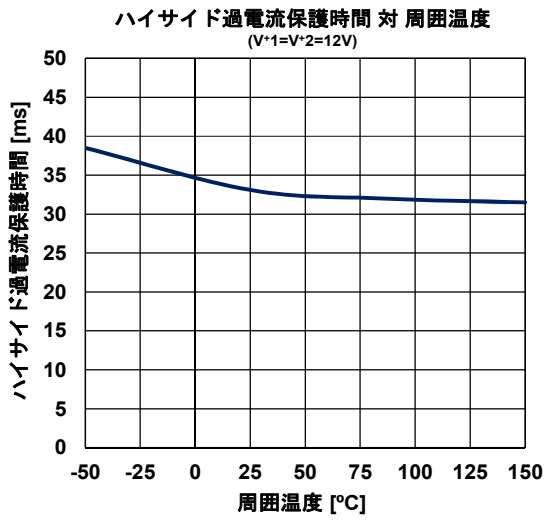
ハイサイド過電流リミット 対 周囲温度
($V^+1=V^+2=12\text{V}$)



ローサイド過電流リミット 対 周囲温度
($V^+1=V^+2=12\text{V}$)



■ 特性例



MEMO

＜注意事項＞

このデータシートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、工業所有権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。