

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

高速 CMOS 標準ロジック IC (μ PD74HC シリーズ) の使い方 —— 初めてデジタル IC を使う方へ ——

集積回路
技術資料
IEP-756A

保守 / 廃止

本資料は、はじめてデジタル IC を使う方を対象に、弊社高速 CMOS 標準ロジック IC μ PD74HC シリーズの使い方について説明するものです。デバイス編では各種ロジック IC の選び方と CMOS IC 使用にあたっての注意点を中心に、またロジック編では各ロジック IC の基本的な動作と応用回路例を中心に説明します。データ・ブックの技術資料とあわせてご利用ください。

目 次

I. デバイス編	2
1. 各種標準ロジック IC の特徴と選び方	2
2. 各種標準ロジック IC の動作原理	8
3. 高速 CMOS 標準ロジック IC の取り扱い上の注意点	12
4. μ PD74HC シリーズの特徴	22
II. ロジック編	25
1. デジタルとは	25
2. ゲートおよび組み合わせ回路	27
3. フリップフロップおよびラッチ	39
4. シフト・レジスタ	48
5. カウンタ	53
6. アナログ・スイッチ	57
7. モノステーブル・マルチバイブレータ	59

日本電気株式会社

保守/廃止

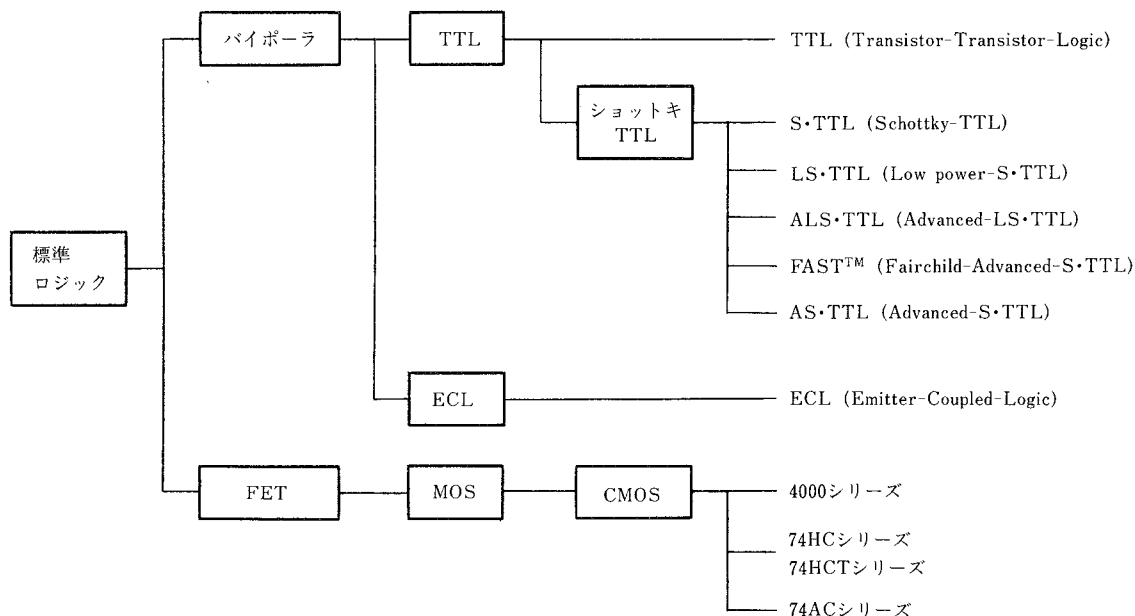
I. デバイス編

1. 各種標準ロジック IC の特徴と選び方

1.1 特 徴

標準ロジック IC には、バイポーラ・トランジスタで構成された TTL や ECL などと、ユニポーラ・トランジスタ (FET など) で構成された CMOS ロジックがあります。また、TTL のなかには高速化を目的とした各種ショットキ TTL があります (図 1 参照)。

図 1 標準ロジック IC の種類



※FAST™はフェアチャイルド社の商標です。

おのおのの標準ロジック IC の特性はおおむね表 1 のようになります。

- 動作温度については、CMOSは低温時での動作が可能
- 動作電圧については、74HCTを除く CMOSは低電圧動作が可能、CMOS4000は高電圧動作が可能
- 動作周波数については、ECLが最高速、CMOS4000が最低速
- 論理スレッシュホールド電圧については、TTLレベル(0.8~2.0V)のもの、ECLレベル(-1.5~-1.2V)のもの、CMOSレベル(0.2 or 0.3~0.7×V_{DD})のものがあり、
- 入力電流については、CMOSはゼロ
- 出力電流については、ロジックにより流せる電流値が異なり
- 静消費電流については、CMOSはゼロ

などの特徴があります。また、その他の特徴としては表 2 のようなものがあります。

保守/廃止

表1 各種標準ロジックICの特性概要

種類	TTL	S-TTL	LS-TTL	ALS-TTL	FAST™	AS-TTL	ECL	CMOS4000	74HC	74HCT	74AC
特性											
動作温度範囲(°C)	0 ~ +70 (-20 ~ +75のものもある)										
動作電源電圧範囲(V)	4.75 ~ 5.25										
動作周波数 TYP.(MHz) [2入力NAND電源電圧5V(12V)]	50	140	50	80	140	250	500	6 (15)	70	50	140
(論理)スレッシュホールド電圧 V _T (V)注	0.8 ~ 2.0										
ハイ・レベル入力電流 TYP. (mA)	0										
ロウ・レベル入力電流 TYP. (mA)	-1	-1.5	-0.2	-0.1	-0.4	-0.4	0.1 (V _I =-0.9V)	0	0	0	0
最小ハイ・レベル出力電流(mA)	-0.4 ~ -5.2	-0.5 ~ -6.5	-0.4 ~ -15	-0.4 ~ -2.6	-1 ~ -15	-20	-20	-0.4 ~ -0.7	-4 ~ -6	-24	-24
最小ロウ・レベル出力電流(mA)	16 ~ 48	20 ~ 60	4 ~ 24	8 ~ 24	20 ~ 64	4	4	0.4 ~ 3	4 ~ 6	24	24
静消費電流 TYP.(mA) [Quad 2入力NAND]	10	20	2.5	1.5	7	10	50	0	0	0	0

注 『II.ロジック編-1.ロジックとは』参照

保守/廃止

表2 その他の特徴

各種TTL	ECL	各種CMOS
(1) 入力オープン時の論理はH ・ノイズの影響を受けやすいので、pull up ^{注1} が好ましい。 (2) 入力電圧>電源電圧(=0V)でも、使用可能。 (3) 出力電圧>電源電圧(=0V)でも、使用可能なものもある。	(1) 入力オープン時の論理はL	(1) 入力オープン時の論理は不定 ・消費電流大となる場合があるので、pull upもしくはpull down ^{注2} が必要。 (2) 入力電圧>電源電圧(=0V)でも、使用可能な品種もある。 (3) アナログ信号をオン・オフできる品種(アナログスイッチ)がある。 (4) コンデンサを入力に接続することにより、一時的にデータを保持できる。 (5) 論理の切り替わり時にサージ的に電源電流が流れるので、ノイズ源になりやすい。 (6) 構造上、ラッチアップ ^{注3} が発生し得る。

- 注1 電源(V_{CC} or V_{DD})へ接続
 2 グランド(GND or V_{SS})へ接続
 3 I. 3.3項参照

1.2 選び方

ここでは前述の特徴をふまえて、標準ロジックICを選ぶ手順(種類の選び方、応答速度からの選び方、その他の要望からの選び方)について説明します。

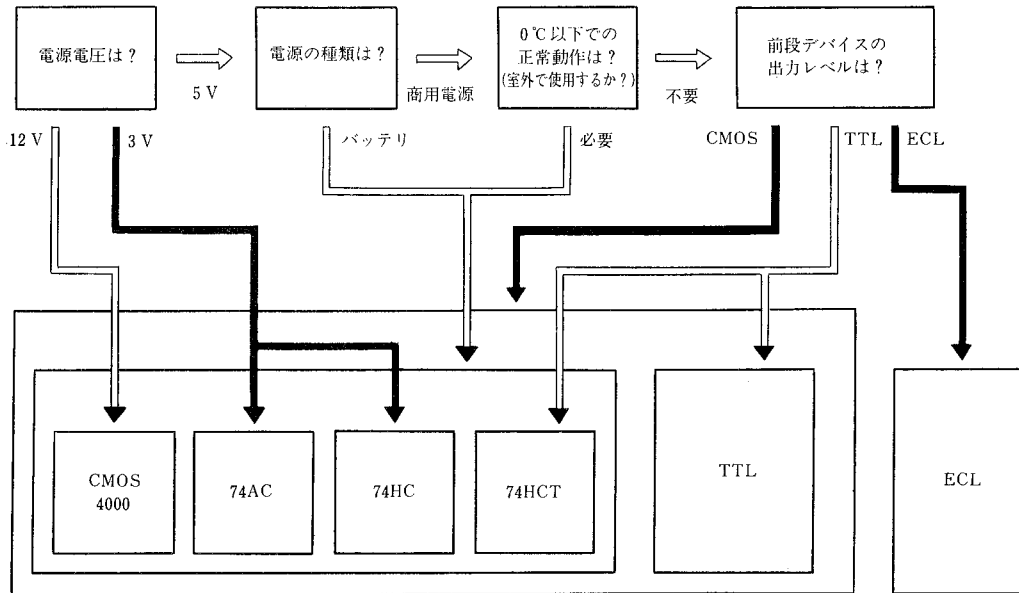
図2は装置の仕様(電源、周囲温度および標準ロジックICに接続する前段デバイスの出力電圧レベルなど)により、最適な標準ロジックICの種類を選ぶためのものです。

- たとえば
- | | | | |
|-------|---------------|------|---------|
| 電源電圧 | = 5V | のときは | CMOSが最適 |
| 電源の種類 | = リチウム電池 (6V) | | |
| 0℃以下 | = 動作不要 | | |
| 出力レベル | = CMOS | | |

となります。

保守/廃止

図2 各種標準ロジックICの選び方(その1)

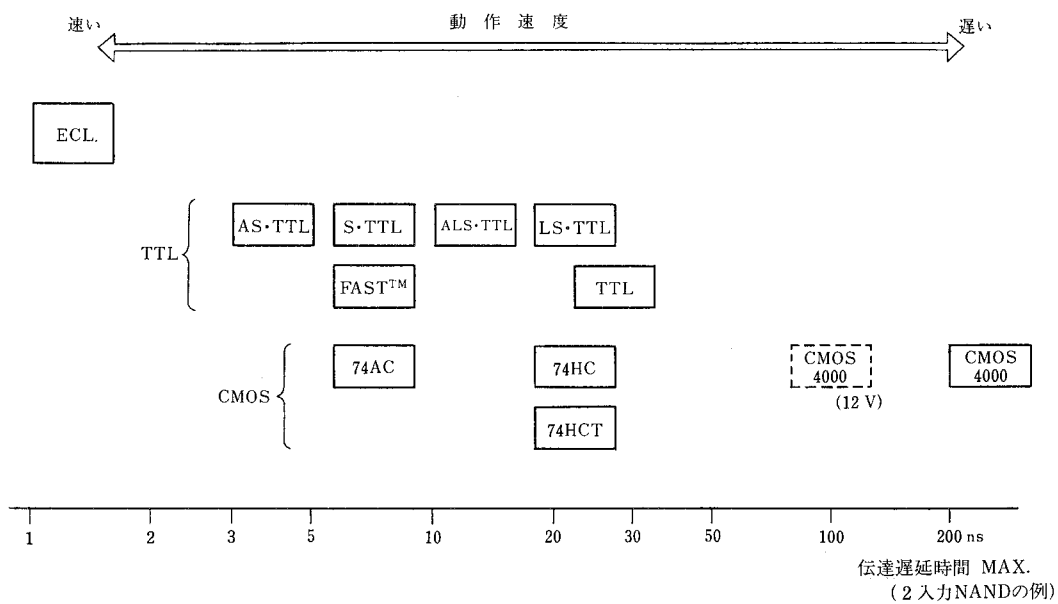


次に、図2によりTTLもしくはCMOSを選んだ場合には、動作周波数や動作タイミング上必要な時間により、図3をめやすとして品種をしばりこみます。

- たとえば対象の機能が2入力NANDで、入力から出力までの応答時間(伝達遅延時間)が30ns以下が必要であり、図2よりCMOSを選んだ場合には

図3より 74HC 74HCT のいずれかが最適品種となります。

図3 各種標準ロジックICの選び方(その2)



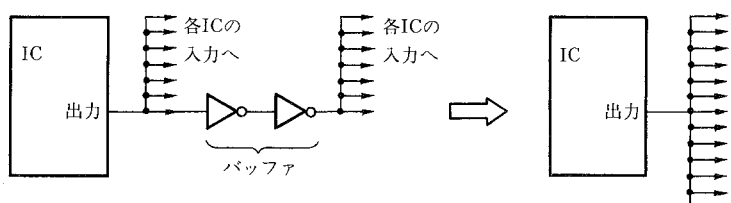
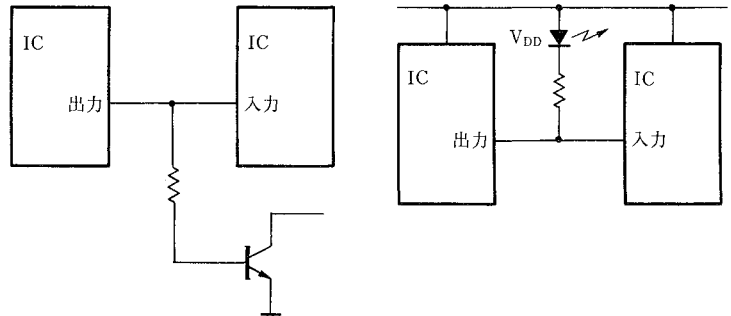
保守/廃止

また、その他の要望については表3を参考に選びます。

・たとえば図2, 図3より74HC, 74HCTを選び, ノイズマージンの大きいものが必要な場合には

表3より 74HC が最適品種となります。

表3 その他の選び方

状 況	最適IC
(1) 消費電力をできるだけ小さくしたい。 電源の小形化, 高密度実装にともなう放熱コストの低減を図りたい。	CMOS
(2) ノイズの多い装置のため, ノイズマージンの大きいICを使いたい。	CMOS4000 74HC 74AC
(3) ファンアウト(動作させるべき次段ICの入力数)をできるだけ大きくし, 不要なバッファ(ドライバ)をなくしたい。 	(各ICを) CMOS
(4) 同一出力端子を, トランジスタやLED(発光ダイオード)などのドライブ用とロジック出力用に兼用したい。 	CMOS
(5) 輻射ノイズを小さくしたい。	TTL
(6) 出力電圧のオーバーシュート・アンダシュートを小さくしたい。	TTL

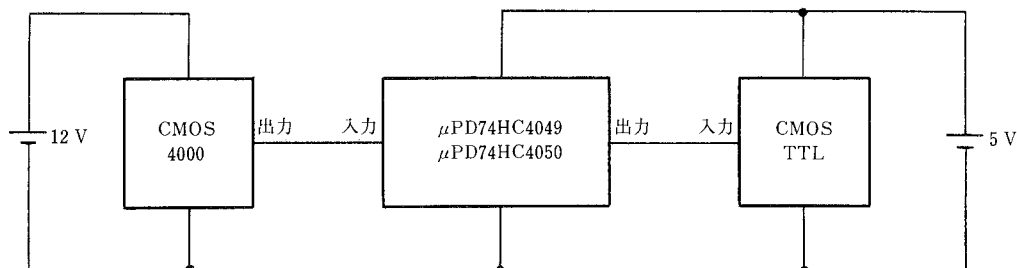
1.3 レベル変換(インタフェース)

図2, 図3および表1~表3に示すICのメリットを生かすために, 各種ロジックIC間のレベル変換に必要なインタフェースの一例を図4に示します。なお, CMOSの入力に接続するpull up 抵抗Rの値は, 伝達遅延時間がおおむね $R \times C_1$ (C_1 : CMOSICの入力容量) 程度となることをめやすとして選ぶ必要があります。

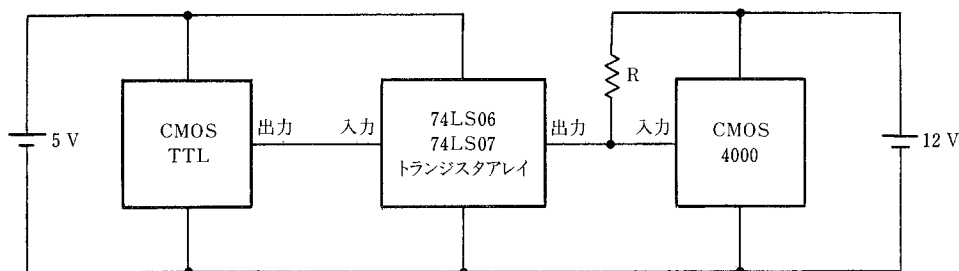
保守/廃止

図4 レベル変換（インタフェース）例

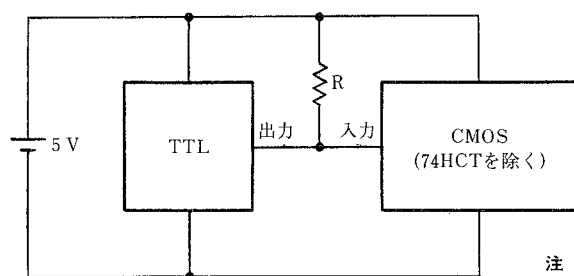
(1) 12V → 5V変換



(2) 5V → 12V変換

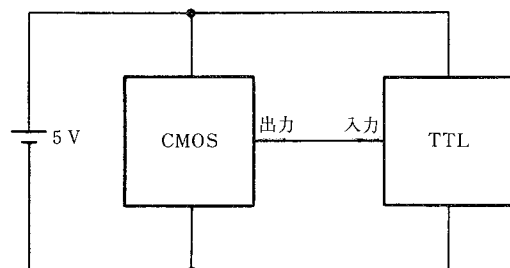


(3) TTL → CMOS変換



注 74HCTの場合は pull up 抵抗 R は不要

(4) CMOS → TTL変換（直結で可）



保守/廃止

2. 各種標準ロジック IC の動作原理

2.1 TTL

TTLは、NPNトランジスタ・ダイオードと抵抗により論理回路(II, ロジック編 参照)を構成するもので、図5にインバータ(反転回路)の例を示します。

図5で(1)入力『ハイレベル』時の動作は、

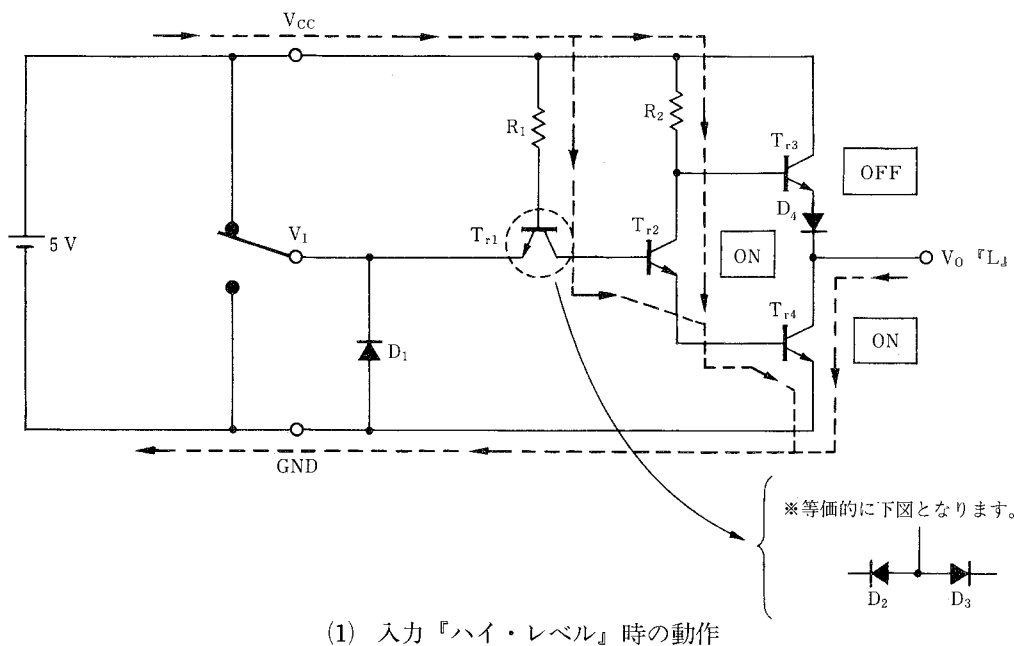
- 直流電源より抵抗 R_1 , トランジスタ T_{r1} のベース・コレクタ(等価的にはダイオード D_3), トランジスタ T_{r2} のベース・エミッタに電流が流れるため T_{r2} が『ON』となり, T_{r3} が『OFF』となります。
- 直流電源より抵抗 R_2 , T_{r2} のコレクタ・エミッタ, T_{r4} のベース・エミッタに電流が流れることにより T_{r4} が『ON』となり, 出力 V_0 はロウ・レベル『L』となります。

次に(2)入力『ロウレベル』時の動作は、

- 直流電源より抵抗 R_1 , T_{r1} のベース・エミッタ(等価的にはダイオード D_2) に電流が流れ, T_{r1} のコレクタ(等価的にはダイオード D_3) の方には電流が流れないためトランジスタ T_{r2} , T_{r4} が『OFF』となります。
($\because D_3$ に電流が流れるためには、入力電圧 V_1 が T_{r2} と T_{r4} のベース・エミッタ間電圧の和、たとえば1.2V程度以上であることが必要)
- 直流電源より抵抗 R_2 , トランジスタ T_{r3} のベース・エミッタ, 出力 V_0 に電流が流れ, T_{r3} が『ON』となります。なお、出力がオープンの場合でも、 T_{r3} はONにはならないが、 R_2 により出力が pull upされるため、出力はハイ・レベル『H』となります。

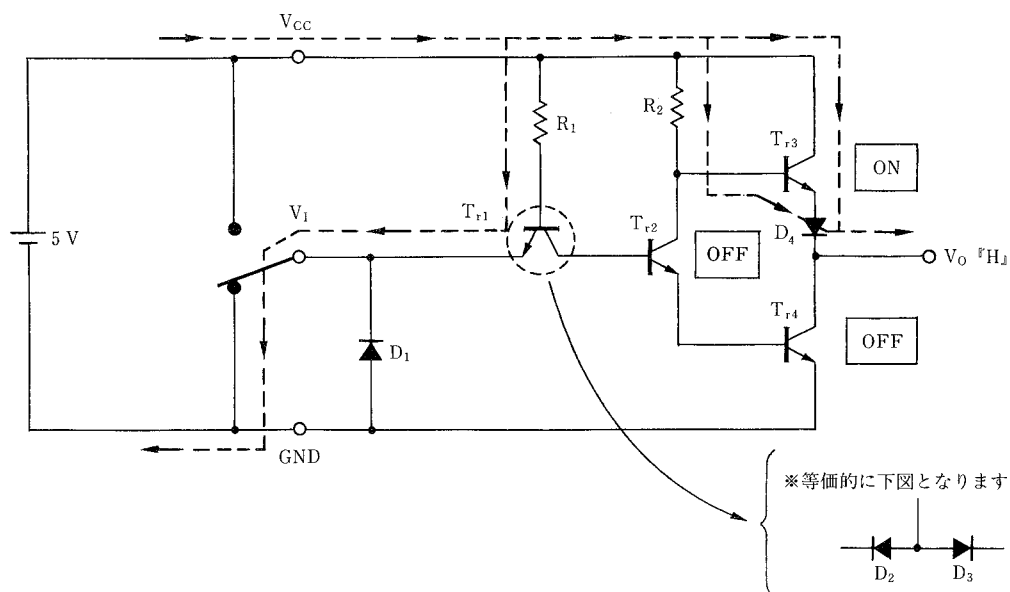
したがってTTLは、入力のレベル(H or L)にかかわらず、また負荷の有無にかかわらず消費電流が流れ続けるため、消費電力が大きくなります。

図5 TTLの動作原理を示す等価的な回路(インバータの例)



(1) 入力『ハイ・レベル』時の動作

保守/廃止



(2) 入力『ロウ・レベル』時の動作

2.2 ECL

ECLは、NPNトランジスタ・ダイオードと抵抗により論理回路を構成するもので、基本的な動作はリニアICのコンパレータと同じです。

図6の基本回路で、(1)入力『ハイ・レベル』時の動作は、

- 入力電圧 V_I (-1.0V) が内部の基準電圧 (-1.3V) よりも高いため、直流電源よりハイ・レベルバイアス電源 (1.0V)、トランジスタ T_{r1} のベース・エミッタ、定電流回路に電流が流れ T_{r1} が『ON』となり、トランジスタ T_{r2} が『OFF』となります。
- 負荷電源 (2V) より抵抗 R_2 、トランジスタ T_{r3} のベース・エミッタ、負荷抵抗 R_L に電流が流れることより T_{r3} が『ON』となり、出力 V_O がハイ・レベル『H』となります。

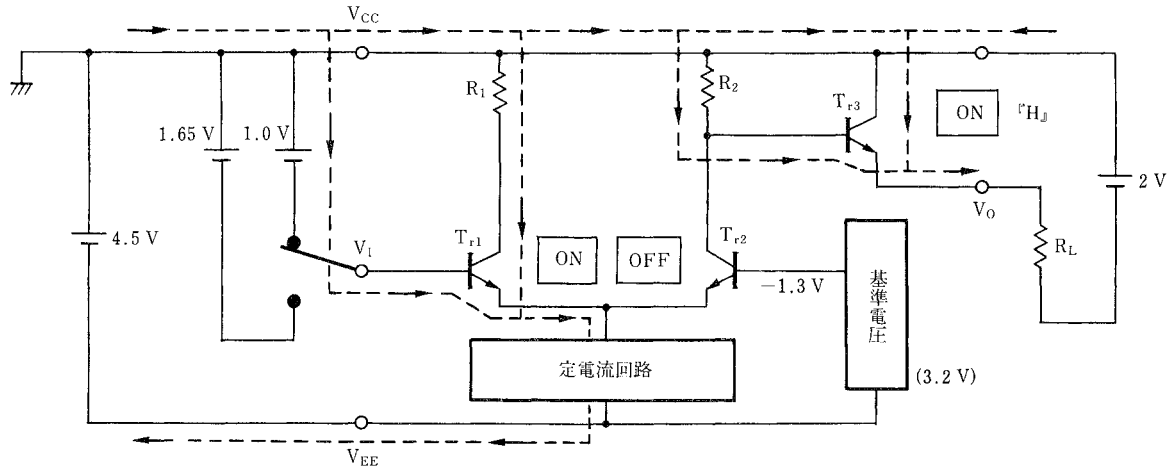
次に(2)入力『ロウ・レベル』時の動作は

- 入力電圧 V_I (-1.65V) が内部の基準電圧 (-1.3V) よりも低いため、トランジスタ T_{r1} が『OFF』となり、トランジスタ T_{r2} が『ON』となります。
- T_{r2} のエミッタ ($-1.3\text{V} - 0.6\text{V} = -1.9\text{V}$) とトランジスタ T_{r3} のベースの電圧が同じとなるため、 T_{r3} のベース・エミッタ間電圧 ($-1.9\text{V} - (-2.0\text{V}) = +0.1\text{V}$) がベース電流の流れ得る電圧 ($+0.6\text{V}$) 以下となり、 T_{r3} は『OFF』となります。

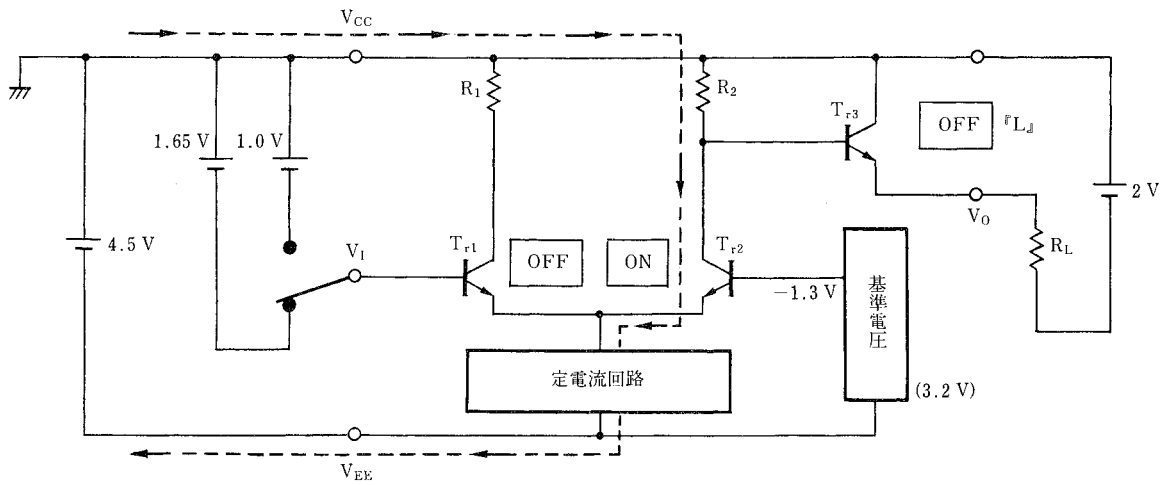
したがってECLは、入力のレベル (H or L) にかかわらず、また負荷の有無にかかわらず消費電流が流れ続けるため、消費電力が大きくなります。

保守/廃止

図6 ECLの動作原理を示す等価的な回路
(電圧値は動作説明のための、一例です)



(1) 入力『ハイ・レベル』時の動作



(2) 入力『ロウ・レベル』時の動作

保守/廃止

2.3 CMOS

CMOSは、PチャンネルMOSFETとNチャンネルMOSFETとを直列に接続するもので、図7にインバータ（反転回路）の例を示します。

図7で(1)入力『ハイ・レベル』時の動作は、

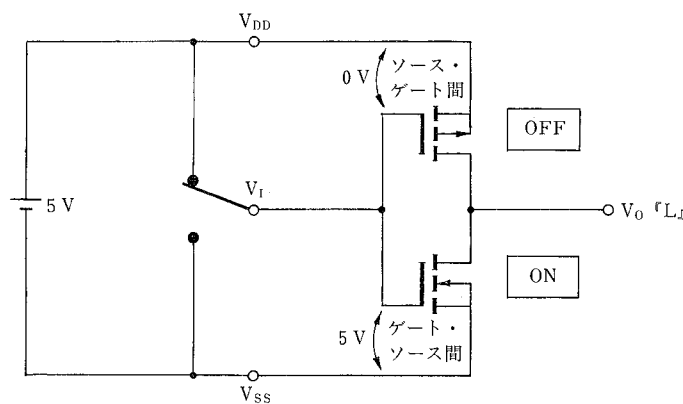
- PチャンネルMOSFET（以下P・MOSと略す）のゲート・ソース間電圧が0Vのため、P・MOSは『OFF』となります。
- NチャンネルMOSFET（以下N・MOSと略す）のゲート・ソース間電圧が5Vのため、N・MOSは『ON』となり、出力 V_0 はロウ・レベル『L』となります。

次に(2)入力『ロウ・レベル』時の動作は、

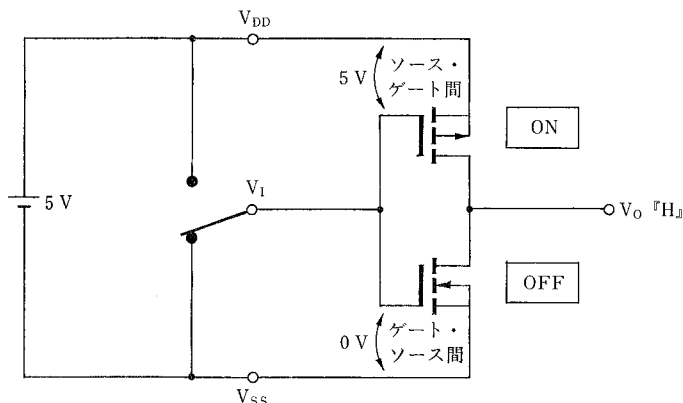
- P・MOSのゲート・ソース間電圧が5Vのため、P・MOSは『ON』となります。
- N・MOSのゲート・ソース間電圧が0Vのため、N・MOSは『OFF』となり、出力 V_0 はハイ・レベル『H』となります。

したがってCMOSは、P・MOSもしくはN・MOSのどちらかが『OFF』となるため、定常状態(ON, OFFの切り替わり時でないとき)では電流が流れず、消費電力が極端に小さくなります。

図7 CMOSの動作原理を示す等価的な回路（インバータの例）



(1) 入力『ハイ・レベル』時の動作



(2) 入力『ロウ・レベル』時の動作

保守/廃止

3. 高速 CMOS 標準ロジック IC の取り扱い上の注意点

★ 3.1 空き入力端子

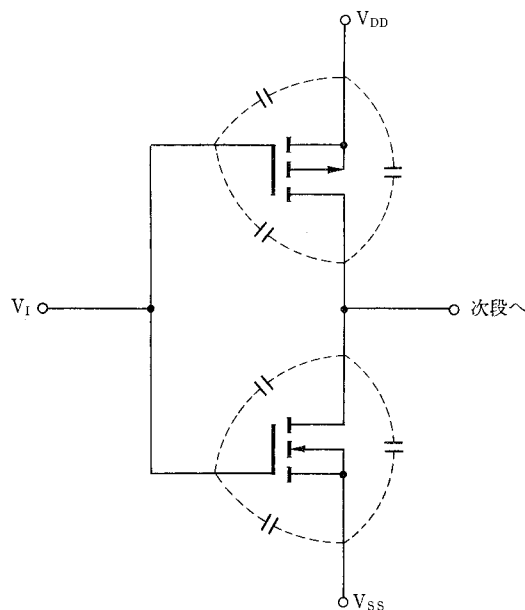
CMOS・ICの入力は、等価的に図8のようにコンデンサが接続されており、おのこのリーク電流等によりその電位は $V_{DD} \sim V_{SS}$ 間にばらつきます。したがって入力をオープン状態にしておくと、入力の論理(ハイ, ロウ)が不定となり正常に動作しない場合があります。

また入力 V_I , すなわち P・MOS および N・MOS のゲートの電圧が V_{DD} と V_{SS} との間にある場合には, $V_{DD} \cdot V_{SS}$ 間の抵抗値 (= P・MOS, N・MOS おおこの抵抗値の和) が図9のように $\frac{1}{2} \cdot V_{DD}$ 程度で最小となります。たとえば $\mu\text{PD74HC00GS}$ では図10のように論理スレッシュホールド電圧 V_T で 1 ゲート当たり 8 mA 程度の消費電流 I_{DD} ピークが流れます。したがって入力をオープン状態にしておくと, 消費電流の増加, ひいては発熱による破壊を生じる場合があります。

以上のように, 入力は必ず『H』または『L』とすることが必要で, さらに消費電流を事実上零とするためには, V_{DD} または V_{SS} 端子への接続が最適です。なお入力端子は V_{DD} もしくは V_{SS} へ直接接続してもかまいませんが, トランシーバなどの入出力兼用端子については, 数百 $k\Omega$ 程度の抵抗での接続が無難です。

また, モノステーブル・マルチバイブレータ ($\mu\text{PD74HC123A}$ など) のコンデンサ接続端子や, アナログスイッチ ($\mu\text{PD74HC4066}$ など) のアナログ信号端子など, コントロール入力でない入力の処理については, 特殊な扱いとなりますので個別のカタログに従ってください。

図8 入力部の容量



保守/廃止

図9 CMOS・ICの $V_{DD} \sim V_{SS}$ 間抵抗

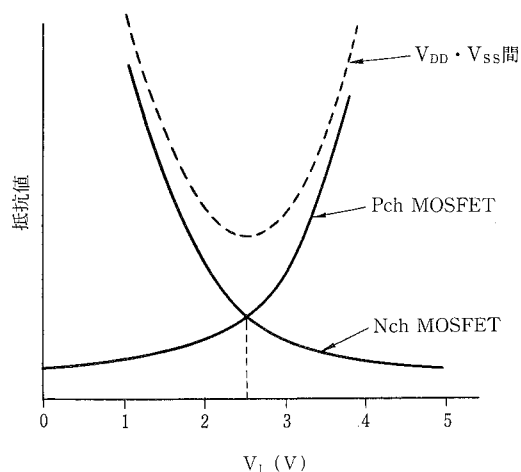
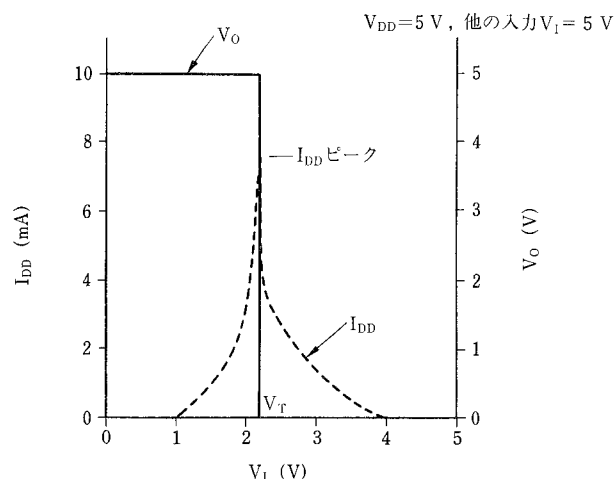


図10 $I_{DD} \sim V_I$ 依存性例 (μ PD74HC00GSの1入力)



3.2 スロー入力

入力電圧の立ち上がり、立ち下がり時間 t_r 、 t_f については、推奨動作条件として t_r 、 $t_f \leq 400$ nsの規定があり、これ以上の t_r 、 t_f では誤動作により真理値表とは異なった動作をする場合があります。

また、 t_r 、 $t_f \leq 400$ nsの場合でも配線等の影響により

- ・ゲート、ドライバ、組み合わせ回路等では、出力のチャタリング
- ・フリップ・フロップ、カウンタ、シフトレジスタ等では、誤カウントやチャタリング

などのトラブルを生じる場合があります。これは論理の切り替わり時、すなわち入力論理スレッシュホールド電圧 V_T に達した時に、図11、12のように電源電流 I_{DD} 、 I_{SS} が流れるため、配線リアクタンス等により $L \cdot \frac{d I_{DD}}{dt}$ 、 $L \cdot \frac{d I_{SS}}{dt}$ なる電圧降下が生じ、電源電圧 V_{DD} 、 V_{SS} が変動することにより、入力電圧 V_I が論理スレッシュホールド電圧を数回横切ることになり、チャタリングや誤カウントを生じるものです。

したがって

(1) t_r 、 $t_f > 400$ nsの場合には

- ・シュミットゲートの μ PD74HC14 (Hex. Schmitt Trigger Inverter) や μ PD74HC132 (Quad. 2-Input Schmitt Trigger NAND Gate) をとおし、波形整形を行なう。

(2) t_r 、 $t_f \leq 400$ nsの場合には

- ・各配線をできるだけ短かくする。
- ・入力電圧の立ち上がり、立ち下がり時間 t_r 、 t_f をできるだけ短かくする。 $(t_r, t_f < t_p - \frac{t_T}{2})$ が望ましい。
- ・IC1～2個に1個の割で、0.01～0.1 μ F程度のタンタルやプラスチック・フィルムなどのデカップリング・コンデンサを $V_{DD} \cdot V_{SS}$ 間に接続する。
- ・特にノイズの多い場合には、 $V_{DD} \cdot V_{SS}$ 間および、 $V_I \cdot V_{SS}$ 間もしくは $V_{DD} \cdot V_I$ 間に500 pF以下のセラミック・コンデンサを接続する。

などの対策により、入力および電源電圧波形に極端な変動がないことを確認することが必要です。

★

保守/廃止

図11 内部容量(MOSFETのゲート容量)の充放電電流(μ PD74HC4049Gの例)

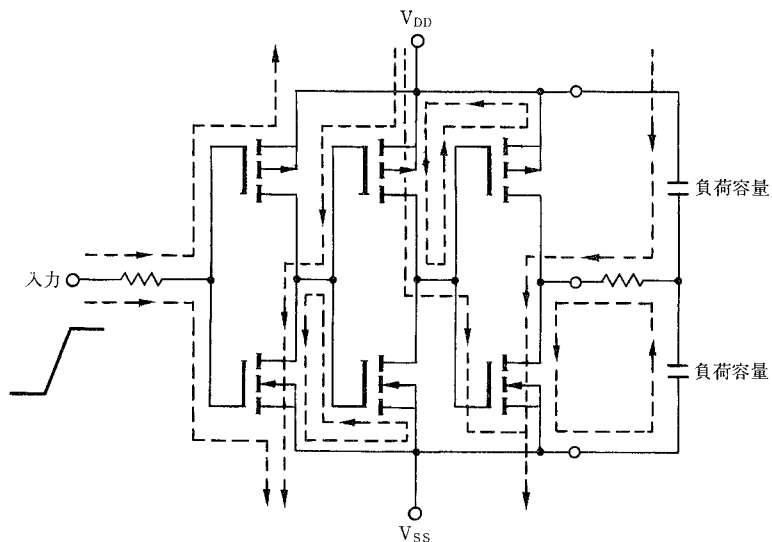
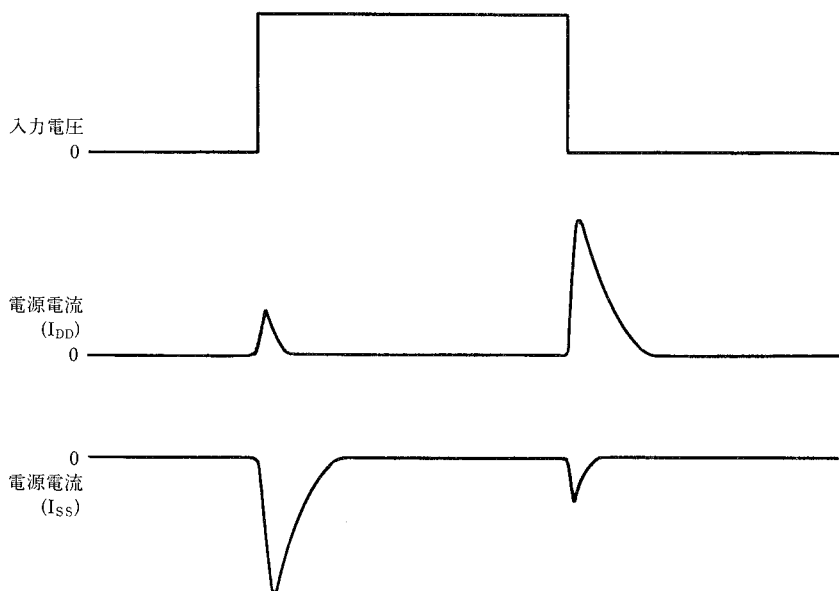


図12 電源電流(μ PD74HC4049Gの例)



保守/廃止

3.3 電源電圧範囲外の入力電圧, 出力電圧

★

入力や出力に電源電圧範囲外の電圧 (V_{DD} 以上もしくは V_{SS} 以下) を印加すると, 図13のダイオードに電流が流れ

- 内部寄生トランジスタの動きによる論理異常や I_{DD} 増加による発熱
- ラッチアップの発生によるシステムのダウンや過電流破壊 ($V_{DD}-V_{SS}$ 間)
- 入出力部の過電流破壊

を生じる場合がありますのでご注意ください。なお, ラッチアップとは『電源への過電圧印加や, 入出力へ V_{DD} 以上もしくは V_{SS} 以下の過電圧を印加した場合に生じる現象で, 過電圧を取り除いても図14のように電源電流が数百mA~数A流れ続ける』ものです (3.5項参照)。

図13 高速CMOSの等価回路

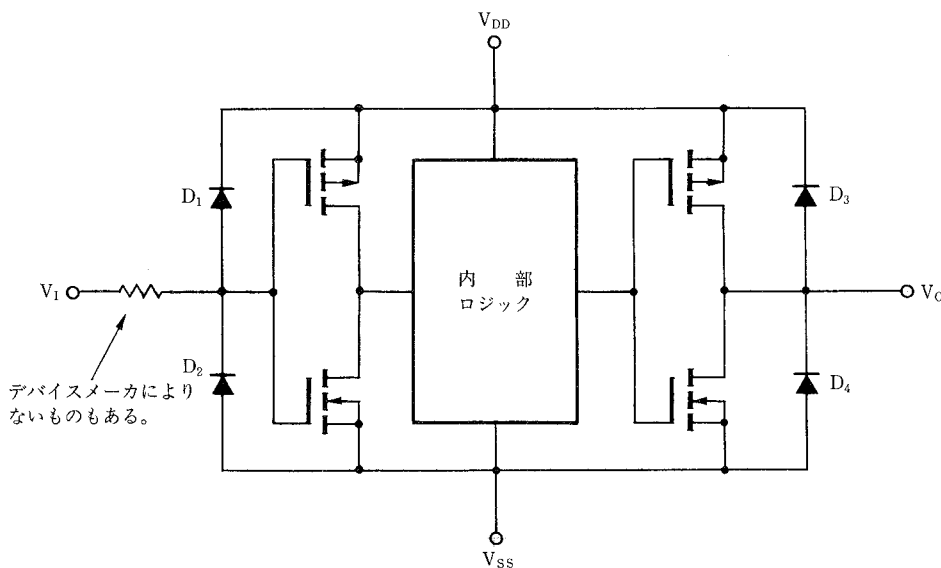
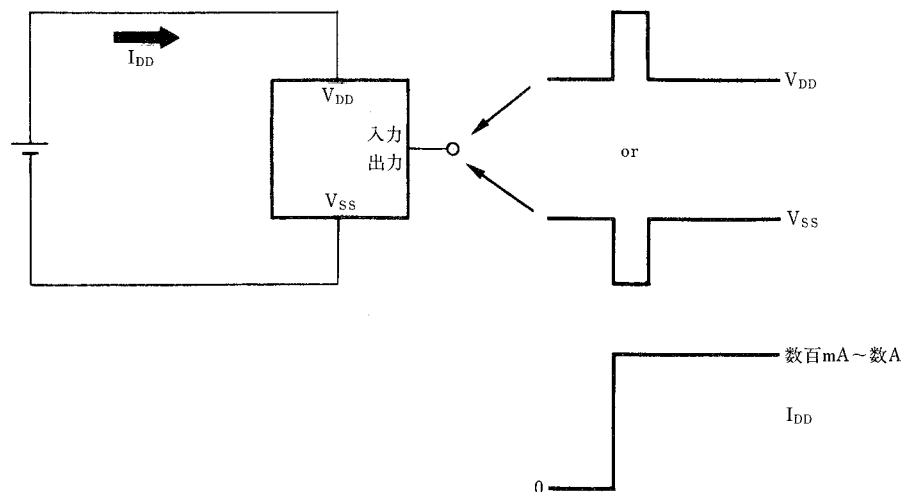


図14 ラッチアップ

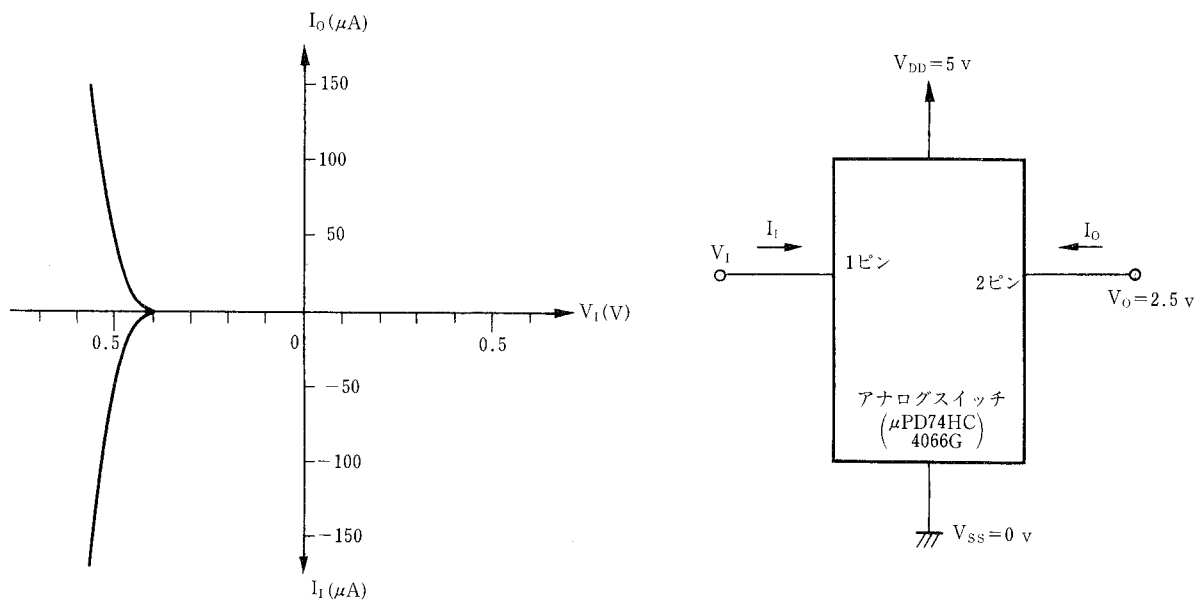


保守/廃止

特にアナログスイッチでは、図15のように、アナログスイッチをコントロール入力により『OFF』状態にしているにもかかわらず、アナログ信号入出力の一方（1ピン）に負の電圧を印加すると、内部寄生トランジスタが働き、他方（2ピン）から電流 I_0 が流れ込む現象があらわれます。このため、信号の漏れや蓄積電荷の放電を生じる場合があります。暫定対策としては、内部の寄生バイポーラトランジスタが動作しないように、寄生トランジスタのベース・エミッタ間のダイオードよりも順電圧の小さなダイオード（ショットキバリアダイオードなど）を入力（1ピン）・ V_{SS} 間に接続する方法があります。たとえば1ピンに印加される負電源の電圧値を $V_{IN} = -1V$ 、インピーダンスを $R_{IN} = 1k\Omega$ とすると、入力電流 I_1 は $\frac{V_{IN}}{R_{IN}} = -1mA$ 以下となるため、図15に示すように1mAでの順電圧が $\mu PD74HC4066G$ の内部寄生トランジスタが動作し始める $0.35V$ 以下となるダイオード（たとえば図16の1SS97など）を選べばよいことになります。実際には、デバイスのバラツキ等のマージンを考慮してダイオードを選ぶことが必要です。

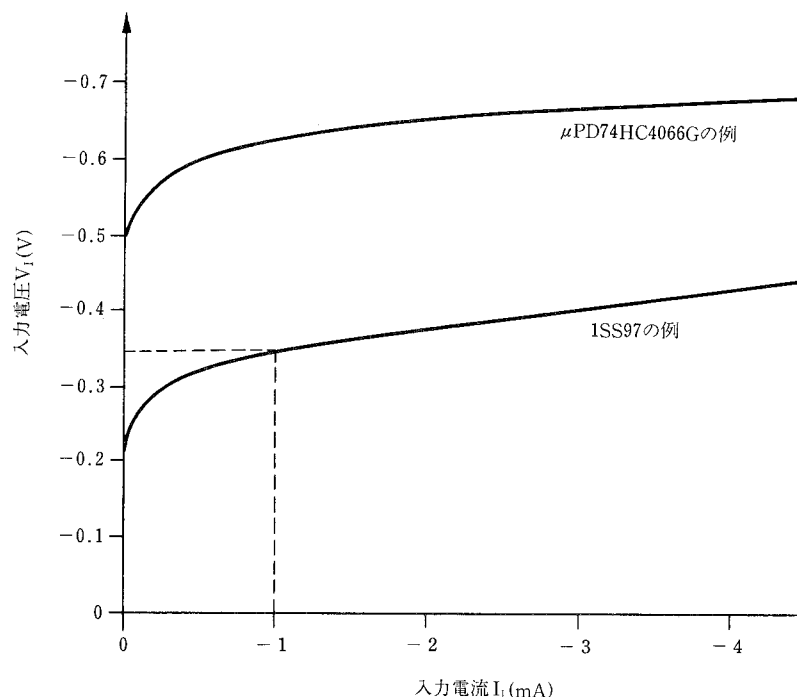
また、12V系回路から5V系回路への接続など、入力電圧 V_I が電源電圧 V_{DD} よりも高くなる場合には、レベル変換用の $\mu PD74HC4049$ (Hex. Inverting Buffer/Converter) や $\mu PD74HC4050$ (Hex. Non-inverting Buffer/Converting) が最適です。本品種は、図13のダイオード D_1 が接続されていない構造のため、 $V_I > V_{DD}$ の場合でもIC内部には電流が流れず誤動作することはありません。

図15 アナログスイッチの入出力間リーク電流特性例



保守/廃止

図16 入力保護用外付ダイオードの選び方



3.4 入出力インタフェース

ICを接続する場合には、図17の入出力インタフェースの条件を満たすことが必要です。

たとえば高速CMOS標準ロジックICとTTLとを接続する場合には、図17の本ICを74HCTシリーズ、前段および後段ICをTTLとすると、 $V_{DD}=5$ Vの時、前段ICの出力レベルは $V_{OH}=2.7$ V、 $V_{OL}=0.5$ V、本ICの入出力レベルは $V_{IH}=2.0$ V、 $V_{IL}=0.8$ V、 $V_{OH}=4.34$ V、 $V_{OL}=0.33$ V、後段ICの入力レベルは $V_{IH}=2.0$ V、 $V_{IL}=0.8$ Vのため、入出力インタフェースの条件を満足し直接接続することができます。

しかし、本ICを74HCシリーズとすると、本ICの入出力レベルは $V_{IH}=3.5$ V、 $V_{IL}=1.0$ V、 $V_{OH}=4.34$ V、 $V_{OL}=0.33$ Vのため、前段ICの V_{OH} ($=2.7$ V) < 本ICの V_{IH} ($=3.5$ V) となり、入出力インタフェースの条件を満足しないため、論理を正常に伝達できない場合があります。そのため、

- ・ピンおよび論理コンパチである74HCTシリーズを用いる。
- ・ μ PD74HCT04により論理スレッショールド電圧 V_T をTTLレベル (0.8 V < V_T < 2.0 V) からCMOSレベル ($0.2 \cdot V_{DD} < V_T < 0.7 \cdot V_{DD}$) に変換し、74HCシリーズへの橋渡しとする。
- ・入りにPull Up抵抗 ($1 \sim 10$ k Ω 程度) を接続する (図4参照)。

などの対策をとる必要があります。

またCMOS標準ロジックICと他のCMOS・ICとのインタフェースは、原理的には出力と入力とを直接接続するだけで正常に論理を伝達できるはずですが、規格上あるいは入出力部の回路構成によっては直結できない場合があります。表4はその一例で、8ビットCMOSマイコンである μ PD78C11については、74HCシリーズ、74HCTシリーズとも図17の入出力インタフェースの条件を満足するため直結可能ですが、 μ PD80C49を74HCシリーズの前段として接続する場合には、74HCシリーズの入力電流 I_I が ± 1 μ AMAX. であることより、 μ PD80C49の V_{OH} ($=2.4$ V)

保守/廃止

<74HCシリーズの V_{IH} (=3.5V) となり、論理を正常に伝達できない場合があります。そのため前述のTTLとの接続と同様の対策が必要です。

図17 入出力インタフェースの条件

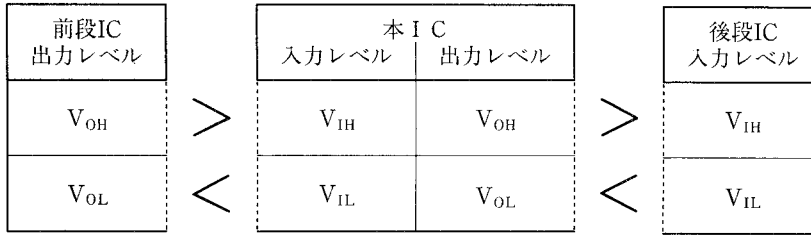


表4 8ビットCMOSマイコンの入出力規格例

	入力電圧		出力電圧			
	V_{IH}	V_{IL}	V_{OH}	(I_o)	V_{OL}	(I_o)
μ PD78C11	端子A 2.2V	端子A 0.8V	$V_{DD}-1V$	-1mA	0.45V	2mA
	端子B $0.8 \times V_{DD}$	端子B $0.2 \times V_{DD}$	$V_{DD}-0.5V$	-100 μ A		
μ PD80C49	端子A $V_{DD}-2V$	0.8V	2.4V	端子1 -5 μ A	0.45V	2mA
	端子B $V_{DD}-1V$			端子2 -50 μ A		

保守/廃止

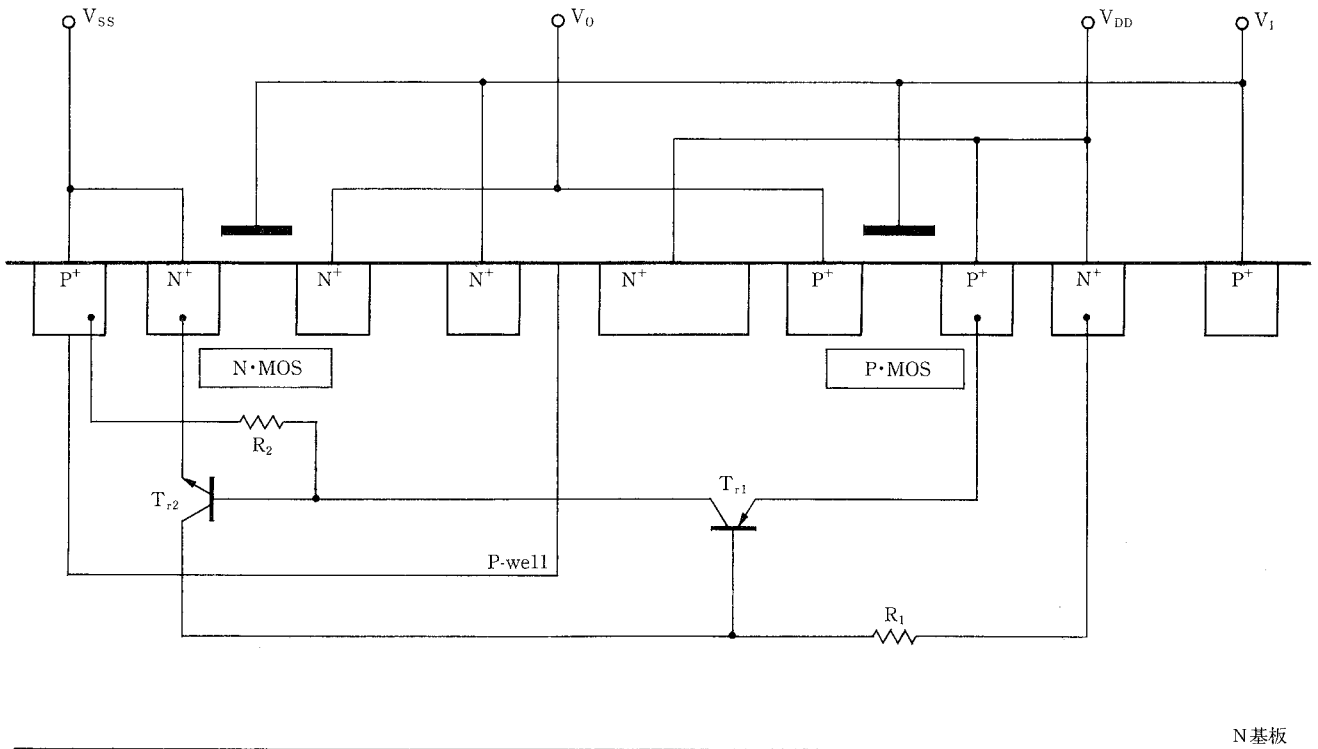
3.5 ラッチアップ

★

構造上、TTLでは発生しにくいのですが、CMOSでは発生しやすいものにラッチアップがあります。CMOSは、構造上、内部のバイポーラトランジスタがサイリスタ（PNPN）の回路構成となっています。サイリスタは、図18、19のようにPNPトランジスタ T_{r1} とNPNトランジスタ T_{r2} のコレクタとベースがおのおのの接続されているもので、ある程度以上のエミッタ電流が流れると自己保持状態となり、電源を取り除かない限り電流が流れ続けるものです。そのため、 V_I または V_O の入出力端子に V_{DD} 以上または V_{SS} 以下の電圧が印加されると、入出力部の寄生トランジスタが働き、最終的に T_{r1} 、 T_{r2} が導通するとサイリスタ動作となり、 $V_{DD} \cdot V_{SS}$ 間が短絡状態となります。これをラッチアップと言ひ、CMOSはラッチアップを生じやすいという欠点がありました。ラッチアップが発生すると、原因となった過電圧を取り除いても、電源から数百mAから数A程度の大電流が流れ続け、ICが過電流や発熱により破壊する場合もあり、最も警戒すべき問題でした。

μ PD74HC(T)シリーズでは、P・MOS部とN・MOS部との間隔、すなわち T_{r1} のベース層を広げる等により T_{r1} の電流増幅率 h_{FE} を低くし、さらに比抵抗の小さいN基板をもちいて R_1 を小さくする等により、 $T_{r1} \cdot T_{r2}$ で構成されるサイリスタを自己保持しにくい設計としているため、一般的な使用方法ではまったく問題のないレベルとなっています。 μ PD74HC(T)シリーズでは、電流注入法で300mA程度以上、Cチャージ法(200pF, 0 Ω)で300V程度以上のラッチアップ耐量があります(詳細は集積回路技術資料IEB-633『 μ PD74HCシリーズの静電耐量とラッチアップ耐量について』を参照してください)。

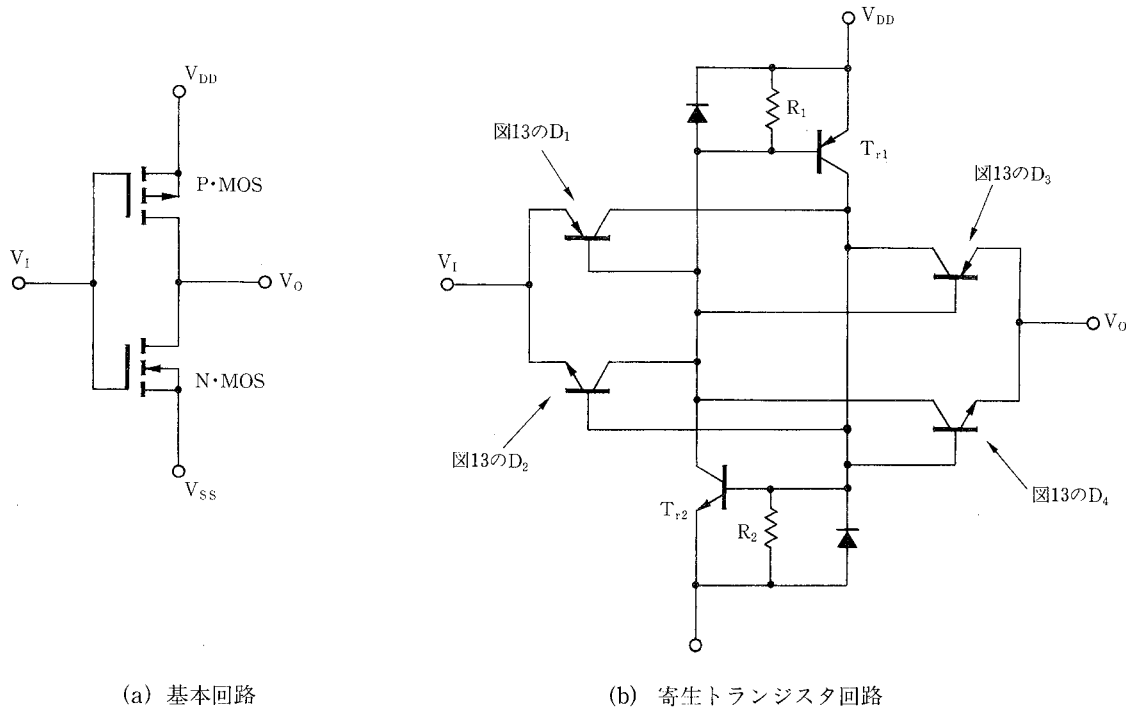
図18 CMOSの構造と寄生トランジスタ



N基板

保守/廃止

図19 CMOSの基本回路と寄生トランジスタ回路



(a) 基本回路

(b) 寄生トランジスタ回路

なお、低インピーダンスで入出力に電源電圧範囲外、すなわち V_{DD} 以上もしくは V_{SS} 以下の電圧が加えられる場合には、図20もしくは図21のような対策が必要です。

図20は、入力、出力および入出力兼用端子に加えられるサージ電圧 V_S に対する保護回路例で、ダイオード D_S のせん頭順電流 I_{FM} （たとえば1S954の場合には $I_{FM} = 600 \text{ mA}$ ）を超えないように $R_S > |V_S| / I_{FM}$ 、 $|V_S - V_{DD}| / I_{FM}$ となる抵抗を選び、さらにラッチアップ耐量の保証値である 20 mA を越えないように 200Ω 程度以上の抵抗 R_0 を選んでください。出力に本回路を使用する場合には、抵抗 R_0 により次段への信号伝達は遅くなります。

図21は、図20の伝達遅れを改善したもので、外来のサージ電圧をダイオード D_S で 1.2 V 程度以下にクランプし、図13の D_3 もしくは D_4 に電流が流れるのを防ぐものです。電流はサージ源で制限されるのみであるため、ダイオード D_S の選定がむずかしいという欠点があります。たとえばサージ電流が 3 A 程度の場合には、 1 A クラス（F14Aなど）のものが、 300 mA 以下であれば1S954が使用可能です。

また、図22のように他装置や他の電源系と接続し、電源が同時に入らないような回路では、他電源（ E_1 ）からの電流が入出力端子から図13の D_1 、 D_3 に電流が流れ、過電流破壊やラッチアップが生じることがあります。この場合のように印加される電圧が低い（ $E_1 = 5 \text{ V}$ ）時には図20や図21のようなダイオード D_S は必要なく、単に $E_1 / R_0 < 20 \text{ mA}$ なる抵抗 R_0 を接続するだけで対策が可能です。

回路上にコンデンサがある場合には、電源オフ時や電源変動時にラッチアップ発生の可能性があり、図23のように抵抗 R_0 を挿入するか、順電圧降下の小さいダイオード D_S （ 0.5 A クラス以上のショットキバリアダイオードなど）を使用することにより、IC内部のダイオード（ $D_1 \sim D_4$ ）に 20 mA 以上の電流が流れることを防ぐことが必要です。なお、電源の変化の割合（ $-dV_{DD}/dt$ ）が小さく、 $C \cdot dV_{DD}/dt < 20 \text{ mA}$ を満足している場合には、 R_0 や D_S は不要です。

保守/廃止

図20 入出力保護回路

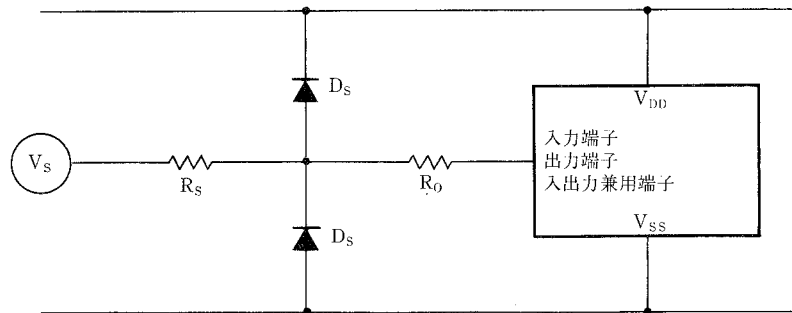


図21 出力保護回路

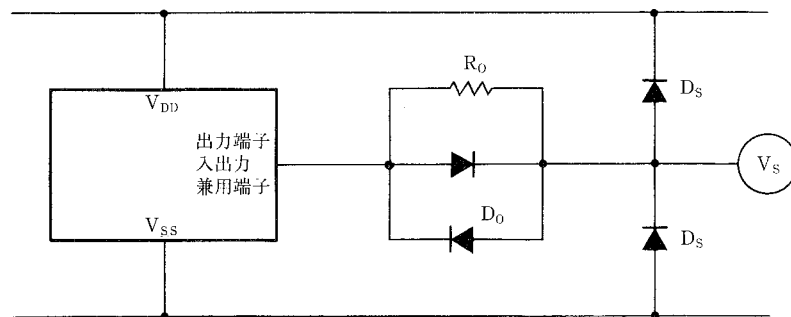


図22 他装置, 他電源系との接続

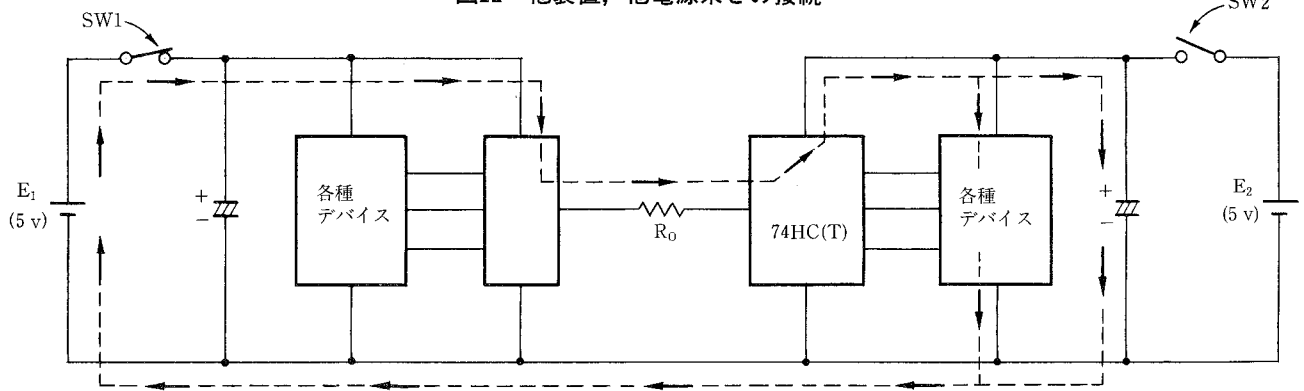
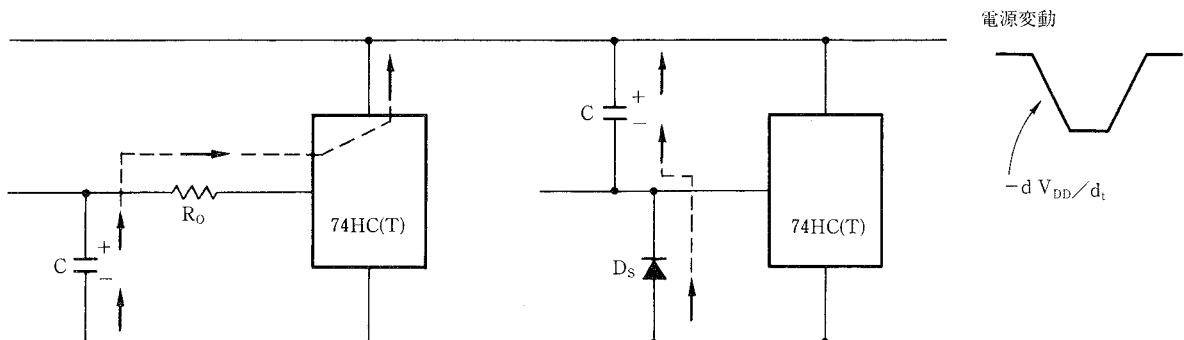


図23 コンデンサのある回路のラッチアップ対策



保守/廃止

4. μ PD74HCシリーズの特徴

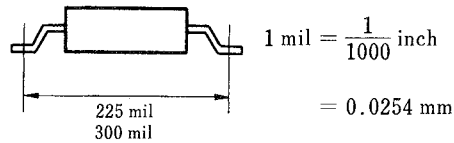
μ PD74HCシリーズには、論理スレッシュホールド電圧が

- CMOSレベルのもの $\equiv \mu$ PD74HC**C/G/GS
- TTLレベルのもの $\equiv \mu$ PD74HCT**C/G/GS

の2種類があります(品名末尾の『C』は300 mil・プラスチックDIP,『G』は225 mil・プラスチックSOP,『GS』は300 mil・プラスチックSOPを示します)。 μ PD74HCT**C/G/GSは、TTLやN・MOSなど、出力電圧がTTLレベルしか出ない品種に接続するための品種で、ゲート・バッファ・トランシーバやデコーダを中心に品揃えをしています。 μ PD74HC**C/G/GSは全機能の品揃えを行っています。

表5 パッケージ・ラインナップ

パッケージ	ピン数 間隔	14	16	20	包装形態		
					マガジンをケース	粘着テープピン	エンボスキャリアテープピン
DIP	300 mil	μ PD74HC(T)**C			○		
SOP	225 mil	μ PD74HC(T)**G			○	○	○
	300 mil	μ PD74HC(T)**GS			○	○	○

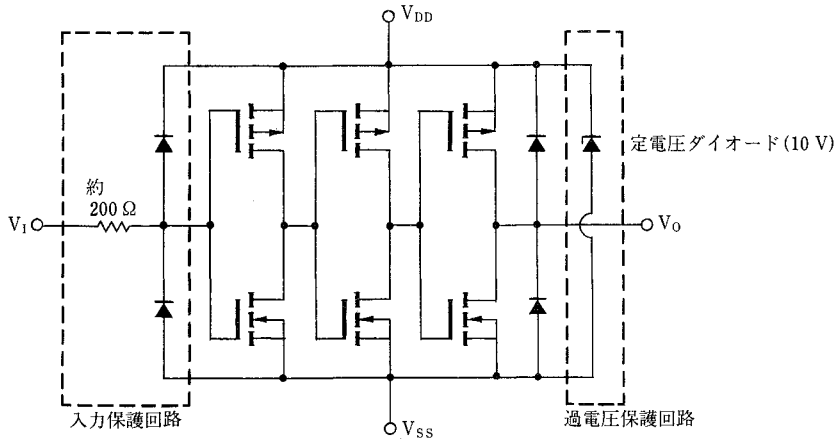


4.1 構造

NECの μ PD74HCシリーズは、図24のような抵抗内蔵(約200 Ω)型の入力保護回路となっているため、装置内での電源電圧立ち上がりのずれによる入力部の過電流破壊やラッチアップの発生を防ぐことができます(図25参照)。

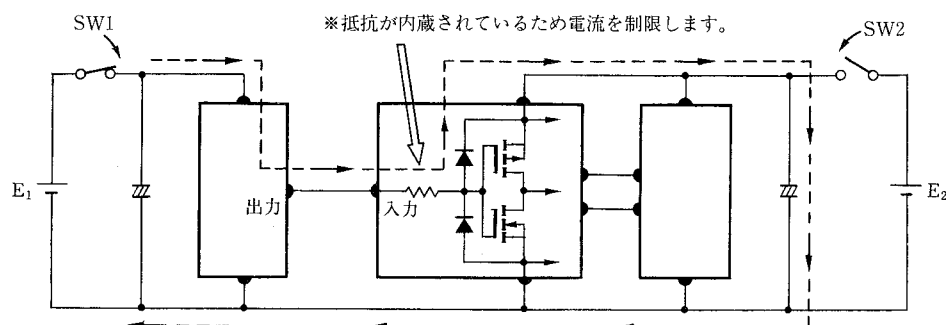
また、 $V_{DD}-V_{SS}$ 間に定電圧ダイオード(約10V)を内蔵し、過電圧保護回路を設けています(図24参照)。

図24 等価回路 (μ PD74HC04Cの例)



保守/廃止

図25 電源投入時の装置内電圧のずれ



4.2 絶対最大定格

瞬時たりとも超過してはならない限界値で、どの2つ以上の項目も同時に達してはならないと定義されているものです。本定格を超えると、破壊や信頼性の低下を生じる場合があります。ここでは特徴のある項目につき説明しますが、使用時には推奨動作条件や電気的特性を十分に満足していなければなりません。

a. 入力電圧 (V_I)

$-1.5\text{ V} \leq V_I \leq V_{DD} + 1.5\text{ V}$ を保証しているため、ノイズの出やすい用途でも安心して使用できます（他社では $-0.5\text{ V} \leq V_I \leq V_{DD} + 0.5\text{ V}$ のものがあります）。

b. 電源電流 (I_{DD} , I_{SS})

同時に全出力を定格電流まで流せるため、LED(発光ダイオード)の全出力同時点灯などが可能です（他社では2出力までしか定格電流を流せないものがあります）。

4.3 電気的特性

ICの性能を保証する項目です。設計時には本項目および推奨動作条件についての検討が必要です。ここでは特徴のある項目について説明します。

a. 出力特性

出力段のP・MOSおよびN・MOSのオン抵抗を小さくするような設計を行っているため(図26参照)ドライブ能力が大きく、負荷容量が大きい場合でも高速動作が可能です。

b. スイッチング特性

高速動作設計を行っており、 t_{PLH} と t_{PHL} とが同程度となるように設計しているため(図27参照)、タイミング設計が容易です。

保守/廃止

図26 出力電圧の各社比較例

(74HC240 ; $V_{DD}=4.5\text{ V}$, $I_O=\pm 6\text{ mA}$, $T_a=25^\circ\text{C}$)

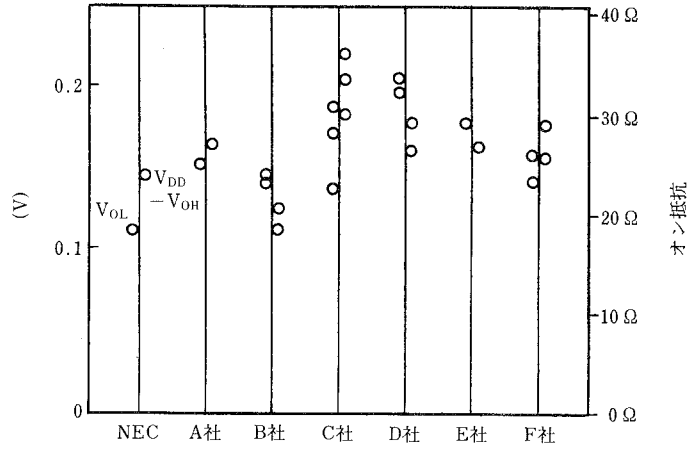
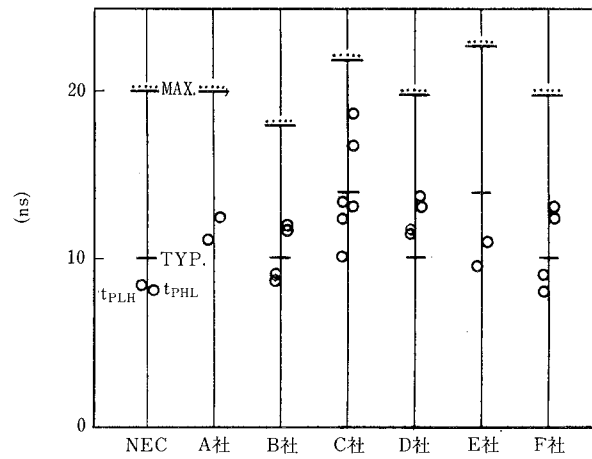


図27 伝達遅延時間の各社比較例

(74HC240 ; $V_{DD}=4.5\text{ V}$, $C_L=50\text{ pF}$, $T_a=25^\circ\text{C}$)



保守/廃止

II. ロジック編

1. デジタルとは

ICの信号(情報)には、アナログ信号とデジタル信号とがあります。アナログ信号は信号波形の電圧値(各時間における電圧値)を情報としており、精度(ひずみなど)・応答時間などが重要です(図28参照)。デジタル信号は信号がハイ・レベルであるかロウ・レベルであるか(各時間における電圧レベル)を情報としており、応答時間などが重要なポイントとなります(図29参照)。信号がハイ・レベルであるかロウ・レベルであるかは、デジタルICの入力の(論理)スレッシュホールド電圧(しきいち電圧)により判定され、その電圧値以上の入力信号はハイ・レベル、その電圧値以下の入力信号はロウ・レベルと判定するものです(図30参照)。

また、デジタル信号は『1』or『H』と『0』or『L』の2種類のみのため、データは2進数となります。たとえば10進数で『3』を4本の信号線(4ビット)で表現すると『0011』となります(図31参照)。

図28 アナログ信号

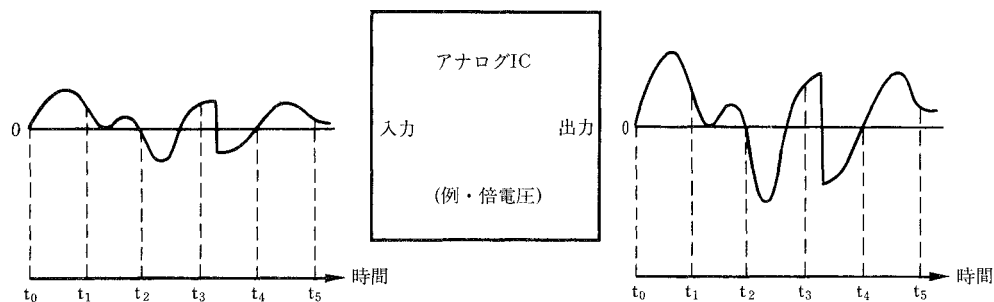
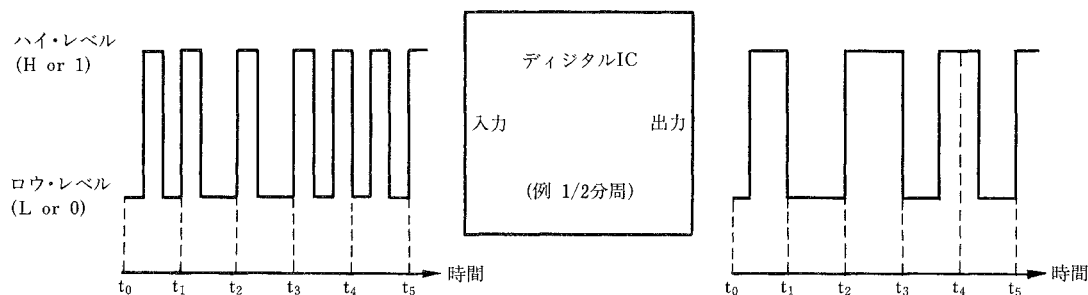


図29 デジタル信号



保守/廃止

図30 論理スレッシュホールド電圧

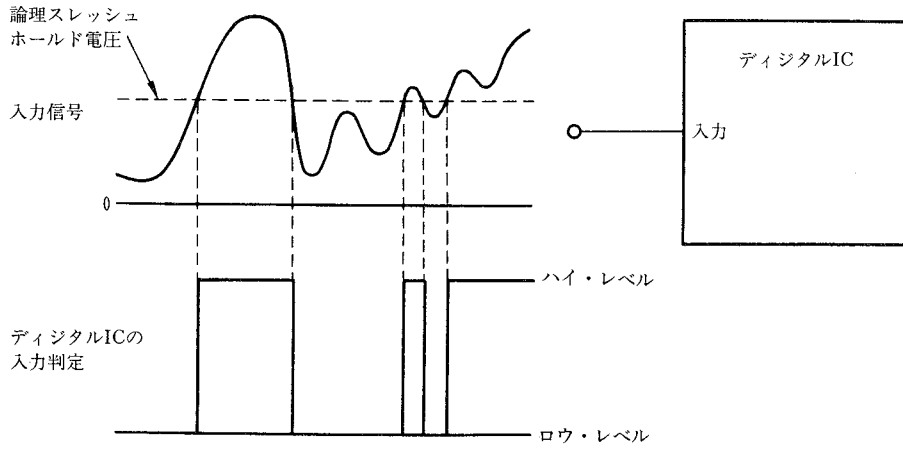


図31 デジタル信号(2進数)と10進数

4ビットの信号					10進数
2^3	2^2	2^1	2^0 の位		
0	0	0	0	⇒	0
0	0	0	1	⇒	1
0	0	1	0	⇒	2
0	0	1	1	⇒	3
0	1	0	0	⇒	4
0	1	0	1	⇒	5
)	
1	1	0	1	⇒	13
1	1	1	0	⇒	14
1	1	1	1	⇒	15

保守/廃止

ここでは μ PD74HCシリーズの

- ・論理演算(ロジック)回路 — ゲート
- ・組み合わせ回路 — デコーダ, セレクタなど
- ・保持回路 — ラッチ, フリップフロップ
- ・順序回路 — シフト・レジスタ, カウンタ
- ・タイマー回路 — モノステーブル・マルチバイブレーション
- ・スイッチ回路 — アナログ・スイッチ

などにつき説明します。

2. ゲートおよび組み合わせ回路

2.1 ゲート品種

ゲート品種には、表6に示すもののほか、各ゲートを組み合わせたCOMPLEX・GATE(たとえば μ PD74HC58は2入力・3入力ANDと2入力ORを組み合わせたもの)やシュミット入力(図33参照)を持つ品種などがあります(表7参照)。

表6の『計算式』については

- ・記号の上の『-』はレベルの反転を示します。
たとえば、 $A=H$ のとき \bar{A} はL、 $A=L$ のとき \bar{A} はHとなります。
- ・記号の『・』は乗算を示し、 $H=1$ 、 $L=0$ で計算します。
たとえば、 $A=H$ 、 $B=L$ 、 $C=H$ のとき $A \cdot B \cdot C = 1 \times 0 \times 1 = 0 = L$ となります。
- ・記号の『+』は加算を示し、 $(1+1)$ は1で計算します。
たとえば、 $A=H$ 、 $B=L$ のとき $A+B = 1+0 = 1 = H$ となります。

なお、ゲート品種を組み合わせて論理回路を構成する場合には、ブール代数(表8参照)を用いることにより、回路構成を簡略化できることがあります。

たとえば、図32のような回路構成の場合には、

- ・①点の論理は \bar{A} 、②点の論理は \bar{B} 、③点の論理は \bar{C} のため、表6のORゲートの計算式より
- ・④点の論理は $\overline{(\bar{A} + \bar{B})}$ となります。次にNORゲートの計算式より
- ・出力Yの論理は $\overline{(\bar{A} + \bar{B}) + \bar{C}}$ となります。ここで表8のブール代数の公式を用いると
- ・ $Y = \overline{(\bar{A} + \bar{B}) + \bar{C}} = \overline{\bar{A} + \bar{B}} \cdot \bar{C} = A \cdot B \cdot \bar{C} = A \cdot B \cdot C$ となるため、本回路構成は3入力ANDゲートに置き換えることができます。

保守/廃止

表6 ゲート品種

論理	記号		真理値表	計算式								
	記号	号										
インバータ (INVERTER)			<table border="1"> <tr><td>入力 A</td><td>出力 Y</td></tr> <tr><td>L</td><td>H</td></tr> <tr><td>H</td><td>L</td></tr> </table>	入力 A	出力 Y	L	H	H	L	$Y = \bar{A}$		
入力 A	出力 Y											
L	H											
H	L											
バッファ (BUFFER)			<table border="1"> <tr><td>入力 A</td><td>出力 Y</td></tr> <tr><td>L</td><td>L</td></tr> <tr><td>H</td><td>H</td></tr> </table>	入力 A	出力 Y	L	L	H	H	$Y = A$		
入力 A	出力 Y											
L	L											
H	H											
AND			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>L の入力あり</td><td>L</td></tr> <tr><td>全入力 H</td><td>H</td></tr> </table>	入力	出力 Y	L の入力あり	L	全入力 H	H	$Y = A \cdot B \cdot C \cdot \dots$		
入力	出力 Y											
L の入力あり	L											
全入力 H	H											
NAND			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>L の入力あり</td><td>H</td></tr> <tr><td>全入力 H</td><td>L</td></tr> </table>	入力	出力 Y	L の入力あり	H	全入力 H	L	$Y = \overline{A \cdot B \cdot C \cdot \dots}$		
入力	出力 Y											
L の入力あり	H											
全入力 H	L											
OR			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>全入力 L</td><td>L</td></tr> <tr><td>H の入力あり</td><td>H</td></tr> </table>	入力	出力 Y	全入力 L	L	H の入力あり	H	$Y = A + B + C + \dots$		
入力	出力 Y											
全入力 L	L											
H の入力あり	H											
NOR			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>全入力 L</td><td>H</td></tr> <tr><td>H の入力あり</td><td>L</td></tr> </table>	入力	出力 Y	全入力 L	H	H の入力あり	L	$Y = \overline{A + B + C + \dots}$		
入力	出力 Y											
全入力 L	H											
H の入力あり	L											
エクスクルシブ OR (EXCLUSIVE OR)			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>全入力 L</td><td>L</td></tr> <tr><td>全入力 H</td><td>H</td></tr> <tr><td>L, H の入力あり</td><td>H</td></tr> </table>	入力	出力 Y	全入力 L	L	全入力 H	H	L, H の入力あり	H	$Y = \bar{A} \cdot B + A \cdot \bar{B}$
入力	出力 Y											
全入力 L	L											
全入力 H	H											
L, H の入力あり	H											
エクスクルシブ NOR (EXCLUSIVE NOR)			<table border="1"> <tr><td>入力</td><td>出力 Y</td></tr> <tr><td>全入力 L</td><td>H</td></tr> <tr><td>全入力 H</td><td>L</td></tr> <tr><td>L, H の入力あり</td><td>L</td></tr> </table>	入力	出力 Y	全入力 L	H	全入力 H	L	L, H の入力あり	L	$Y = A \cdot B + \bar{A} \cdot \bar{B}$
入力	出力 Y											
全入力 L	H											
全入力 H	L											
L, H の入力あり	L											

注 2 入力の例

保守/廃止

表7 ゲートの種類

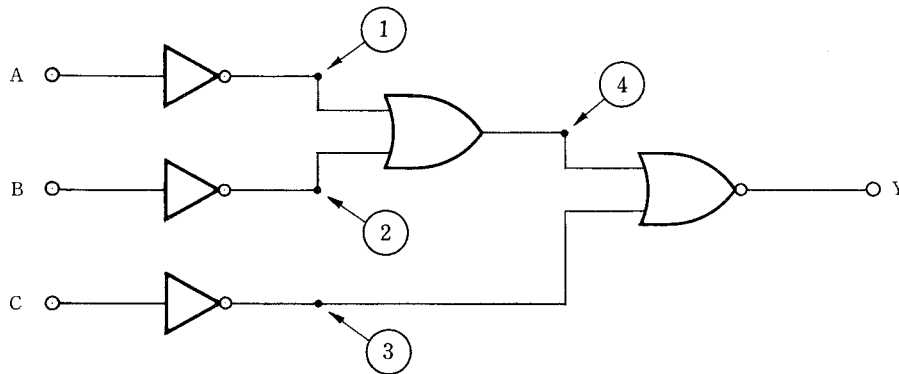
機能	品名	構成
INVERTER / BUFFER	μPD74HC04	Hex. Inverter
	μPD74HCU04	Hex. Inverter (Unbuffer Type)
	μPD74HCT04	Hex. Inverter
	μPD74HC125	Quad Noninverting Buffers with 3-State
	μPD74HC126	Quad Noninverting Buffer with 3-State
	μPD74HC240	Octal 3-State Inverting Buffer/Line Driver
	μPD74HCT240	Octal 3-State Inverting Buffer/Line Driver
	μPD74HC241	Octal 3-State Noninverting Buffer/Line Driver
	μPD74HCT241	Octal 3-State Noninverting Buffer/Line Driver
	μPD74HC244	Octal 3-State Noninverting Buffer/Line Driver
	μPD74HCT244	Octal 3-State Noninverting Buffer/Line Driver
	μPD74HC365	Hex. 3-State Noninverting Buffer
	μPD74HC366	Hex. 3-State Inverting Buffer
	μPD74HC367	Hex. 3-State Noninverting Buffer
	μPD74HC368	Hex. 3-State Inverting Buffer
	μPD74HC540	Octal 3-State Inverting Buffer/Line Driver
	μPD74HC541	Octal 3-State Noninverting Buffer/Line Driver
μPD74HC4049	Hex. Inverting Buffer/Level Down Converter	
μPD74HC4050	Hex. Buffer/Level Down Converter	
TRANSCEIVER	μPD74HC242	Quad 3-State Bus Transceiver
	μPD74HC243	Quad 3-State Bus Transceiver
	μPD74HC245	Octal Noninverting Bus Transceiver with 3-State
	μPD74HCT245	Octal Noninverting Bus Transceiver with 3-State
	μPD74HC640	Octal Inverting Bus Transceiver with 3-State
	μPD74HCT640	Octal Inverting Bus Transceiver with 3-State
	μPD74HC643	Octal Inverting and Noninverting Bus Transceiver with 3-State
μPD74HCT643	Octal Inverting and Noninverting Bus Transceiver with 3-State	
AND	μPD74HC08	Quad 2-Input AND Gate
	μPD74HCT08	Quad 2-Input AND Gate
	μPD74HC11	Triple 3-Input AND Gate
	μPD74HC21	Dual 4-Input AND Gate
NAND	μPD74HC00	Quad 2-Input NAND Gate
	μPD74HCT00	Quad 2-Input NAND Gate
	μPD74HC03	Quad 2-Input NAND Gate with Open-Drain
	μPD74HC10	Triple 3-Input NAND Gate
	μPD74HC20	Dual 4-Input NAND Gate
	μPD74HC30	8-Input NAND Gate
	μPD74HC133	13-Input NAND Gate
OR	μPD74HC32	Quad 2-Input OR Gate
	μPD74HC4075	Triple 3-Input OR Gate
NOR	μPD74HC02	Quad 2-Input NOR Gate
	μPD74HC27	Triple 3-Input NOR Gate
	μPD74HC4002	Dual 4-Input NOR Gate
	μPD74HC4078	8-Input NOR Gate
EXCLUSIVE OR/NOR	μPD74HC86	Quad 2-Input Exclusive OR Gate
	μPD74HC7266	Quad 2-Input Exclusive NOR Gate
SCHMITT-TRIGGER	μPD74HC14	Hex. Schmitt-trigger Inverter
	μPD74HC132	Quad 2-Input Schmitt-trigger NAND Gate
COMPLEX	μPD74HC51	Dual AND-OR-INVERT Gate
	μPD74HC58	2-Input/3-Input AND-OR Gate

保守/廃止

表8 ブール代数の公式

$A + A = A$	$A \cdot A = A$
$A + \overline{A} = 1$	$A \cdot \overline{A} = 0$
$A + 1 = 1$	$A \cdot 1 = A$
$A + 0 = A$	$A \cdot 0 = 0$
$\overline{\overline{A}} = A$	
$A + B = B + A$	$A \cdot B = B \cdot A$
$\overline{A + B} = \overline{A} \cdot \overline{B}$	$\overline{A \cdot B} = \overline{A} + \overline{B}$
$A + A \cdot B = A$	$A \cdot (A + B) = A$
$A + \overline{A} \cdot B = A + B$	$A \cdot (\overline{A} + B) = A \cdot B$
$A + (B + C) = (A + B) + C$ $= A + B + C$	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$ $= A \cdot B \cdot C$
$A + (B \cdot C) = (A + B) \cdot (A + C)$	$A \cdot (B + C) = A \cdot B + A \cdot C$

図32 ゲート品種の組み合わせ回路例



保守/廃止

また、シュミット入力には積分回路や微分回路など、電圧の立ち上がり・立ち下がり時間の遅い場合に、ノイズによる誤動作を防ぐために使用します(図34参照)。

図33 シュミット入力の論理判定

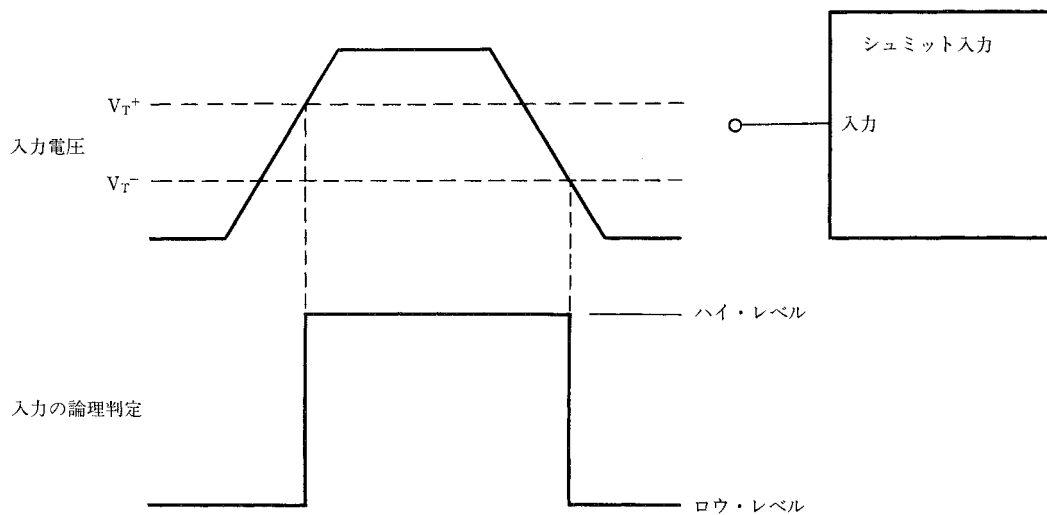
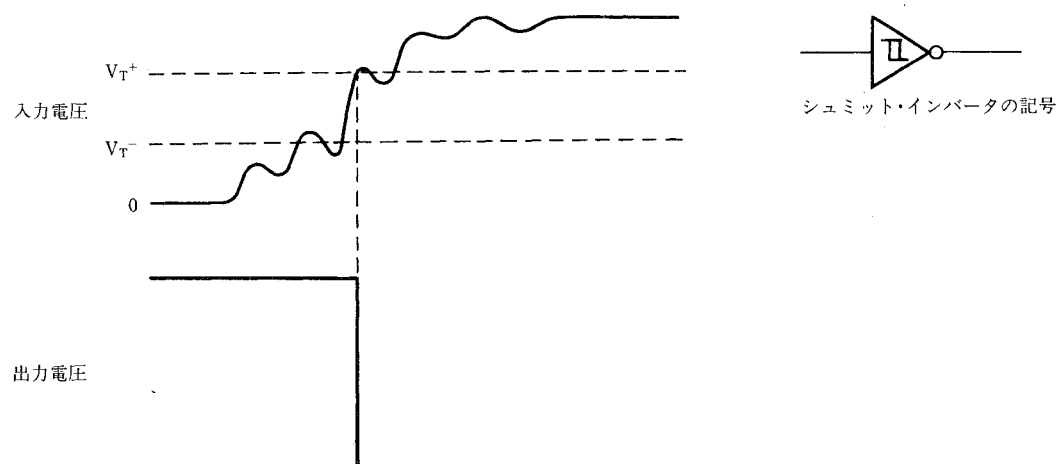


図34 シュミット・インバータ(μ PD74HC14)の動作波形例



保守/廃止

★ 2.2 発振器への応用(μ PD74HCU04)

μ PD74HCU04は、インバータを6回路内蔵したもので、同機能のものに μ PD74HC04(バッファ・タイプ)、 μ PD74HCT04(入力Tレベル)、 μ PD74HC14(シュミット入力)がありますが、安定した発振を得るためには μ PD74HCU04が最適です(表9参照)。

図35はセラミック発振器への応用例で、コンデンサ容量は波形を見ながらカット・アンド・トライで最適値を選ぶ必要があります。

図36はCR発振器への応用例で、発振オン・オフ用のインバータ1個とCR発振器用のインバータ3個とで構成します。発振周波数 f やハイ・ロウ幅の比dutyは、論理スレッシュホールド電圧 V_T により異なり、 f は $V_T = \frac{1}{2} \cdot V_{DD}$ 時に比べて85%程度以上、dutyは35~65%程度となります。したがって精度を必要とする用途では、モノステープル・マルチバイブレータによる発振回路(II.7項参照)をお奨めします。なお、CR発振器をインバータ2個で構成している回路もありますが、正常に発振しない場合がありますので推奨はしていません(詳細は集積回路技術資料IEA-547, IEM-983を参照してください)。

保守/廃止

表9 各種のインバータ

	μ PD74HCU04	μ PD74HC04	μ PD74HCT04	μ PD74HC14
構造				
等価回路				
入出力特性				
特徴	<ul style="list-style-type: none"> ○ 論理切り替え時のI_{DD}の変化率が小さいため、電源変動が小さい。 ○ 入出力のゲインが小さいため、発振回路に適している。 ○ 応答速度が速い。 * ノイズマージンが小さいため、ノイズ等による出力変動が生じやすい。 	<ul style="list-style-type: none"> ○ ノイズマージンが大きい。 * 論理切り替え時のI_{DD}の変化率が大きい。 ○ 電源変動を生じやすい。 	<ul style="list-style-type: none"> ○ 入力スレッシュホールド電圧がTTLレベルである。 * 論理切り替え時のI_{DD}の変化率が大きい。 ○ 電源変動を生じやすい。 	<ul style="list-style-type: none"> ○ シミュット入力のため、ノイズによる誤動作を生じにくい。 * 論理切り替え時のI_{DD}の変化率が大きい。 ○ 電源変動を生じやすい。

保守/廃止

図35 セラミック発振回路

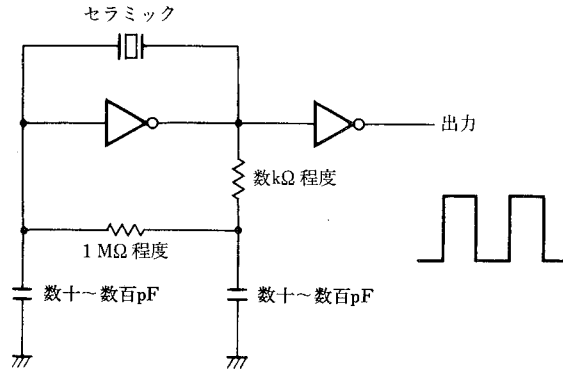
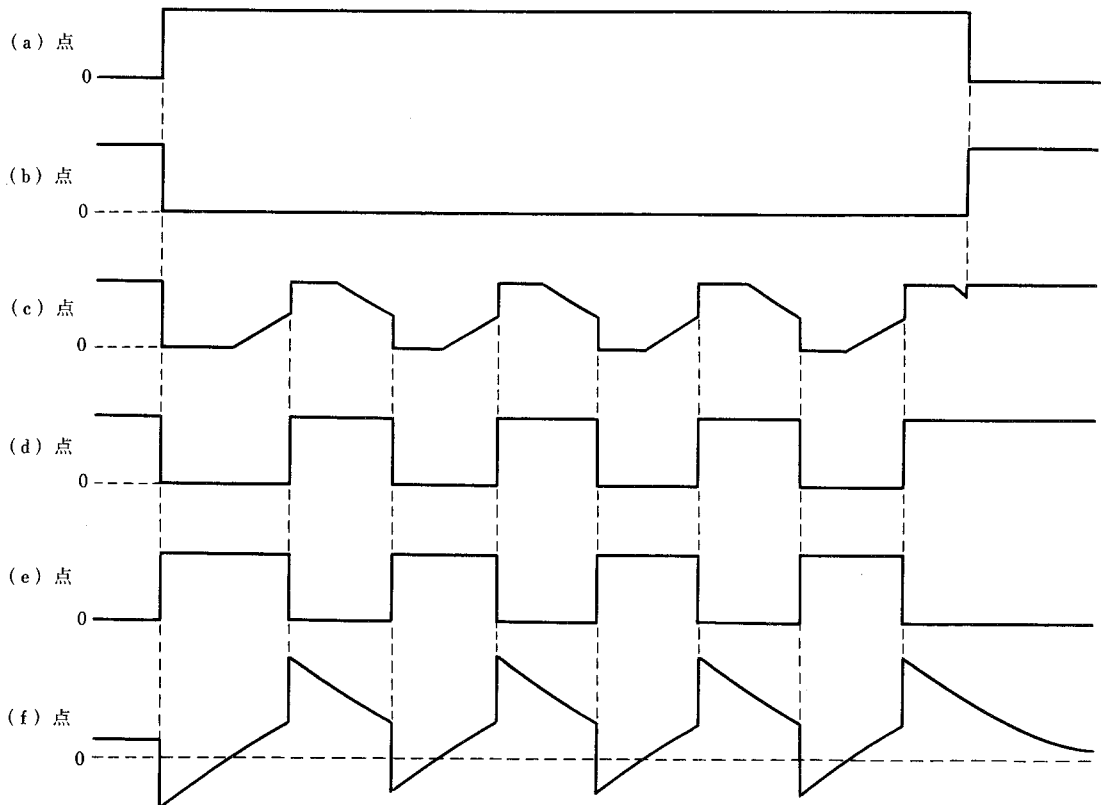
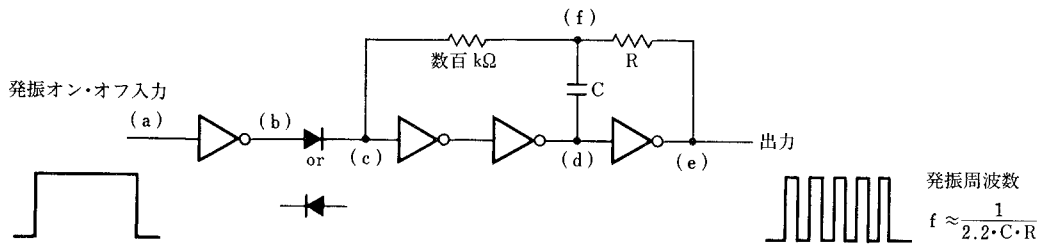


図36 CR発振回路と動作波形

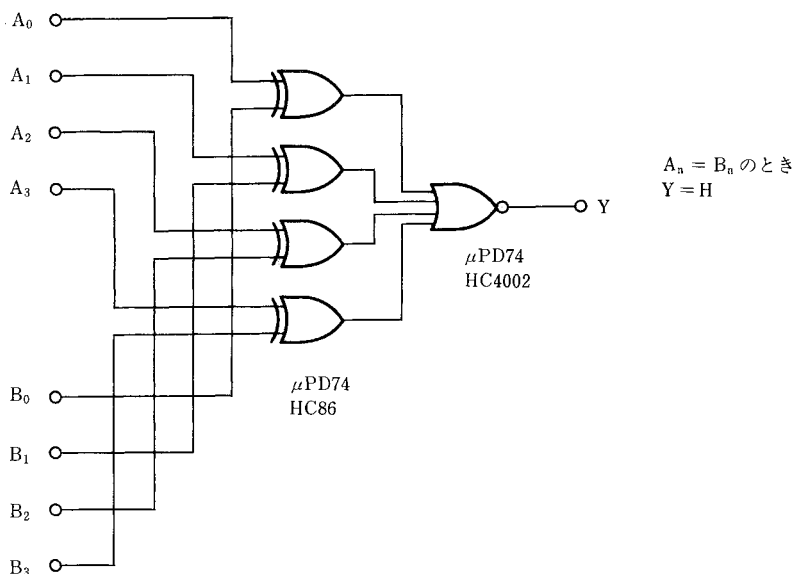


保守/廃止

2.3 コンパレータへの応用(μPD74HC86)

μPD74HC86 は、2入力のエクスクルシブORを4回路内蔵したもので、本品種と4入力NOR(μPD74HC4002)により4Bit Equality Comparatorを構成したものが図37です。各ビットのすべてが同値の場合に出力Yに『H』の信号が出ます。

図37 4 Bit Equality Comparator



2.4 組み合わせ回路

組み合わせ回路には、

- デコーダ (DECODER) — 入力情報を出力端子に分配する(解読)もの。
 デマルチプレクサ (DEMULTIPLEXER) —
- ※たとえば μPD74HC138 (3 to 8 Line Decoder/Demultiplexer) は、3ビットの入力情報を10進数端子(0~7)に出力します。
- エンコーダ (ENCODER) — 入力端子の信号を情報として出力する(暗号化)もの。
 ※たとえば μPD74HC147 (Decimal to BCD Priority Encoder) は、DECIMAL(10進数)端子の信号のうち、最も上位の信号を、4ビットの情報として出力します。
- データ・セクタ (DATA・SELECTOR) — 多入力の情報を選んで出力するもの。
 マルチプレクサ (MULTIPLEXER) —
- ※たとえば μPD74HC153 (Dual 4-Input Data Selector/Multiplexer) は、4つのデータのうちの1つを、2ビットのセレクト端子で選び出力する回路を2回路内蔵しています。
- コンパレータ (COMPARATOR) — 2種のデータの大小についての信号を出力するもの。
 ※たとえば μPD74HCT688 (8-Bit Equality Comparator) は、8ビットの2種のデータが同値のときのみ出力信号が出ます。

などがあります(表10参照)。



表10 組み合わせ回路の種類

機能	品名	構成
DECODER	μ PD74HC42	BCD to Decimal Decoder
	μ PD74HC137	3-to-8 Line Decoder with Address Latch (Low Active)
	μ PD74HC138	3-to-8 Line Decoder/Demultiplexer (Low Active)
	μ PD74HCT138	3-to-8 Line Decoder/Demultiplexer (Low Active)
	μ PD74HC139	Dual 2-to-4 Line Decoder/Demultiplexer (Low Active)
	μ PD74HCT139	Dual 2-to-4 Line Decoder/Demultiplexer (Low Active)
	μ PD74HC237	3-to-8 Line Decoder with Address Latch (High Active)
	μ PD74HC238	3-to-8 Line Decoder/Demultiplexer (High Active)
	μ PD74HC239	Dual 2-to-4 Line Decoder/Demultiplexer (High Active)
ENCODER	μ PD74HC147	Decimal to BCD Priority Encoder
	μ PD74HC148	8-to-3 Line Priority Encoder
DATA SELECTOR	μ PD74HC151	8-Input Data Selector/Multiplexer
	μ PD74HC153	Dual 4-Input Data Selector/Multiplexer
	μ PD74HC157	Quad 2-Input Data Selector
	μ PD74HC158	Quad 2-Input Data Selector (Inverting Type)
	μ PD74HC251	8-Input Data Selector with 3-State Outputs
	μ PD74HC253	Dual 4-Input Data Selector with 3-State Outputs
	μ PD74HC257	Quad 2-Input Data Selector with 3-State Outputs
	μ PD74HC258	Quad 2-Input Data Selector with 3-State Outputs
COMPARATOR	μ PD74HC85	4-Bit Magnitude Comparator
	μ PD74HC688	8-Bit Equality Comparator
	μ PD74HCT688	8-Bit Equality Comparator
OTHERS	μ PD74HC280	9-Bit Odd/Even Parity Generator/Checker
	μ PD74HC670	4-by-4 Register Files with 3-State Outputs

2.5 メモリのチップ・セクタへの応用(μ PD74HCT138)

μ PD74HCT138は、入力論理スレッショールド電圧がTTLレベルの3ビットの入力情報(A, B, C入力)を10進数(0~7)の端子($\bar{Y}_0 \sim \bar{Y}_7$)に変換するデコーダ(表11参照)で、図38のようにメモリのアドレス指定(チップ・セクタ)に多く使用されています。本例では8kバイト(たとえば64kビット)のメモリ8個までアドレス可能となります。

保守/廃止

表11 μ PD74HCT138の真理値表

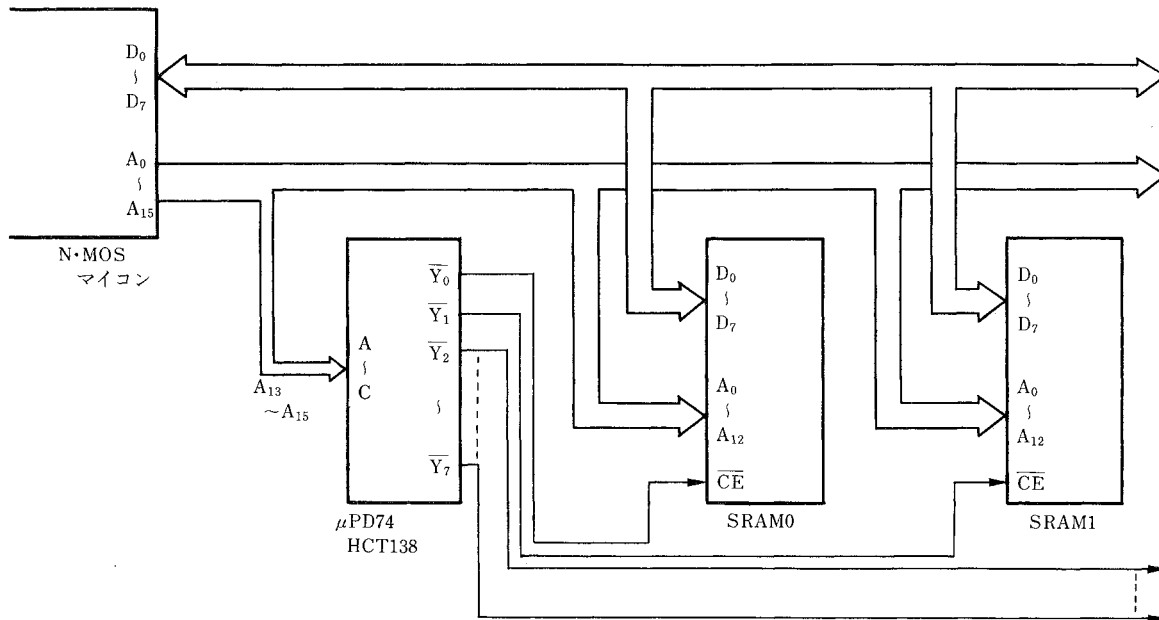
入 力					出 力							
Enable		Select			\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
G_1	$\overline{G_2^*}$	C	B	A								
×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

たとえば
 $G_1=H, \overline{G_{2A}}=L, \overline{G_{2B}}=L$ (Enable)
 かつ
 $C=H, B=L, A=H$
 (Select ; この場合2進数で101, すなわち10進数で5)
 のとき \bar{Y}_5 のみ『L』

$G_2^* = \overline{G_{2A} + G_{2B}}$

H: ハイレベル L: ロウレベル ×: H or L

図38 メモリのチップ・セレクト



2.6 メモリのロウ、カラム・アドレスへの応用(μ PD74HC257)

μ PD74HC257は、4ビットの2入力(A_n, B_n)のうち的一方を選ぶデータ・セクタ(表12参照)で、図39のようにDRAMのロウ・アドレスおよびカラム・アドレスとして、マイコンのアドレス信号を選択する場合等に使用されています。本例ではマイコンのロウ・アドレス($A_0 \sim A_7$)とカラム・アドレス($A_8 \sim A_{15}$)を、 \bar{RAS} 信号と \bar{CAS} 信号のタイミングに合わせ、本HC257で選び、メモリのアドレス($A_0 \sim A_7$)に送るものです。

保守/廃止

表12 μ PD74HC257の真理値表

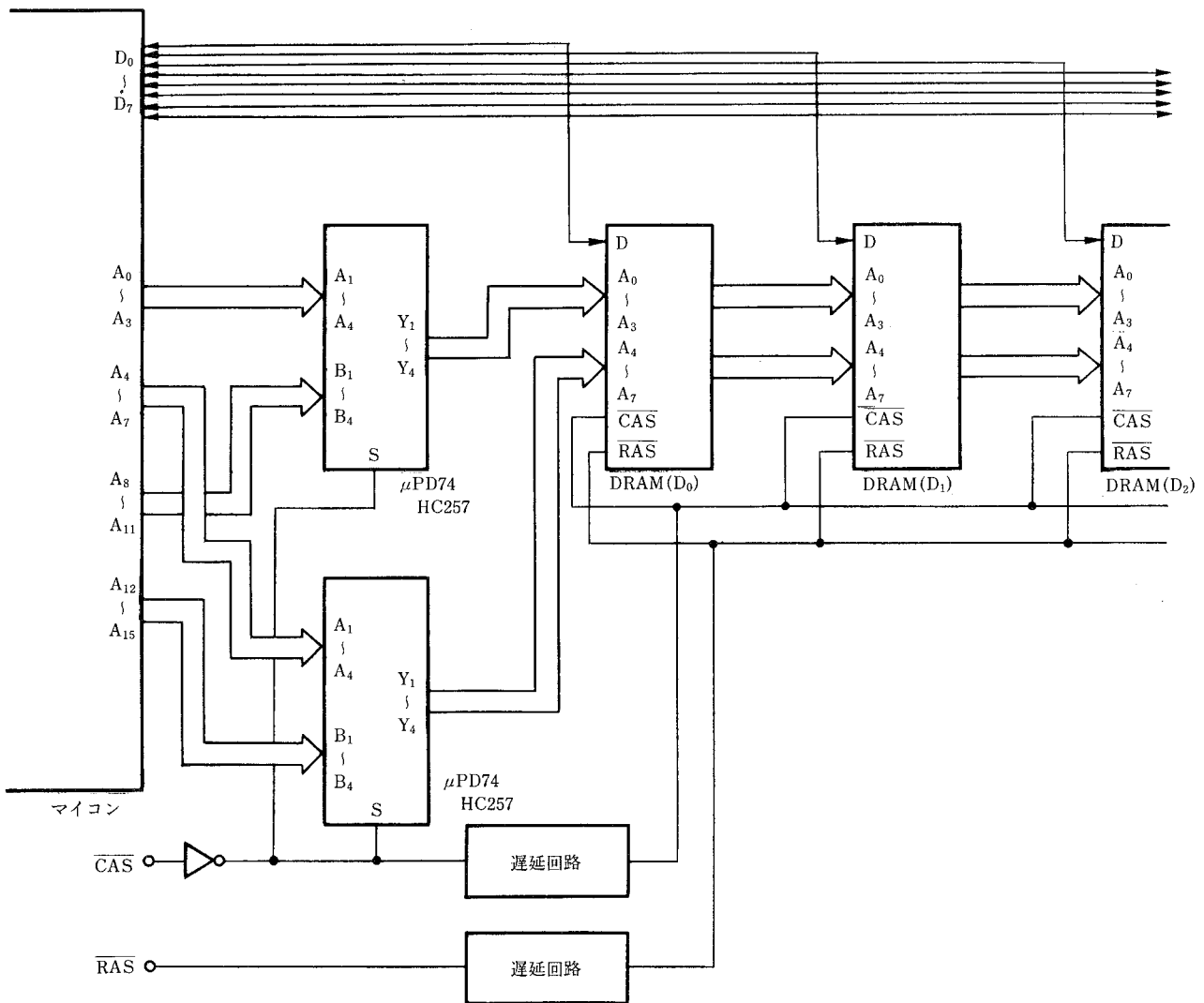
入 力		出 力			
$\overline{\text{OUTPUT ENABLE}}$	SELECT	Y ₁	Y ₂	Y ₃	Y ₄
L	L	A ₁	A ₂	A ₃	A ₄
L	H	B ₁	B ₂	B ₃	B ₄
H	×	Z	Z	Z	Z

⇒ SELECTが『L』のとき、A_nのデータが出力されます。

⇒ SELECTが『H』のとき、B_nのデータが出力されます。

H:ハイ・レベル L:ロウ・レベル ×:H or L
Z:ハイ・インピーダンス

図39 メモリのロウ・カラム・アドレス



保守/廃止

3. フリップフロップおよびラッチ

3.1 フリップフロップとラッチ

フリップフロップ、ラッチはともに『信号を一時記憶する回路』ですが、

- フリップフロップは、
CLOCK 入力などの立ち上がり直前の信号(DATAなど)を、次のCLOCK 入力などの立ち上がり時まで記憶する回路(図40参照)。
- ラッチは、
LATCH ENABLE 入力などの立ち下がり直前の信号(DATAなど)を、LATCH ENABLE 入力などがロウ・レベルの間だけ記憶する回路(図41参照)となります。

したがって DATA をそのまま出力する TRANSPARENT モード(図41でLATCH ENABLE信号が『H』のとき)の要、不要により、ラッチまたはフリップフロップを使います。

図40 フリップフロップのタイミング・チャート

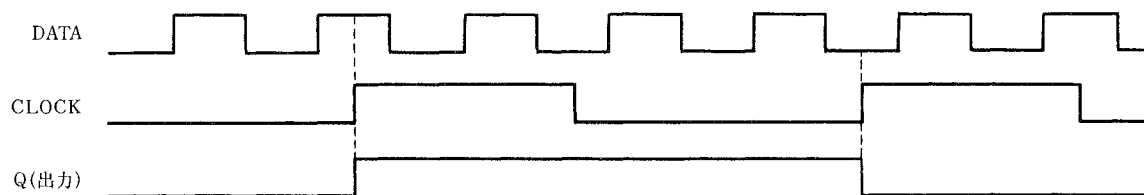
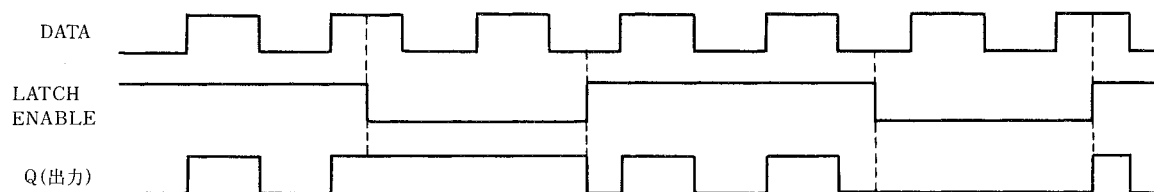


図41 ラッチのタイミング・チャート



※LATCH ENABLE は『L』信号の間記憶し続けるもので、他の ENABLE とは能動状態が異なる (たとえば OUTPUT ENABLEは『H』で『OUTPUTする』、OUTPUT ENABLEは『L』で『OUTPUTする』となります) ので注意が必要です。

保守/廃止

3.2 フリップフロップの種類

一般にフリップフロップ(以下F/Fと略す)には

- R-S-F/F—最後に信号が与えられたのはどちら(R or S)の入力であるかを出力(Q, \bar{Q})の状態で記憶するもの。
- T-F/F —入力信号が入るごとに、出力が反転するもの。
- D-F/F —CLOCK 信号の立ち上がり時の DATA 入力を出力に記憶するもの。
- J-K-F/F—CLOCK 信号の立ち上がり時の J 入力およびK入力の組み合わせにより出力の状態の決まるもの。

などがあります(表13参照)が、高速 CMOS 標準ロジック IC ではほとんどの品種が D-F/F もしくは J-K-F/F です。

保守/廃止

表13 フリップフロップの種類

	R-S-F/F	T-F/F	D-F/F	J-K-F/F																																																																																
真値表	<table border="1"> <tr> <th>入力</th> <th>出力</th> </tr> <tr> <td>R</td> <td>Q_{n+1}</td> </tr> <tr> <td>S</td> <td>Q_n</td> </tr> <tr> <td>L</td> <td>H</td> </tr> <tr> <td>L</td> <td>L</td> </tr> <tr> <td>H</td> <td>H</td> </tr> <tr> <td>H</td> <td>L</td> </tr> </table>	入力	出力	R	Q_{n+1}	S	Q_n	L	H	L	L	H	H	H	L	<table border="1"> <tr> <th>入力</th> <th>出力</th> </tr> <tr> <td>T</td> <td>Q_{n+1}</td> </tr> <tr> <td></td> <td>$\overline{Q_n}$</td> </tr> <tr> <td></td> <td>Q_n</td> </tr> </table> <p> \nearrow; H, L および立ち下がり時 Q_{n+1}; 入力に変化した後の出力 Q_n; 入力に変化する前の出力 $\overline{Q_n}$; Q_n の反転出力 </p>	入力	出力	T	Q_{n+1}		$\overline{Q_n}$		Q_n	<table border="1"> <tr> <th>入力</th> <th>出力</th> </tr> <tr> <td>CK</td> <td>Q_{n+1}</td> </tr> <tr> <td></td> <td>Q_n</td> </tr> <tr> <td></td> <td>H</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>$\overline{Q_n}$</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>H</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>H</td> </tr> </table> <p> ×: H or L ※セット(SET)Sは、プリセット(PRESET)PRと表現してあります。 </p>	入力	出力	CK	Q_{n+1}		Q_n		H		L		$\overline{Q_n}$		L		H		L		H	<table border="1"> <tr> <th>入力</th> <th>出力</th> </tr> <tr> <td>CK</td> <td>Q_{n+1}</td> </tr> <tr> <td></td> <td>Q_n</td> </tr> <tr> <td></td> <td>H</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>$\overline{Q_n}$</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>H</td> </tr> <tr> <td></td> <td>L</td> </tr> <tr> <td></td> <td>H</td> </tr> </table>	入力	出力	CK	Q_{n+1}		Q_n		H		L		$\overline{Q_n}$		L		H		L		H																		
	入力	出力																																																																																		
R	Q_{n+1}																																																																																			
S	Q_n																																																																																			
L	H																																																																																			
L	L																																																																																			
H	H																																																																																			
H	L																																																																																			
入力	出力																																																																																			
T	Q_{n+1}																																																																																			
	$\overline{Q_n}$																																																																																			
	Q_n																																																																																			
入力	出力																																																																																			
CK	Q_{n+1}																																																																																			
	Q_n																																																																																			
	H																																																																																			
	L																																																																																			
	$\overline{Q_n}$																																																																																			
	L																																																																																			
	H																																																																																			
	L																																																																																			
	H																																																																																			
入力	出力																																																																																			
CK	Q_{n+1}																																																																																			
	Q_n																																																																																			
	H																																																																																			
	L																																																																																			
	$\overline{Q_n}$																																																																																			
	L																																																																																			
	H																																																																																			
	L																																																																																			
	H																																																																																			
品種類 または 他のF/F からの 変換例	<p>(a) D-F/Fからの変換</p> <p>(b) J-K-F/Fからの変換</p>	<p>(a) D-F/Fからの変換</p> <p>(b) J-K-F/Fからの変換</p>	<table border="1"> <tr> <th>品名</th> <th>回路数</th> <th>読みCK</th> <th>リセット</th> <th>セット</th> </tr> <tr> <td>HC74</td> <td>2</td> <td>\nearrow</td> <td>\overline{R}</td> <td>S</td> </tr> <tr> <td>HC173</td> <td>4</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> <tr> <td>HC174</td> <td>6</td> <td>\nearrow</td> <td>\overline{R}</td> <td></td> </tr> <tr> <td>HC175</td> <td>4</td> <td>\nearrow</td> <td>\overline{R}</td> <td></td> </tr> <tr> <td>HC273</td> <td>8</td> <td>\nearrow</td> <td>\overline{R}</td> <td></td> </tr> <tr> <td>HC374</td> <td>8</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> <tr> <td>HC377</td> <td>8</td> <td>\nearrow</td> <td></td> <td></td> </tr> <tr> <td>HC534</td> <td>8</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> <tr> <td>HC564</td> <td>8</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> <tr> <td>HC574</td> <td>8</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> <tr> <td>HCT374</td> <td>8</td> <td>\nearrow</td> <td>\overline{OE}</td> <td></td> </tr> </table> <p> ※HC374とHC574, HC534とHC564とはピン配置のみ異なります。 </p>	品名	回路数	読みCK	リセット	セット	HC74	2	\nearrow	\overline{R}	S	HC173	4	\nearrow	\overline{OE}		HC174	6	\nearrow	\overline{R}		HC175	4	\nearrow	\overline{R}		HC273	8	\nearrow	\overline{R}		HC374	8	\nearrow	\overline{OE}		HC377	8	\nearrow			HC534	8	\nearrow	\overline{OE}		HC564	8	\nearrow	\overline{OE}		HC574	8	\nearrow	\overline{OE}		HCT374	8	\nearrow	\overline{OE}		<table border="1"> <tr> <th>品名</th> <th>回路数</th> <th>読みCK</th> <th>リセット</th> <th>セット</th> </tr> <tr> <td>HC107</td> <td>2</td> <td>\nearrow</td> <td>\overline{R}</td> <td></td> </tr> <tr> <td>HC109</td> <td>2</td> <td>\nearrow</td> <td>\overline{R}</td> <td>S</td> </tr> <tr> <td>HC112</td> <td>2</td> <td>\nearrow</td> <td>\overline{R}</td> <td>S</td> </tr> </table>	品名	回路数	読みCK	リセット	セット	HC107	2	\nearrow	\overline{R}		HC109	2	\nearrow	\overline{R}	S	HC112	2	\nearrow	\overline{R}	S
品名	回路数	読みCK	リセット	セット																																																																																
HC74	2	\nearrow	\overline{R}	S																																																																																
HC173	4	\nearrow	\overline{OE}																																																																																	
HC174	6	\nearrow	\overline{R}																																																																																	
HC175	4	\nearrow	\overline{R}																																																																																	
HC273	8	\nearrow	\overline{R}																																																																																	
HC374	8	\nearrow	\overline{OE}																																																																																	
HC377	8	\nearrow																																																																																		
HC534	8	\nearrow	\overline{OE}																																																																																	
HC564	8	\nearrow	\overline{OE}																																																																																	
HC574	8	\nearrow	\overline{OE}																																																																																	
HCT374	8	\nearrow	\overline{OE}																																																																																	
品名	回路数	読みCK	リセット	セット																																																																																
HC107	2	\nearrow	\overline{R}																																																																																	
HC109	2	\nearrow	\overline{R}	S																																																																																
HC112	2	\nearrow	\overline{R}	S																																																																																

保守/廃止

3.3 フリップフロップのリング・カウンタへの応用(μ PD74HC175)

μ PD74HC175は、D-F/Fを4回路内蔵したもので、表14に真理値表を、図42に端子接続図を示します。表14の読み方は、たとえば2段目の場合は、 $\overline{\text{RESET}}$ に『H』の信号があり、かつDに『H』の信号がある状態で、CLOCK信号が立ち上がると、出力Qは『H』となり \overline{Q} は『L』となることを示します。

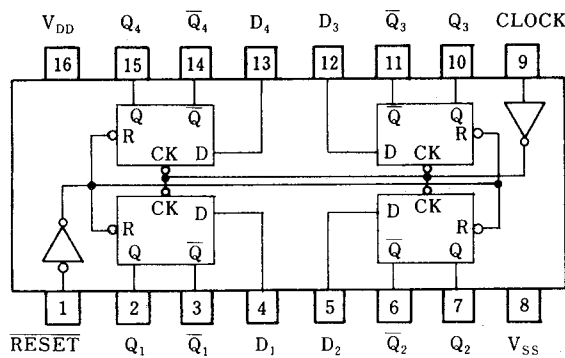
図43、図44は4段リング・カウンタへの応用例で、D入力を前段のQ出力に接続し、最後の段を除くすべての段のQ出力をNOR(本例の場合は μ PD74HC4002)の入力に接続し、NORの出力を初段のD入力に接続することにより任意の段数のリング・カウンタを作ることができます。

表14 μ PD74HC175の真理値表

INPUT			OUTPUT	
CLOCK	$\overline{\text{RESET}}$	D	Q	\overline{Q}
×	L	×	L	H
	H	H	H	L
	H	L	L	H
L	H	×	NO CHANGE	

H:ハイレベル L:ロウレベル ×:H or L

図42 μ PD74HC175の端子接続図



保守/廃止

図43 4段リング・カウンタ

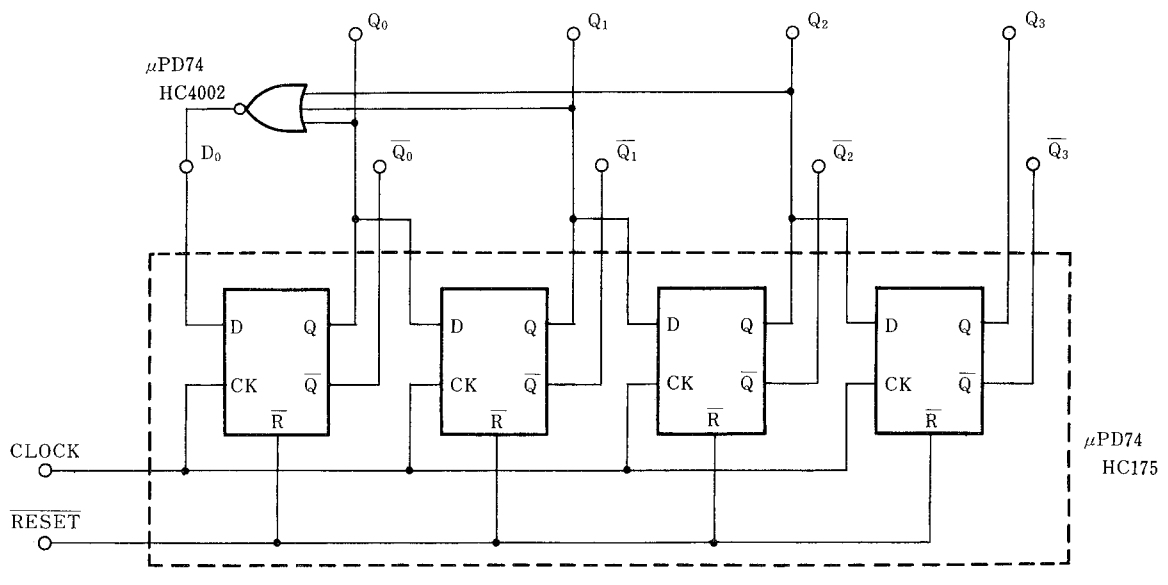
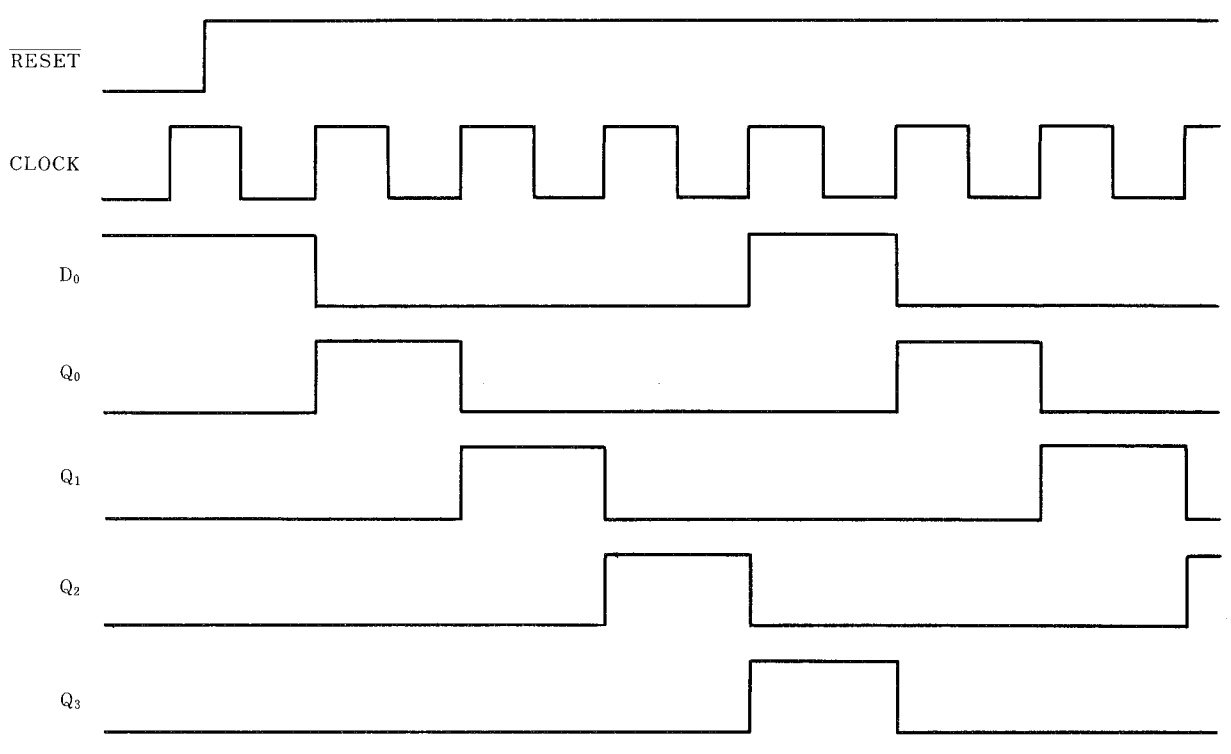


図44 4段リング・カウンタのタイミング・チャート



保守/廃止

3.4 特殊なラッチのドライバへの応用(μPD74HC259)

ラッチには標準的なものと、付加機能のついた品種とがあり(表15参照)、たとえばμPD74HC259は、デコーダ機能(1 of 8)内蔵の8ビット・ラッチ(表16, 図45参照)で、 \overline{R} (RESET)入力およびEN(ENABLE)入力の組み合わせにより、

- 入力データDを、アドレスされたラッチ(TRANSPARENTモード)に送信し出力する。その他は記憶した情報を出力する。—— \overline{R} ='H', EN='L'
- すべてのラッチが前の状態を維持(記憶)し出力する。—— \overline{R} ='H', EN='H'
- 入力データDを、アドレスされたラッチ(TRANSPARENTモード)に送信し出力する。その他は記憶した情報はリセットされ'L'を出力する。—— \overline{R} ='L', EN='L'
- すべてのラッチがリセットされ'L'を出力する。—— \overline{R} ='L', EN='H'

の4モードがあります(図46参照)。

図47は、μPD74HC259をマイコンとLEDとのインタフェースとして使用したドライバへの応用例で、8ビットのラッチ(たとえばμPD74HC573)5個とセクタ用のデコーダ(たとえばμPD74HC138)1個での構成に比べて、デコーダを1個省略することができます。

表15 ラッチの種類

品名	回路数	保持	3ステート	出力	その他
μPD74HC259	1入力 8出力	\overline{R} =H EN=H		Q	3入力アドレスによる選択
μPD74HC373	8	L	\overline{OE}	Q	対応した入出力の端子位置が隣接
μPD74HC375	4	L		Q, \overline{Q}	
μPD74HC533	8	L	\overline{OE}	\overline{Q}	対応した入出力の端子位置が隣接
μPD74HC563	8	L	\overline{OE}	\overline{Q}	対応した入出力の端子位置が対向
μPD74HC573	8	L	\overline{OE}	Q	対応した入出力の端子位置が対向
μPD74HCT373	8	L	\overline{OE}	Q	入力スレッシュホールド電圧がTTLレベル

保守/廃止

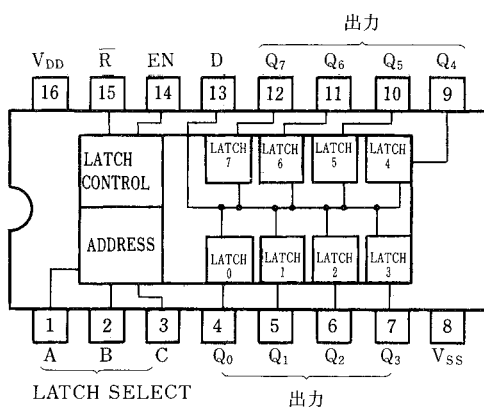
表16 μ PD74HC259の真理値表

入 力		アドレスされた ラッチの出力	その他 の出力	機 能
\bar{R}	EN			
H	L	D	Q_{i0}	アドレスされたラッチ 以外は保持 *
H	H	Q_{i0}	Q_{i0}	保 持
L	L	D	L	アドレスされたラッチ 以外はリセット *
L	H	L	L	リセット

セレクト入力			ラッチ アドレス
C	B	A	
L	L	L	0
L	L	H	1
L	H	L	2
L	H	H	3
H	L	L	4
H	L	H	5
H	H	L	6
H	H	H	7

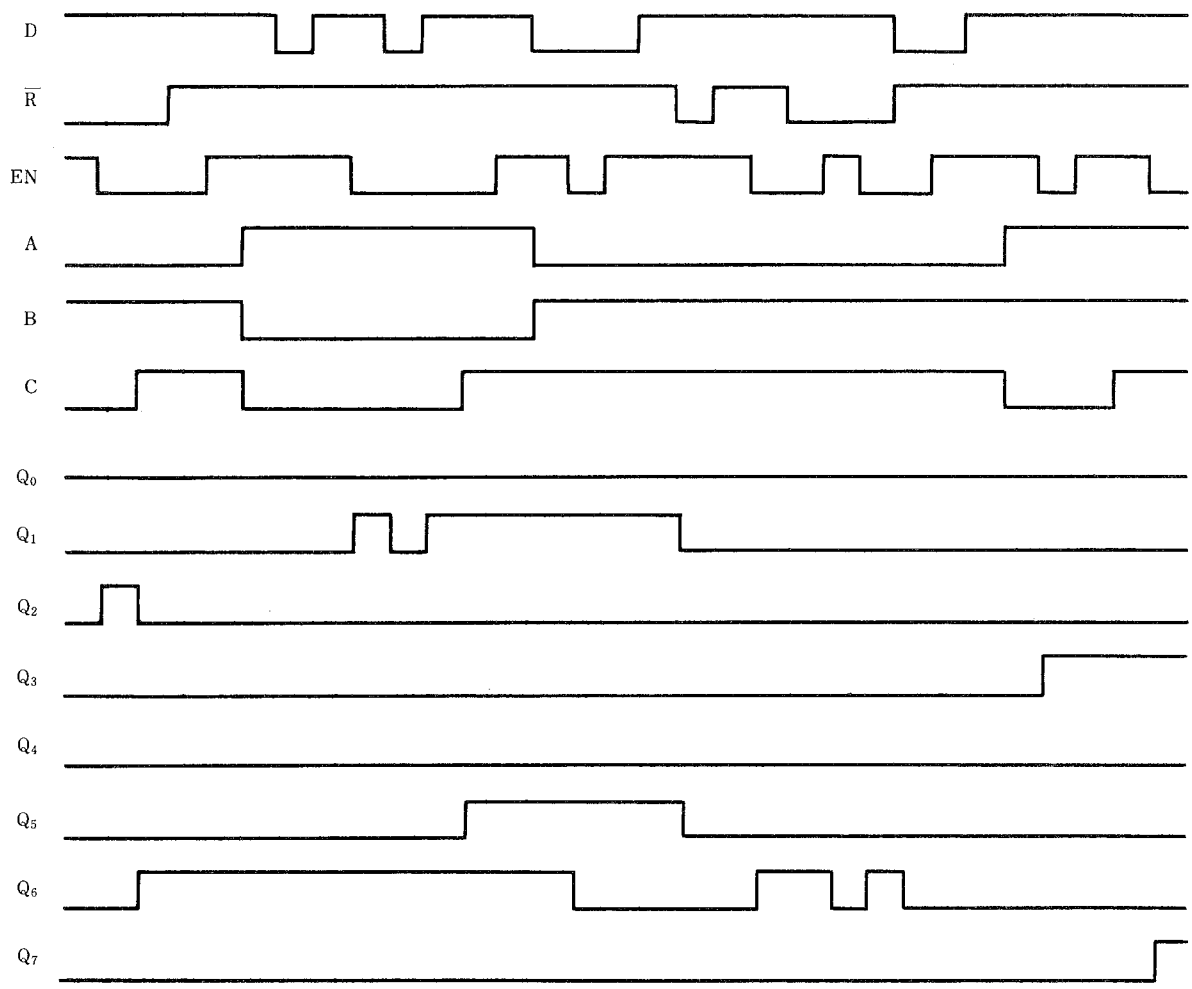
H: ハイ・レベル
L: ロウ・レベル
D: データ入力のレベル
(H or L)
 Q_{i0} : 表中に示された入力条件が
確定する前の Q_i のレベル
($i=0\sim7$)
*: 本モードでは、セレクト入力信号
を変えないでください。

図45 μ PD74HC259の端子接続図



保守/廃止

図46 μ PD74HC259のタイミング・チャート



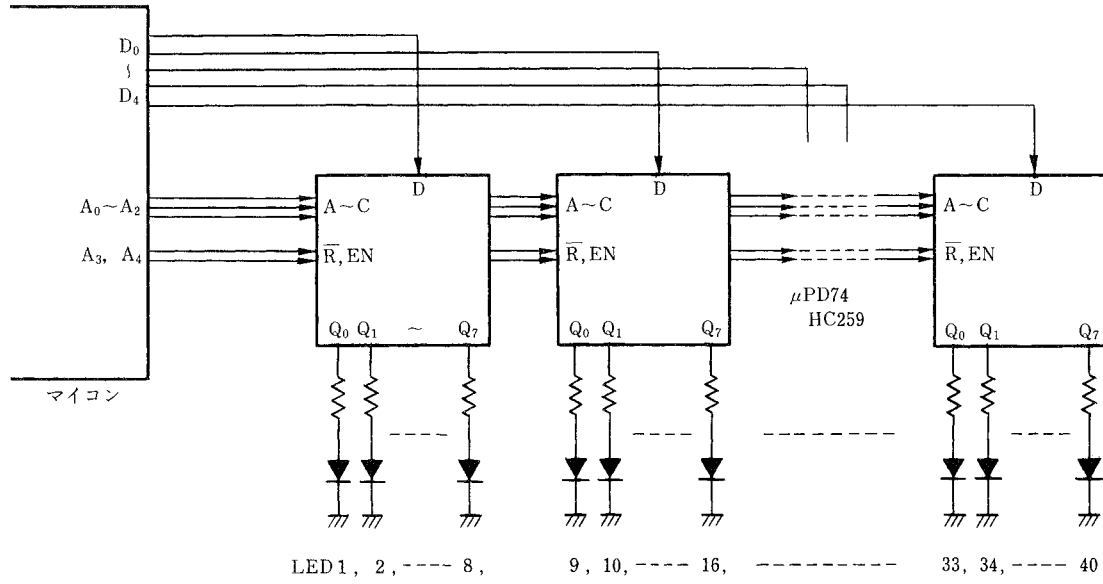
↑
LATCH 6
に記憶

↑
LATCH 1に記憶

(アドレスの切り換わり時に、他のLATCHが誤記憶するおそれがありますので、できるだけ本タイミングでの使用は避けてください。)

保守/廃止

図47 特殊なラッチのドライバへの応用例



保守/廃止

4. シフト・レジスタ

4.1 シフト・レジスタの種類

シフト・レジスタとは、CLOCK 信号の立ち上がり時（品種によっては立ち下がり時）に

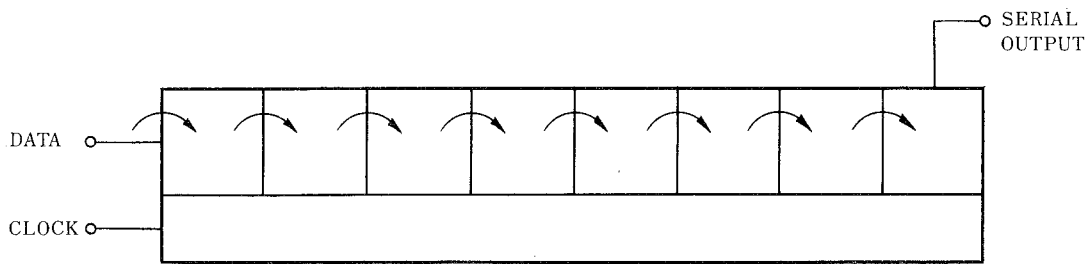
- DATAの信号(H or L)を初段に読み込む
- 前段の信号を後段に送る

もの(図48参照)で、

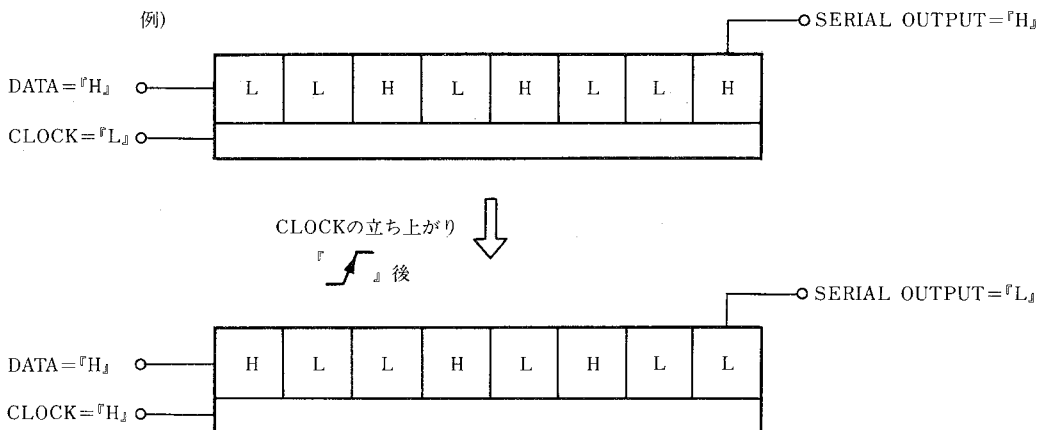
- 最終段の信号を出力(=SERIAL OUT)する端子のある品種
- おおのこの段の信号を出力(=PARALLEL OUT)する端子のある品種
- おおのこの段に直接入力(=PARALLEL IN)できる端子のある品種

などがあります(表17参照)。

図48 シフト・レジスタの動作



※CLOCK信号が入ると、次の段に情報(DATA)が移動する。



保守/廃止

表17 シフト・レジスタの種類

品名	STAGE数	リセット	入力		出力		その他
			SERIAL	PARALLEL	SERIAL	PARALLEL	
μPD74HC164	8	\bar{R}	○			○	
μPD74HC165	8		○	○	○		
μPD74HC166	8	\bar{R}	○	○	○		
μPD74HC194	4	\bar{R}	○	○		○	双方向シフト
μPD74HC195	4	\bar{R}	○	○		○	
μPD74HC299	8	\bar{R}	○	○	○	○	双方向シフト
μPD74HC595	8	\bar{R}	○		○	○	PARALLELラッチ内蔵
μPD74HC4094	8		○		○	○	PARALLELラッチ内蔵

4.2 多段カスケード接続

★

シフト・レジスタ、カウンタなどのようにCLOCK入力のあるICを使用する場合には、各入力信号のタイミングが問題となり、伝達遅延時間 t_{PLH} 、 t_{PHL} や最小セットアップ時間 t_{setup} 、最小ホールド時間 t_{hold} などを考慮することが必要です（集積回路技術資料IEM-5023参照）。

図49は、シフトレジスタを多段カスケード接続する場合の上手な使い方の例で、シフトレジスタ部がCLOCK信号の立ち上がりで動作するのに対して、シリアル出力 Q_S がCLOCK信号の立ち下がりで動作するため、タイミングチャートのようにIC1、2のCLOCK信号がずれても正常に信号を伝達できます。

ところが本例のようなシリアル出力 Q_S のある品種は、74HC4094など一部の品種に限られています。一般のシフト・レジスタの出力は、図49のシリアル出力 Q_7 のようにシフト・レジスタのCLOCKと同期しているため、IC1と2のCLOCK信号がずれたり、CLOCK信号の立ち上がりが遅く各CLOCK入力の論理スレッシュホールド電圧に達する時間がずれたりすると、正常に信号を伝達できない場合があります

$$(t_{CLOCK1} + t_{PLH} \text{ OR } t_{PHL}) > (t_{CLOCK2} + t_{hold})$$

t_{CLOCK1} ; IC1へのCLOCK印加時期(またはIC1の論理スレッシュホールド電圧に達した時期)

t_{CLOCK2} ; IC2へのCLOCK印加時期(またはIC2の論理スレッシュホールド電圧に達した時期)

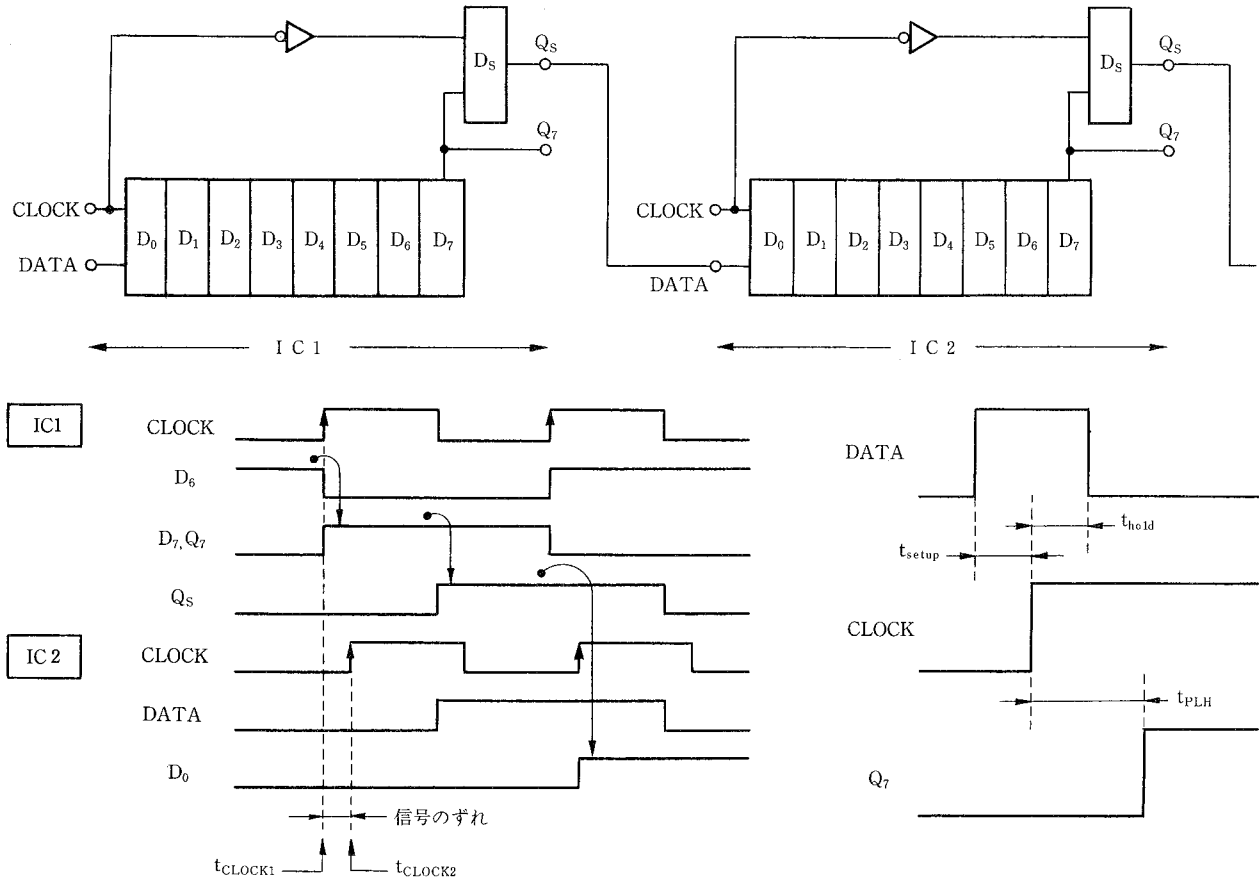
t_{PLH} , t_{PHL} ; IC1の伝達遅延時間

t_{hold} ; IC2の最小ホールド時間

を十分に満足することが必要です。したがってCLOCK信号の立ち上がり時間 t_r （最悪 $t_{CLOCK2} - t_{CLOCK1}$ に相当）をできるだけ短くするとともに、カスケードの段数に応じて、後段の方から順にCLOCK信号が伝わるような配線や遅延用バッファの挿入などを考慮してください。

保守/廃止

図49 シフトレジスタのカスケード接続と t_{setup} , t_{hold}



保守/廃止

4.3 マイコン・ポートの拡張への応用(μPD74HC595)

μPD74HC595は、PARALLEL-OUTに EDGED-LATCH(いわゆる FLIP-FLOP) をもうけた8-STAGE SERIAL-IN/SERIAL-OUT, PARALLEL-OUT (表18, 図50参照) で, 図51にマイコン出力ポートの拡張例を示します。本例ではマイコンの8ビット PARALLEL 出力を16ビット PARALLEL 出力に拡張するために, D7を SERIAL 出力とし μPD74HC595で SERIAL/PARALLEL 変換し, CKで同期を取って16ビットとするものです。

表18 μPD74HC595の真理値表

入 力					動 作
RESET	A	SHIFT CLOCK	LATCH CLOCK	OUTPUT ENABLE	
L	×	×	×	×	SHIFT REGISTERの内容がすべてロウとなります。
H	L		×	×	SHIFT REGISTERの内容が一段シフトします。 なお, 初段にはA入力のデータLが読み込まれます。
H	H		×	×	SHIFT REGISTERの内容が一段シフトします。 なお, 初段にはA入力のデータHが読み込まれます。
H	×		×	×	SHIFT REGISTERの内容は変化しません。
H	×	×		×	SHIFT REGISTERの内容がLATCHに記憶されます。
H	×	×		×	LATCHの内容は変化しません。
H	×	×	×	L	LATCHの内容がQA-Hに出力されます。
H	×	×	×	H	出力QA-Hがハイインピーダンスとなります。

*SQ_HにはSHIFT REGISTERの最終段の内容が出力されます。

H:ハイレベル L:ロウレベル ×:H or L

保守/廃止

図50 μ PD74HC595のブロック図

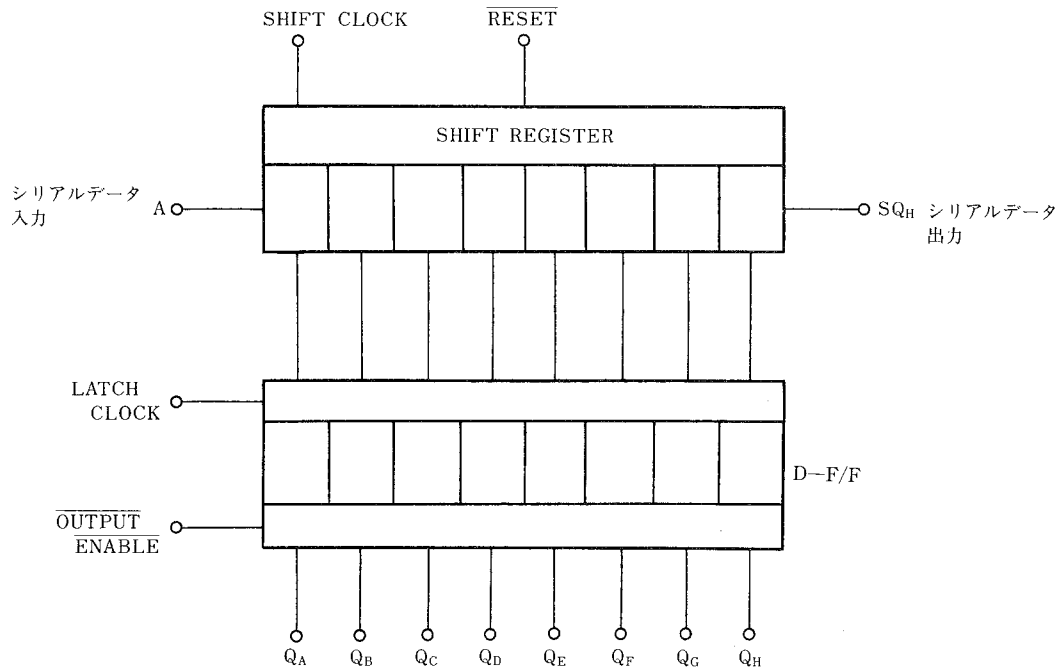
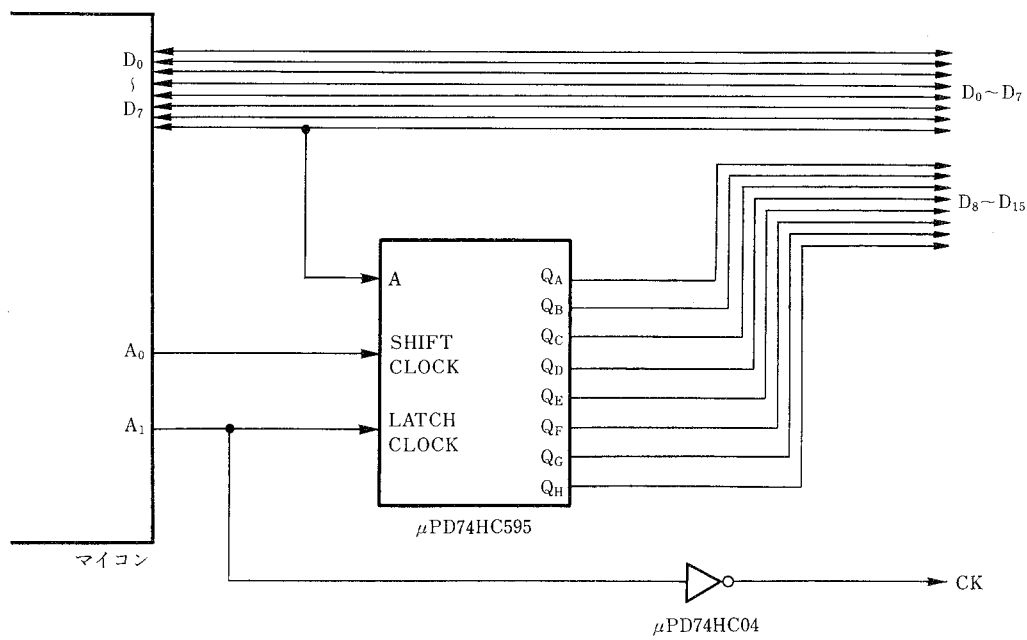


図51 マイコン出力ポートの拡張



保守/廃止

5. カウンタ

5.1 カウンタの種類

カウンタとは、CLOCKの立ち上がり(もしくは立ち下がり)信号により、記憶している数値に『+1もしくは-1』を加え記憶するもので

- ・カウンタ数により『DECADE』(0~9)と『BINARY』(0~15)や2ⁿをカウントするデバイダ品種
- ・RESETがCLOCKに対して同期の品種、非同期の品種
- ・PRESET(外部DATAによるカウンタの初期値の設定)がCLOCKに対して同期の品種、非同期の品種
- ・カウントが増加するUP-COUNTの品種、カウントが減少するDOWN-COUNTの品種、両者の切り換えができる品種

などがあります(表19参照)。

カスケードの段数が多い場合には、4.2項のシフトレジスタと同様の注意が必要です。

表19 カウンタの種類



品名	カウント	リセット (クロックに対して)	プリセット (クロックに対して)	UP/DOWN カウント	その他
μPD74HC160	DECADE	\bar{R} (非同期)	\bar{L} (同期)	UP	
μPD74HC161	BINARY	\bar{R} (非同期)	\bar{L} (同期)	UP	
μPD74HC162	DECADE	\bar{R} (同期)	\bar{L} (同期)	UP	
μPD74HC163	BINARY	\bar{R} (同期)	\bar{L} (同期)	UP	
μPD74HC190	DECADE	———	\bar{L} (非同期)	UP/DOWN	
μPD74HC191	BINARY	———	\bar{L} (非同期)	UP/DOWN	
μPD74HC192	DECADE	\bar{R} (非同期)	\bar{L} (非同期)	UP/DOWN	
μPD74HC193	BINARY	\bar{R} (非同期)	\bar{L} (非同期)	UP/DOWN	
μPD74HC390	特殊	R (非同期)	———	UP	2進, 5進カウンタ(2回路入り)
μPD74HC393	BINARY	\bar{R} (非同期)	———	UP	2回路入り
μPD74HC4017	10進リングカウンタ	\bar{R} (非同期)	———	———	リング・カウンタ
μPD74HC4020	2 ¹⁴	\bar{R} (非同期)	———	———	デバイダ
μPD74HC4024	2 ⁷	\bar{R} (非同期)	———	———	デバイダ
μPD74HC4040	2 ¹²	\bar{R} (非同期)	———	———	デバイダ

5.2 n分周カウンタへの応用(μPD74HC161)

μPD74HC161は、4ビットのBINARY-UP-COUNTER(表20, 図52, 図53参照)で、リセットはクロックに対して非同期、プリセットはクロックに同期して動作するものです。図54は本ICを3個使用したn分周(周波数を1/n, パルス幅は1クロック周期)カウンタで、本例ではnの最大数は4096ですが、段数を増すことにより任意の分周が可能です。

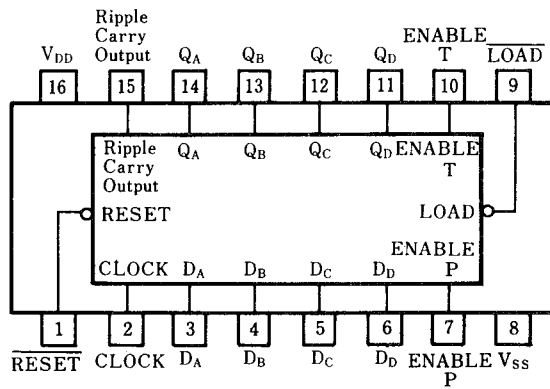
保守/廃止

表20 μ PD74HC161の真理値表

入 力					出 力
CLOCK	RESET	LOAD	ENABLE P	ENABLE T	Q_n
×	L	×	×	×	L
	H	L	×	×	LOAD
	H	H	H	H	COUNT
×	H	H	L	×	NO COUNT
×	H	H	×	L	NO COUNT

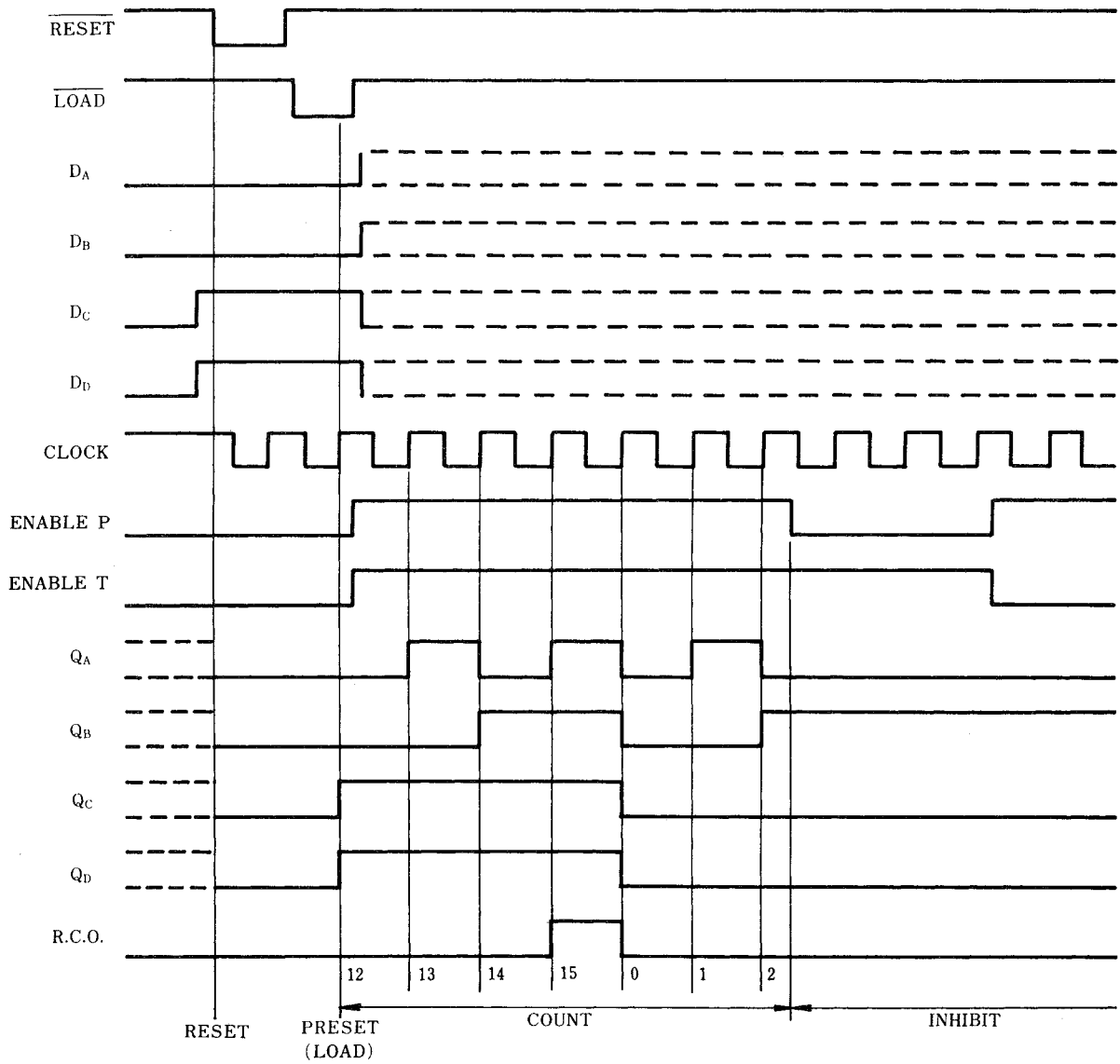
H: ハイレベル L: ローレベル ×: H or L
n: A~D

図52 μ PD74HC161の端子接続図



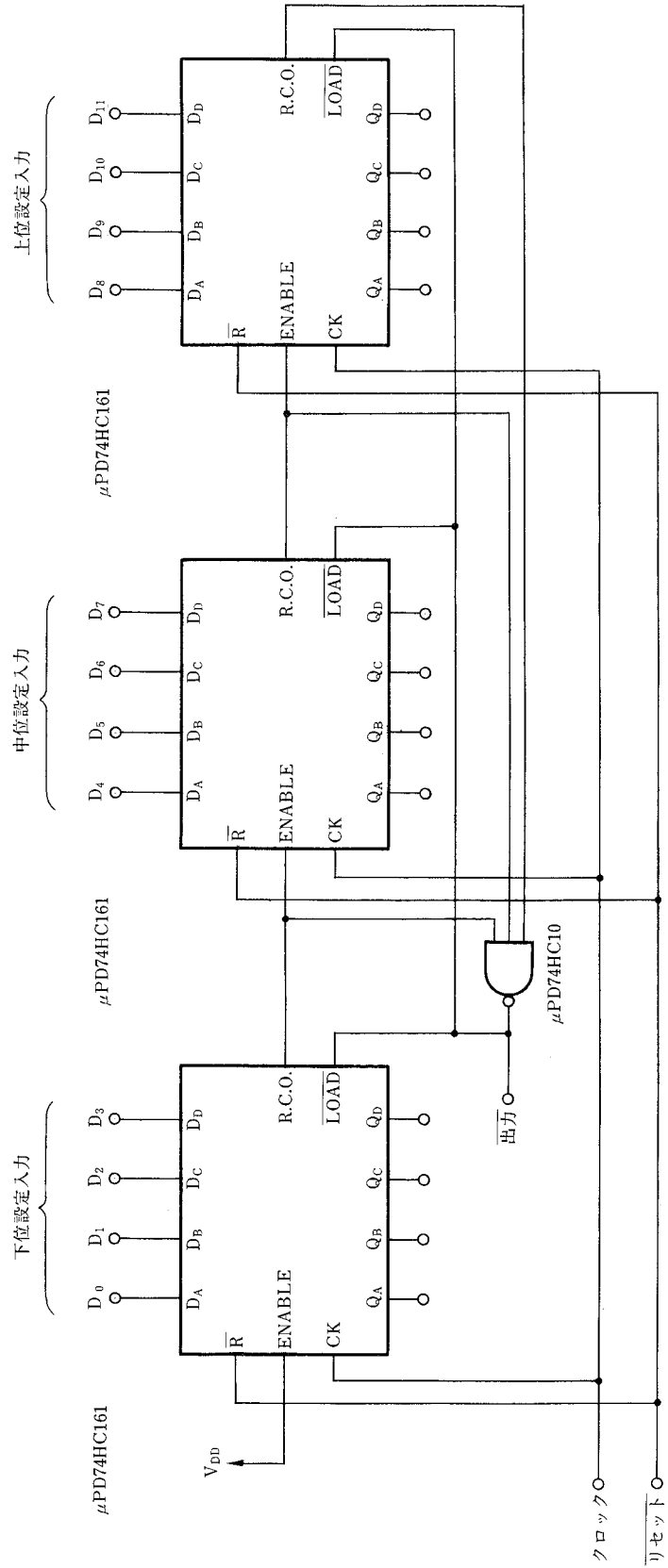
保守/廃止

図53 μ PD74HC161のタイミング・チャート



保守/廃止

図54 n分周カウンタへの応用



※本例では $(2^{12-n})_{4096}$ を2進数で入力に設定します。

保守/廃止

6. アナログ・スイッチ

6.1 アナログ・スイッチの種類

アナログ・スイッチは、いわゆる『スイッチ』の動作をし、デジタル信号はもとよりアナログ信号も伝達することができます。基本構造は図43のように、スイッチ部は Pch MOSFET と Nch MOSFET とを並列に接続したもので、アナログ信号の伝達可能な電圧範囲は V_{SS} から V_{DD} の範囲となります。

アナログ・スイッチには

- ・アナログ・スイッチのみの品種
- ・高耐圧(±5 V系, +12 V系)の品種
- ・MULTIPLEXER/DEMULTIPLEXER 構成となっている品種

などがあります(表21参照)。

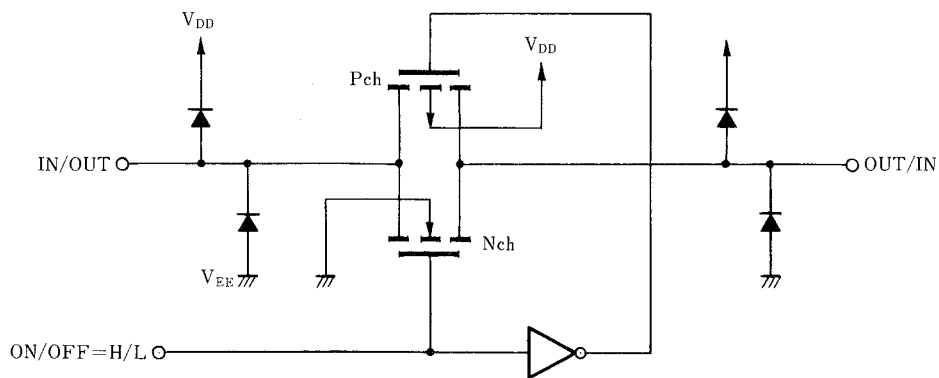
表21 アナログ・スイッチの種類

品名	推奨動作電圧	回路構成
μ PD74HC4051	<ul style="list-style-type: none"> ・コントロール電源 V_{DD} 2 ~ 6 V ・アナログ電源 V_{DD} 2 ~ 6 V 	
μ PD74HC4052	<ul style="list-style-type: none"> ・アナログ信号 $V_{EE} - 6 \sim 0$ V ・アナログ電源 $V_{EE} \sim V_{DD}$ 	

保守/廃止

品名	推奨動作電圧	回路構成
μ PD74HC4053	<ul style="list-style-type: none"> コントロール電源 V_{DD} 2 ~ 6 V アナログ電源 V_{DD} 2 ~ 6 V V_{EE} -6 ~ 0 V アナログ信号 $V_{EE} \sim V_{DD}$ 	
μ PD74HC4066	2 ~ 6 V	<p>4回路入り</p>
μ PD74HC4066A	3 ~ 15 V	

図55 アナログ・スイッチの基本構造



保守/廃止

7. モノステーブル・マルチバイブレータ

7.1 モノステーブル・マルチバイブレータの種類

モノステーブル・マルチバイブレータ(別名ワンショット・マルチバイブレータ)は、トリガ入力により外付けのC、Rにより決まるパルスが出力されるもので

- ・リトリガ(出力パルス発生中に、再度トリガを入力することにより出力パルス幅を延長するもの)機能のある品種
- ・RESET 入力が、トリガ入力を兼ねている品種

などがあります(表22参照)。










表22 モノステーブル・マルチバイブレータの種類



品名	出力パルス幅	リトリガ機能	RESET入力
μ PD74HC123A	$1.0 \times C \times R$	○	リセット兼トリガ
μ PD74HC221A	$1.0 \times C \times R$		リセット兼トリガ
μ PD74HC4538	$k \times C \times R$	○	リセット

7.2 発振周波数可変の無安定マルチバイブレータ(μ PD74HC123Aとアナログ・スイッチ μ PD74HC4051)

μ PD74HC123A(表23, 図56参照)により発振器(無安定マルチバイブレータ)を構成し, μ PD74HC4051(表21参照)により発振周波数を可変したものが図57で、3ビットのセレクト信号により8種類の周波数に可変できます。写真1はC=0.1 μ F, R=24k Ω での発振波形です。

表23 μ PD74HC123Aの真理値表

入 力			出 力	
RESET	A	B	Q	\bar{Q}
L	×	×	L	H
×	H	×	L*	H*
×	×	L	L*	H*
H	L			
H		H		
	L	H		

H:ハイレベル L:ロウレベル ×:H or L
: 1個の"H"レベルパルス
: 1個の"L"レベルパルス

*:パルスが終了した時点でこの状態になります。

保守/廃止

図56 μ PD74HC123Aの端子接続図

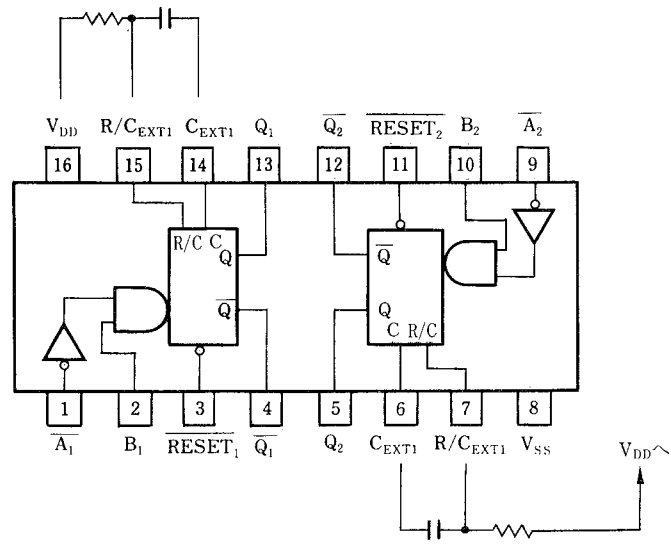
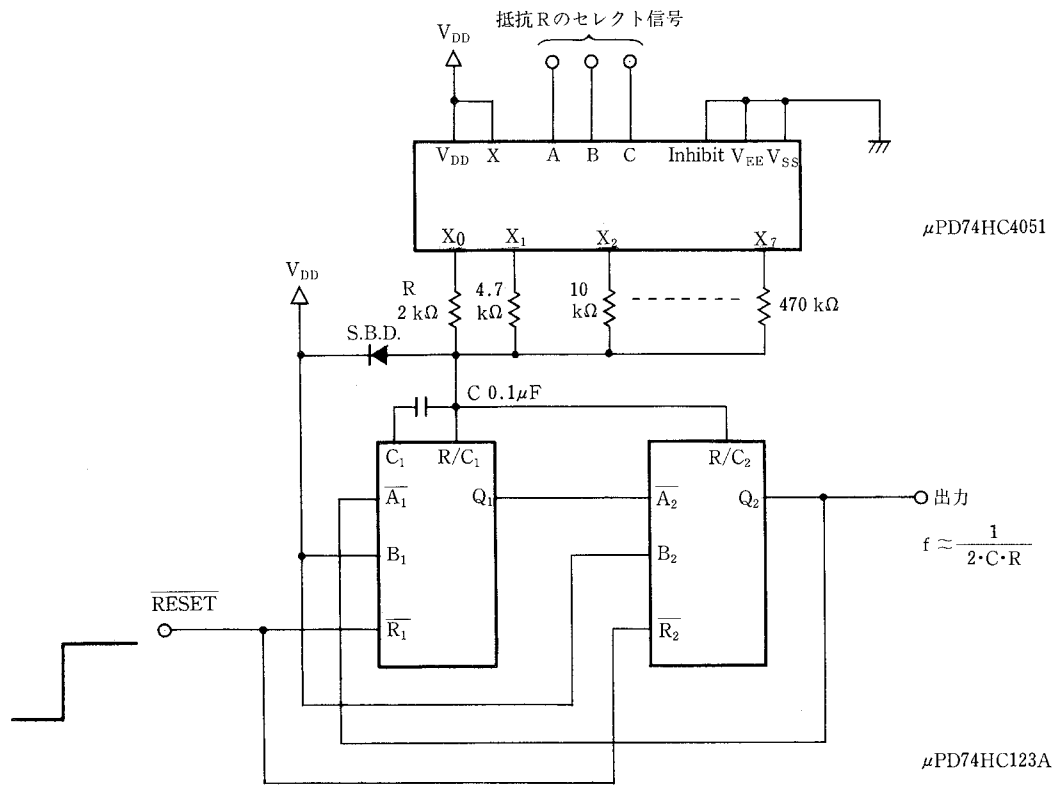


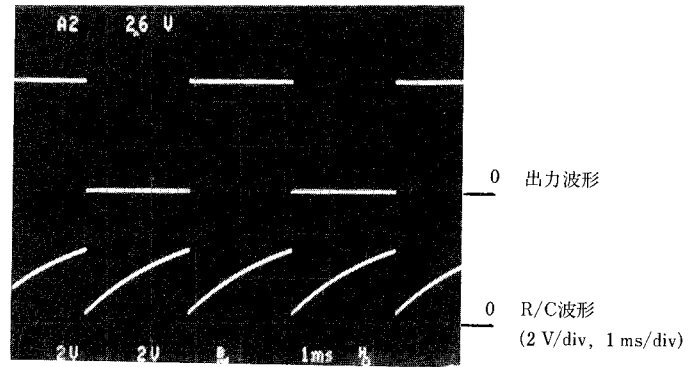
図57 発振周波数可変の無安定マルチバイブレータ



電源立ち上がりの状態により、発振しない場合がありますので、電源立ち上がり後にRESETにより起動してください。なお、電源OFF時の電圧立ち下がり（ $-dV_{DD}/dt$ ）が大きく $C \cdot dV_{DD}/dt > 20 \text{ mA}$ の場合には、図のようにS.B.D.（ショットキバリアダイオード）などを接続することにより、IC内部のR/C・ V_{DD} 間ダイオードに20mA（入力電流の絶対最大定格）を超える電流が流れないようにすることが必要です。

保守/廃止

写真1 無安定マルチバイブレータの発振波形($C=0.1\mu\text{F}$, $R=24\text{k}\Omega$)



保守/廃止

○文書による当社の承諾なしに本資料の転載複製を禁じます。
 ○本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的所有権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 ○当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 ○当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 特別水準：輸送機器（自動車、列車、船舶等）、交通用信号機器、防災/防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 特定水準：航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
 当社製品のデータ・シート/データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。
 ○この製品は耐放射線設計をしておりません。

M4 94.11

本製品が外国為替および外国貿易管理法の規定により戦略物資等（または役務）に該当する場合には、日本国外に輸出する際に、日本国政府の輸出許可が必要です。

○文書による当社の承諾なしに本資料の転載複製を禁じます。
 ○この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。

NEC 日本電気株式会社

本社	東京都港区芝五丁目33番1号(日本電気本社ビル)	〒108 東京(03)454-1111
半導体第一、第二販売事業部	東京都港区芝五丁目29番11号(日本電気住生ビル)	〒108 東京(03)456-6111
関西支社半導体販売部	大阪市北区堂島浜一丁目2番6号(新大阪ビル)	〒530 大阪(06)348-1461 大阪(06)348-1466
中部支社電子デバイス販売部	名古屋市中区栄四丁目15番32号(日建住生ビル)	〒460 名古屋(052)262-3611

北海道支社	札幌(011)231-0161	甲府支店	甲府(0552)24-4141
東北支店	仙台(022)261-5511	府中支店	府中(0988)66-5611
北支店	仙台(0249)23-5511	川崎支店	川崎(0425)26-0911
東支店	仙台(0246)21-5511	千葉支店	千葉(0472)27-5441
新潟支店	新潟(025)247-6101	静岡支店	静岡(0542)55-2211
新潟支店	新潟(0292)26-1717	静岡支店	静岡(0534)52-2711
新潟支店	新潟(0298)23-6161	浜松支店	浜松(0762)23-1621
神奈川支店	横浜(045)324-5511	富山支店	富山(0764)31-8461
群馬支店	高崎(0273)26-1255	中国支店	岡山(082)247-4111
群馬支店	高崎(0276)46-4011	四国支店	高松(0862)25-4455
宇都宮支店	宇都宮(0286)21-2281	松山支店	松山(0878)22-4141
長野支店	長野(0262)35-1444	九州支店	福岡(0899)45-4111
長野支店	長野(0263)35-1666	九州支店	福岡(092)271-7700
上諏訪支店	上諏訪(0266)53-5350	九州支店	北九州(093)541-2887

(技術お問い合わせ先)		
半導体応用技術本部	川崎市幸区塚越三丁目484番地(川崎技術センター)	〒210 川崎(044)533-1111
半導体市場開発本部第一応用技術部	東京都港区芝五丁目29番11号(日本電気住生ビル)	〒108 東京(03)456-6111
半導体市場開発本部第二応用技術部	大阪市北区堂島浜一丁目2番6号(新大阪ビル)	〒530 大阪(06)348-1477