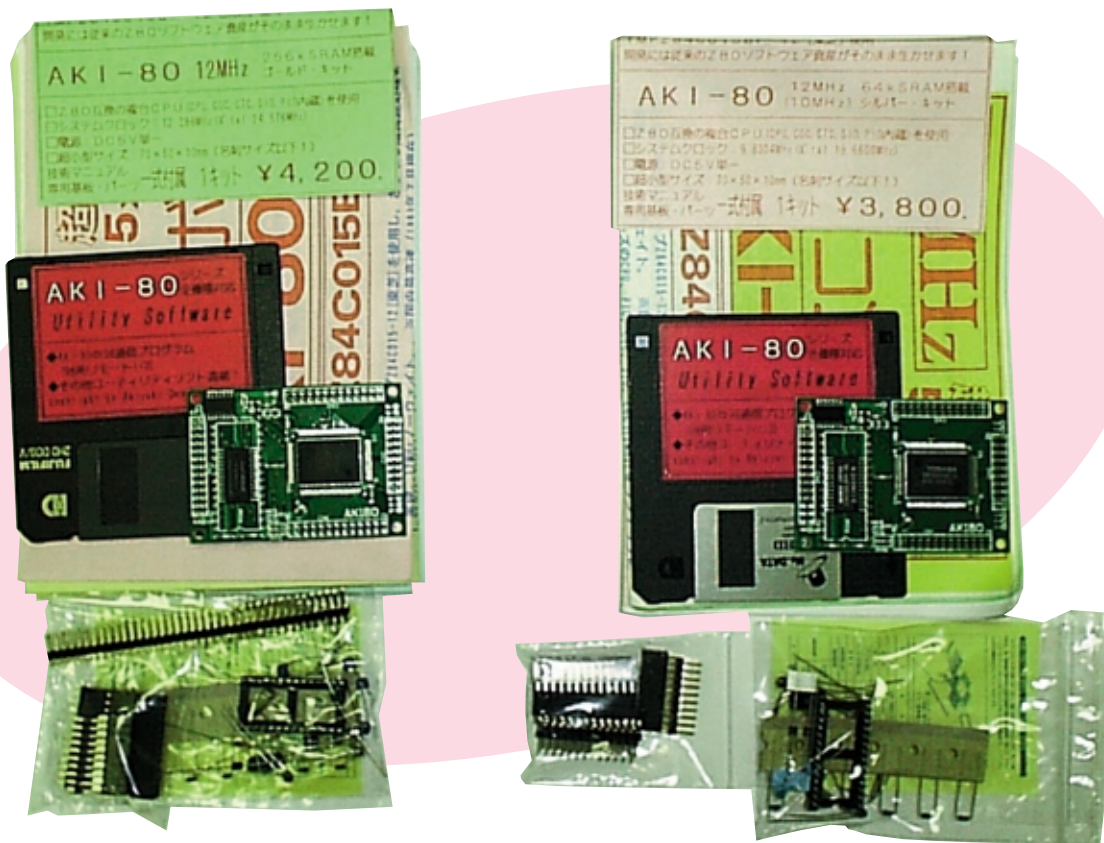


AKI-80ゴールドキット AKI-80シルバーキット

「AKI-80ゴールド・キット」と「AKI-80シルバー・キット」の違いは搭載SRAM容量の違いです。

ゴールド = 256Kビット (32Kバイト)
シルバー = 64Kビット (8Kバイト)



AKI-80ゴールド・キット

TMPZ84C015BF-12 (東芝) 使用
Z80互換の複合CPUを使用
システムクロック : 12.288MHz(X'tal 24.576MHz)
電源 : DC5V単一
超小型サイズ : 70 × 50 × 10mm
名刺サイズ以下

AKI-80シルバー・キット

TMPZ84C015BF-12 (東芝) 使用
Z80互換の複合CPUを使用
システムクロック : 9.830MHz(X'tal 19.6608MHz)
電源 : DC5V単一
超小型サイズ : 70 × 50 × 10mm
名刺サイズ以下

12MHz

超小型

5x7cm!

マイコンボード

AKI-80^{アキエイテイ}12M^{12メガ}

TMPZ84C015BF-12

- ★最新Z80複合CPUチップZ84C015-12 [東芝] を使用し、さらなる超高速処理を実現。12MHzノーウェイト。 ※国内最高速 (1993年7月現在)
- ★Z84C015はZ80シリーズのCPU、PIO、CTC、SIO、CGC (12MHz) をワンチップに収めたもので、ソフトウェアフルコンパチブルな高性能8ビットマイクロプロセッサです。
- ★ボードは超小型で名刺サイズよりも小さく、機器組み込みにも最適です。
- ★開発には従来のZ80用ソフトウェア資産や開発ツールがそのまま使用できます。
- ★高速動作12MHz (max) の物を使用し、ボーレートに合わせた12.288MHzをシステムクロックとしています。
- ★特に半田付けしにくいZ84C015はすでに基板実装済です。

TMP Z84C 015 BF-12	CPU	Z80CPU-12MHz	Central Processing Unit
	PIO	Z80PIO-12MHz	2組の8ビット(計16)入出力ポート
	CTC	Z80CTC-12MHz	4組のカウンタ/タイマ(選択可能)
	SIO	Z80SIO-12MHz	2組の全二重チャンネル2.4Mbps迄
	CGC	Z80CGC-12MHz	クロック発振器 4つのHALTモード
	etc	ウォッチドッグタイマ デジチエン優先 順位設定レジスタ	暴走検出用タイマ 内部I/O用 Z80シリーズ割込み優先順位設定
システムクロック		12.288MHz	9600Hz×256×5 (X'1a1 24.576MHz)
メモリー	RAM	256Kbit (70nSEC以下)	
	ROM	64K, 128K, 256Kbit (70nSEC以下) ご用意ください。	
その他	メモリーバックアップ可。リセットIC, S8054。全フラットIC		
サイズ	50×70×10mm (但しROM、端子類、リチウム電池未実装時)		

■バージョンアップについて■

1990年にAKI-80/8MHz版として初登場以来皆様にたいへんご好評いただき、第2弾として[10MHz版]へのバージョンアップを行い、そして今回、更なる高速化バージョンアップ第3弾として[12MHz版]を発売することとなりました。この資料を制作している現在の段階では国内最高速版となっています。

このマニュアルでは従来の10MHz版と異なる部分のみについて記述します。基本的な内容は同梱のキットデータ及びZ84C015データをご参照ください。

■RAM・ROMとクリスタルについて■

12MHzの超高速処理を実現するためには、RAM・ROMともアクセスタイム70ns以下のものが必要となりますが、64KbitのSRAMは100ns以下の高速品はなかなか入手できません（カタログ上では存在しますが、実際には製造されていない場合が多い）。従いまして、お求めのAKI-80が「シルバータイプ(64K 100ns SRAM付属)」の場合には、SRAMのアクセスタイム制約上、処理速度の上限は従来と同様10MHzとなりますので、X'talは19,6608MHz(システムクロック9,8304MHz)をお使いください。また、「ゴールドタイプ(256K 70ns SRAM付属)」の場合には24,576MHzのX'talを使用することができます(12MHz動作可能です)。

なお、お求めのキットが「シルバーキット+カラーパターンジェネレータ」または、「ゴールドキット+ROMライター」の場合には、それぞれ付属のX'talを使用しますので、詳細は各マニュアルに従ってください(表参照)。

キットタイプ	SRAM	ROM	X'tal	備考
AKI-80 12MHz シルバー	64K 100ns	オプション	19,6608MHz	ROMは100ns以下
同上+カラーパターンジェネレータ	64K 100ns	専用ROM	14,3181MHz	
AKI-80 12MHz ゴールド	256K 70ns	オプション	24,576 MHz	ROMは70ns以下
同上+ROMライター	256K 70ns	専用ROM	14,7456MHz	

※補足

ROMは条件を問わず70ns以下のもので間に合いますが、RAMは単なるデータアクセスだけなら70ns以下のもの、オペコードを読み込む場合は40nsのものが必要です。

従って、SRAMのアクセスタイムが70nsの場合、SRAM上からはいかなる命令も実行させることはできませんのでご注意ください。(40ns SRAMは当社では扱っておりません)

■部品について■

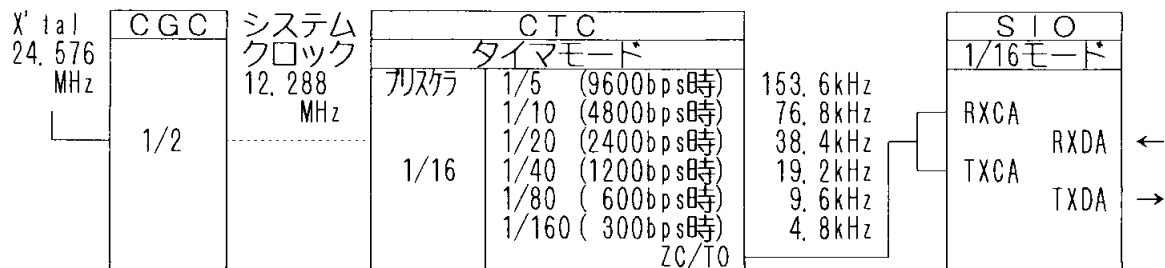
以下の部品がバージョンアップに伴い変更になります。

品名	変更前	変更後	備考
CPU	Z84C015BF-10	Z84C015BF-12	専用基板に取り付け済
ロジック	74AC00F 74AC32F	74VHC00F 74VHC32F	ROMライターキットとセットのときのみ [AC]タイプの場合があります
X'tal	19,6608MHz	24,576 MHz 19,6608MHz	ゴールドキットの場合 シルバーキットの場合
SRAM	64Kbit 100ns 256Kbit 90ns	64Kbit 100ns 256Kbit 70ns	

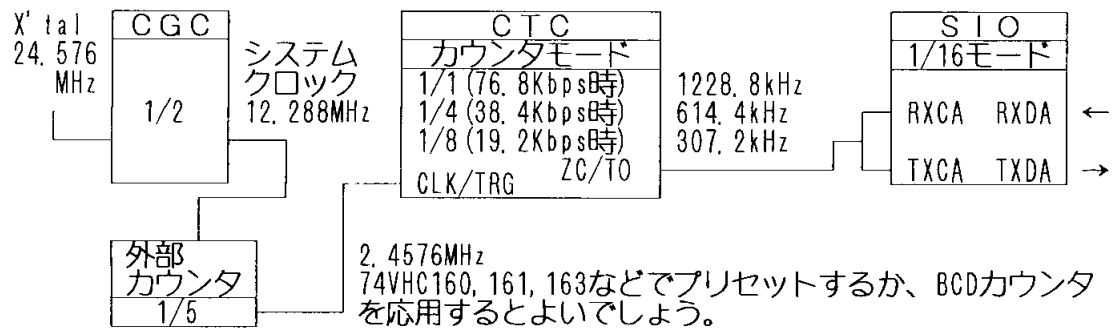
■システムクロックとボーレートの関係■

◆ボーレート発生法

①ボーレート300～9600bpsの場合



②ボーレート19.2K～76.8Kbpsの場合



※ は内部接続です
 — はボード上で外部接続してください。

■外部I/O増設について■

パラレルポートが16ポートで不足する場合、パラレルインターフェースICのμPD71055C (82C55)等を使用することでポートの拡大が可能です。これらのインターフェース用ICの12MHz対応品が未だ発売となっていないので、設計の際にはご注意ください。(10MHz迄の対応品は入手可能です。71055-10, 82C55-10 etc.)

■参考■

このキットはもともとICの接続は考えていないのですが、まして12MHzともなるとIC自体に対応品が見当りません。

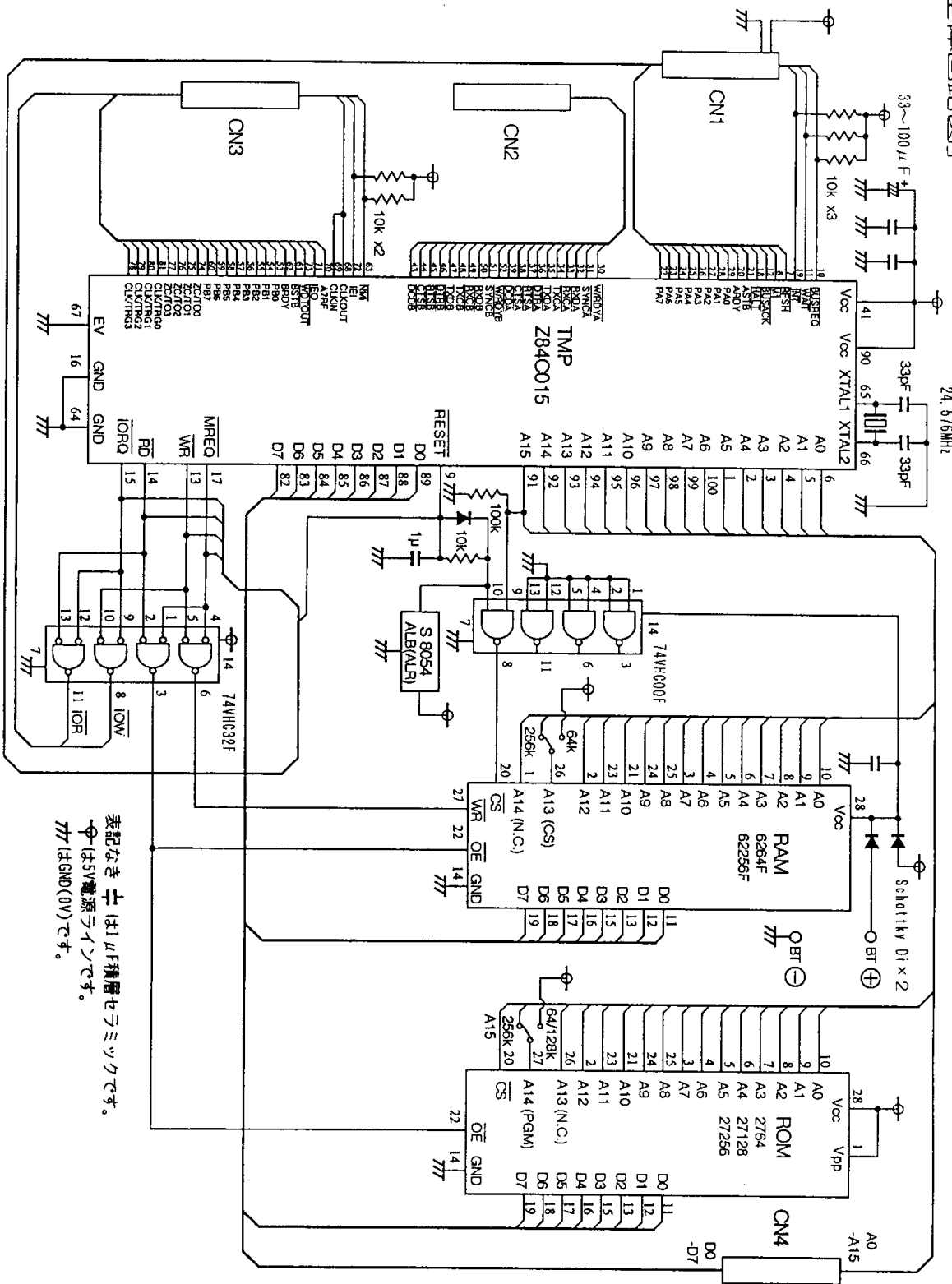
ターゲット上のデバッグにはリモートデバッガ(ホストコンピュータと通信しながらターゲットコンピュータ上でデバッグするタイプ)がおすすめです。数社よりAKI-80対応のものが販売されておりますので、利用するのも良いかも知れません。

《ご案内》 Z-VISION REMOTE 税込¥49,000. [尙システムロード製]

Z-VISION REMOTE MINI 税込¥2,000. [尙システムロード製]

※詳細はトランジスタ技術誌掲載の当社広告をご覧ください。

[全体回路図]



表記なき \pm は14F積層セラミックです。
 \ominus は5V電源ラインです。
 /// はGND(0V)です。

10MHz 超小型 5x7cm!

マイコンボード

AKI-80 10M

アキエイティ 10メガ

TMP Z84C015BF-10

- ★最新Z80複合CPUチップZ84C015-10(東芝)を使用し、超高速処理を実現。10MHzノーウエイト。
- ★Z84C015はZ80シリーズのCPU、PIO、CTC、SIO、CGC(10MHz)をワンチップに収めたもので、ソフトウェアフルコンパチブルな高性能8ビットマイクロプロセッサです。
- ★ボードは超小型で名刺サイズよりも小さく、機器組み込みにも最適です。
- ★開発には従来のZ80用ソフトウェア資産がそのまま使用できます。
- ★超高速動作10MHz(max)の物を使用し、ボーレートに合わせた9.8304MHzをシステムクロックとしています。
- ★特に半田付けしにくいZ84C015はすでに基板実装済です。
- ★RAMにはバックアップ可能な256Kbit(32KByte)を使用。

TMP Z84C 015 BF-10	CPU	Z80CPU-10MHz	Central Processing Unit
	PIO	Z80PIO-10MHz	2組の8ビット(計16)入出力ポート
	CTC	Z80CTC-10MHz	4組のカウンタ/タイマ(選択可能)
	SIO	Z80SIO-10MHz	2組の全二重チャンネル 2000Kボーまで
	CGC	Z80CGC-10MHz	クロック発振器 4つのHALTモード
	e t c	ウォッチドッグタイマ ディジーチェーン 優先順位設定レジスタ	暴走検出用タイマ 内部I/O用 Z80シリーズ割込み優先順位設定
システムクロック	9.8304MHz	19.2KHz×256×2 (X'tal=19.6608MHz)	
メモリー	RAM	256Kbit(100nSEC以下)	
	ROM	64K、128K、256Kbit(100nSEC以下)御用意ください。	
その他	メモリーバックアップ可。リセットIC, S8054。全フラットIC使用。		
サイズ	50mm×70mm×10mm(但しROM、端子類、リチウム電池未実装時)		

★設計について

現在の制御システムではすでにマイコン無しでは考えられないのが現状です。当社では超小型、低価格、汎用を目標にマイコンボード、アキエィティを開発いたしました。これは何かと組合せて使う、システムの中でのマイコンという位置付けにより、気軽に使える必要性があります。つまり、組み込んだ場合の使いやすさです。これにより上記の目標をクリアするため、CPUには解説書のもっとも多いZ80、大きさはハイブリッドICサイズ、回路はシンプル化が徹底的に行われています。ハイブリッドICサイズは一種のワンチップマイコン(CPU)とも言えるかもしれません。このため規格化バスや余計な機能などいっさいありませんが、これは規格化バスのユニバーサルボードにも十分実装できるサイズであり、機能増設についても同様な事が言えると考えております。以上によりAK180は必要最小限の機能であります。サイズ、価格についても御満足いただけるものと思っております。

また、Z80の詳細については、このデータブックでは十分には説明しきれぬものではないので、誠に恐れ入りますが、各出版社より販売されているZ80関係書を御参照いただきますようお願いいたします。

参考：Z80ファミリハンドブック(CQ出版社)

トランジスタ技術スペシャルZ80ソフト&ハードの全て(同社) など

★SRAMにつきましては御注文仕様の容量の物が含まれています。64Kまたは256Kになります。SRAMは相等品が各社にありその型番はそれぞれ異なりますので相等品一覧表により確認ください。

★マニュアル一式は三部構成によりなっています。

- ①製作データ
- ②別刷回路図
- ③Z84C015データの三種で、015データは製本して

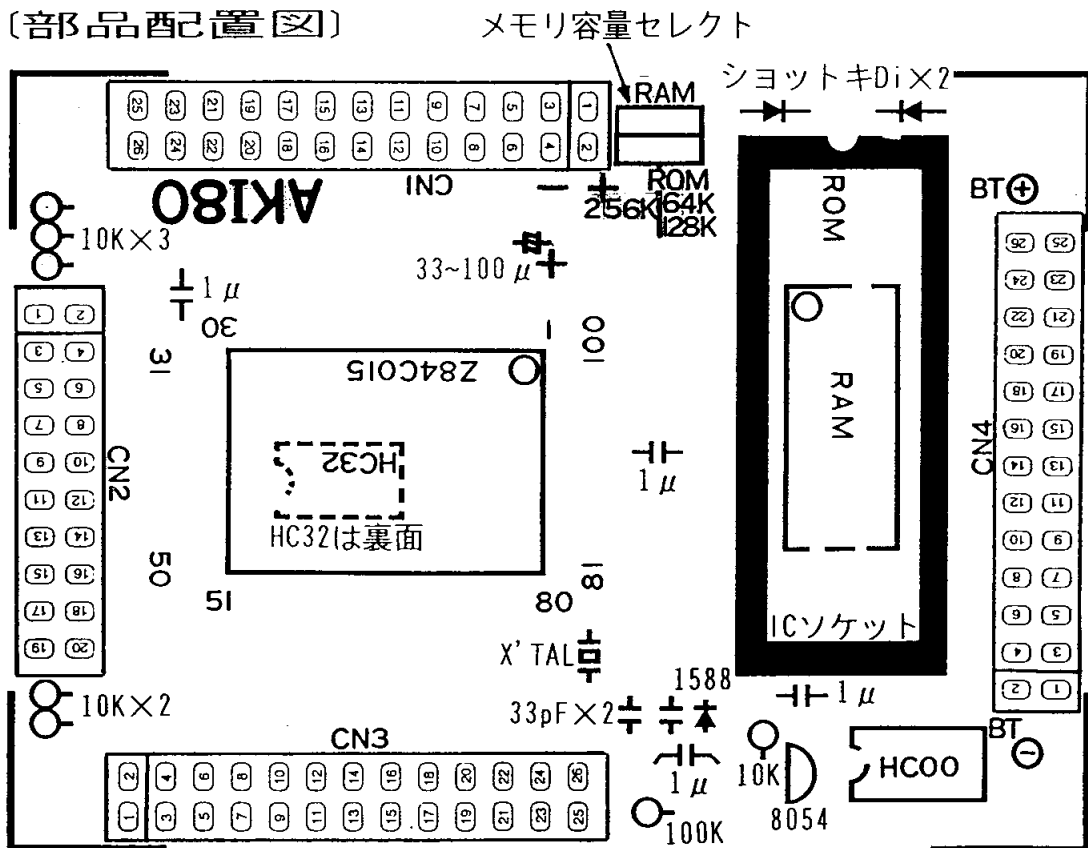
いただく小型版ですので、015データ中五枚目データブックの作り方の項をご覧ください。

《2》

パーツリスト		
パーツ名	製造	数備考
専用ボードAK180	秋月	Z84C015
with Z84C015	東芝	1実装済専用基板
S-RAM	各社	1御注文仕様品。フラットタイプ
74AC00F	各社	1BC、HVCシリーズの場合あり。
74AC32F	各社	1BC、HVCシリーズの場合あり。
S8054ALB	SEIKO	1リセットIC。ALRの場合あり
整流用ショットキDi	各社	2SRAMバックアップ用
1S1588	東芝	1スイッチングDi 相等品の場合あり
水晶(19.6608MHz)		1最大20MHzまで交換化
33~100μF		16.3V以上。電解コンデンサ
1~1.5μF		4表示(105) 積層セラミックコンデンサ
33pF		2表示(33) セラミックコンデンサ
10KΩ 1/8W		6表示(茶黒橙金)カーボン抵抗
100KΩ 1/8W		1表示(茶黒黄金)カーボン抵抗
28ピンICソケット		1ROM取付用
リチウム電池		13~3.6V ある時だけのおまけ扱いです。

SRAM相等品一覧表			
64Kbit		256Kbit	
HM6264	M5M5165	HM62256	M5M5256
TC5564	LH5164	TC55256	LH52256
5565	MB8464	55257	MB84256
CXK5864	μPD4364	CXK58256	μPD43256
5865	LC3564	58257	LC36256

〔部品配置図〕



★製作手順

①まず、回路図を完全に読破してください。電子製作の第一歩です。

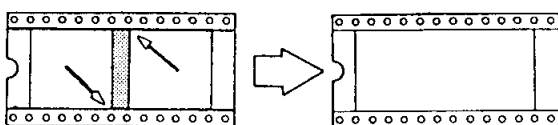
データライン、アドレスラインなどまとめて接続されるものは、一本の太い線にまとめて標記しています。

HC32は負論理標記になっています。

②基板と部品配置図をよく照らしあわせ、十分部品配置を確認してください。

HC32は基板裏側(半田面)に取付ます。パターン自体に1、8番の印字がありますので、表面の印刷と合わせ、十分に取付位置を確認しておきます。

SRAMはROM用ICソケットの内側に配置されます。そのためICソケットは多少の加工を伴います。



[-]の部分で、ソケットの真ん中の棧(さん)をニッパで切断し、カッターできれいに仕上がります。

③まずフラットICより半田付します。

フラットICを使う場合は、一番背の低いICより半田付するのが鉄則です。HC00、SRAM、HC32の順で取付てください。半田付は、なれない場合は接着剤で仮止めしておき、十分良質な半田で、素早く行います。熱しすぎは素子の破壊、半田のボテボテ化を伴いますので注意が必要です。SRAMとROMソケットは極端に接近していますので、ソケットを乗せシヨットがおきないか確認しておきます。

半田付後は、念には念をいれテスタ、導通チェッカ等でシヨート、半田不良をチェックしてください。

④コンデンサ、抵抗、ICソケットを半田付をします。抵抗、積層セラミックには向きはありません。電解コンデンサは基板+印に合わせ取付ます。ソケットも切欠きを合わせてください。

⑤Di、8054、X'talの順に取付ます。Diの向には十分気を付けてください。

1588は部品配置図より向を確認し、立てて取付けてください。

ショットキDiはメモリバックアップを行わない場合ジャンパ線としてもOK。

X'tal(水晶)は背が高いため、セロテープなどで絶縁し、寝かせて取付ても構いません。

⑥メモリ容量セレクトを選択してください。メモリ容量に合わせ、RAM、ROM共に指定の穴をジャンパショートします。これが正しく行われないと正常動作はしません。

⑦コネクタや、リチウム電池を使用する場合は、取り付けて完成です。リチウム電池は3.6VのものならなんでもOKです。

応用編

★システムクロックについて

当キットに付属しているX'TALは19.6608MHzの物で、これをCGCで2分周され、システムクロック9.8302MHzになっています。このクロックはボーレートの倍数になっており、CTC及びSIOで、簡単に38.4k~300ボーを作り出せ、外部カウンタを使用すればそれ以上も可能です。(図参照) また、IC自体は10MHzまで可能ですから、とにかく早く使いたい場合は、20MHzのX'TALを使いましょう。ちなみにSIOは2000kボーまで使える超高速シリアルポートです。

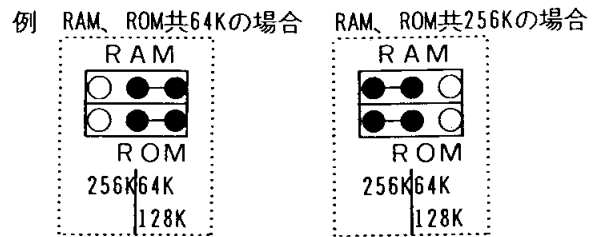
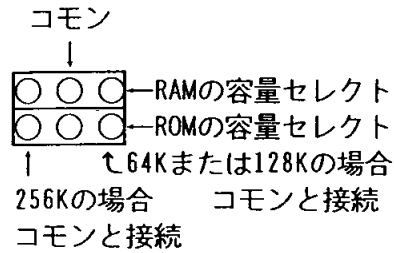
★リセット端子について

基板コネクタCN1、7ピンのリセット端子は入出力を兼ねています。出力として取り出す場合は必ずコネクタ付近で、シュミットバッファまたはバスドライバを通し出力としてください。(必ず行ってください。誤動作しますよ!)

★CN4について

CN4はデータ及びアドレスで占められていますが、1,2番ピンはあえて空きになっています。ここには好きな端子を接続していただいて結構です。I/Oを増設する場合は、IORD、《4》

★メモリ容量セレクト



IOWR。メモリを増設する場合は、MRRD、MRWRなどいいと思います。

★外部I/O増設について

パラレルポートが16ポートで不足する場合や、他のI/Oを使う場合当然外部で増設するわけですが、内部aC32の余りゲートを使って80系I/OインターフェースであるIORD、IOWRを作成してあります。8255など使用する場合は御使用ください。割込みを使わないパラレルポートには8255が便利です。8255についてはシステムクロックが早いため、-10の物を御使用ください。(82C55-10/東芝、71055-10/NEC) (図参照)

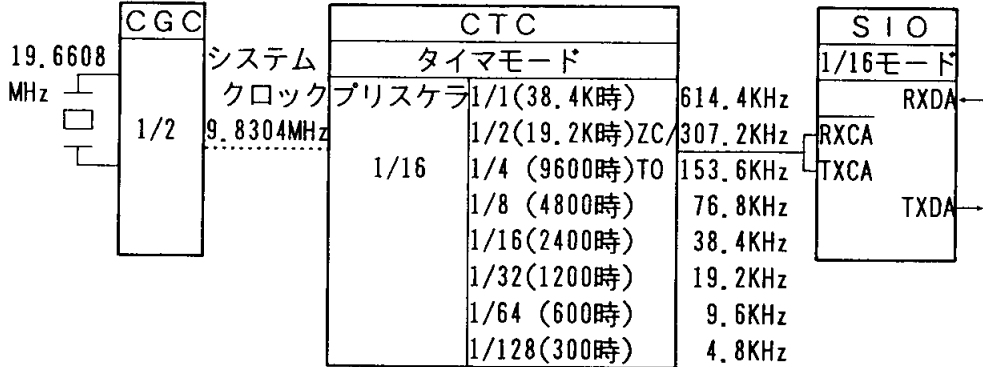
★EV、CLK IN/OUTについて

EV(エバリュエータ)端子は基板上で、GND接続されています。(図①)エバリュエータモードで使用の場合切断しHiレベルとしてください。

CLK IN/OUTは基板上で接続されています。外部クロック使用の場合、図②で切断し、クロック入力専用としてください。

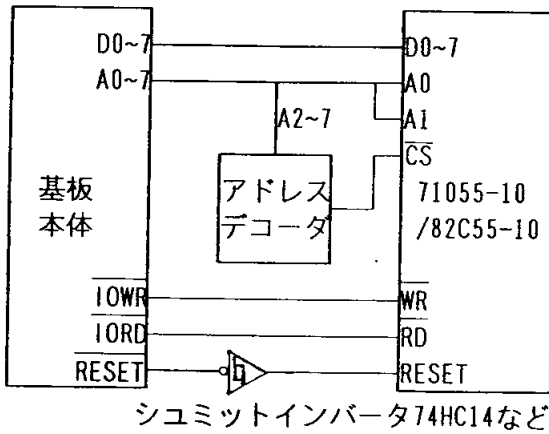
■システムクロックとボーレートの関係■

◆ボーレート発生法



※ ---は内部接続です。 —はボード上で外部接続してください。

■8255インターフェース■



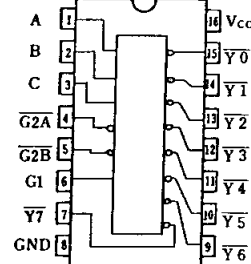
シュミットインバータ74HC14など

★アドレスデコーダは74HC138が便利
セレクト、イネーブル端子全て使えば
フルデコードできます。

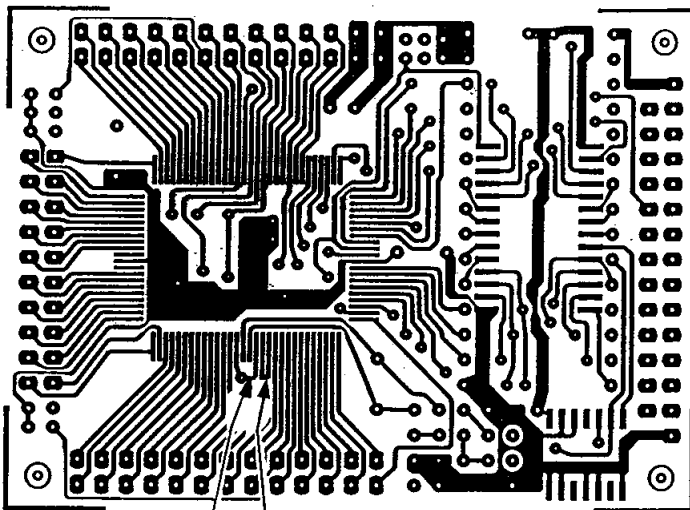
A2=A, A3=B, A4=C, A5=G1, A6=G2A, A7=G2B

上記のような接続で、20H番地より
4番地おきにデコードします。

参考 74HC138

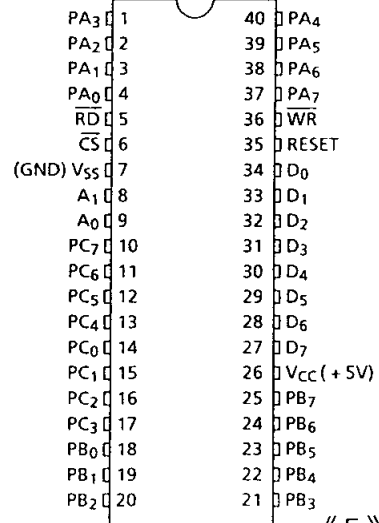


■EV、CLK IN/OUTのパターン■



① EV
② CLK IN/OUT

参考 82C55/71055



★電源について

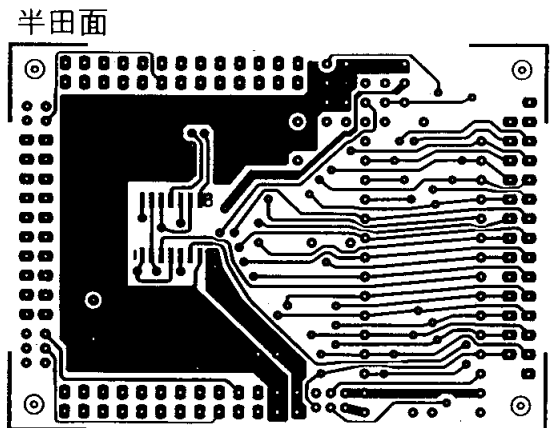
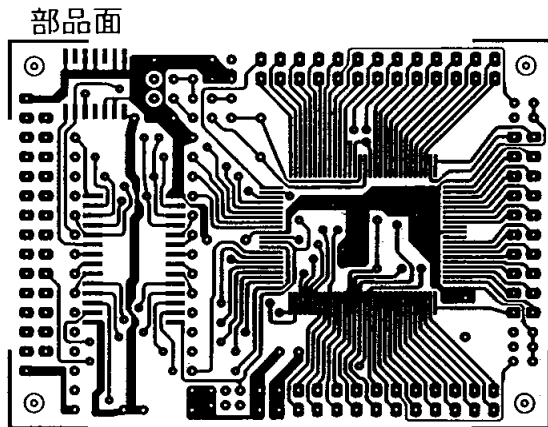
電源には安定化された5Vを御使用ください。全CMOS構成ですから本体自体は低消費電力で、ROMにもよりますがCMOSの物を使えば、50mA (typ)100mA(peak)程度ですが、瞬間的にも4.5V以下になりますとリセット動作をします。電源には十分余裕のある物をご用意ください。電源端子は、CN1、1~2ピンが電源+で3~4が電源-です。

リチウム電池の接続端子はCN4の両端脇にあるBT⊕、BT⊖に接続してください。

★ROMについて

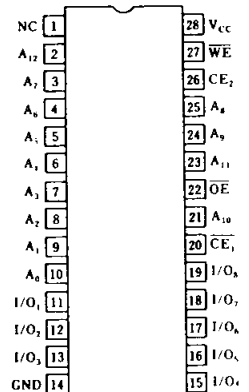
ROMには2764、27128、27256タイプが使えます。スピードは150nsec以下の物を御使用ください。(アドレスデコーダがないため、システムクロック8MHzという高速でも150nsecの物でまにあう!)プログラム、モニタROM等は付属していませんので、あしからず。

■参考パターン図■



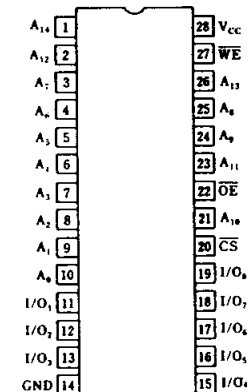
■使用ICピン配置図■

64K S-RAM



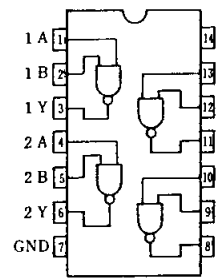
- A₀~A₁₂ : アドレス入力
- I/O₁~I/O₈ : データ入出力
- CE₁, CE₂ : チップイネーブル1, 2入力
- WE : ライトイネーブル入力
- OE : アウトプットイネーブル入力
- V_{cc} : +5 V電源
- GND : グランド
- NC : ノーコネクション

256K S-RAM

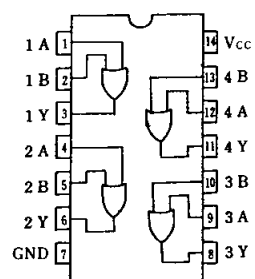


- A₀~A₁₄ : アドレス入力
- I/O₁~I/O₈ : データ入出力
- CS : チップセレクト入力
- WE : ライトイネーブル入力
- OE : アウトプットイネーブル入力
- V_{cc} : +5 V電源
- GND : グランド

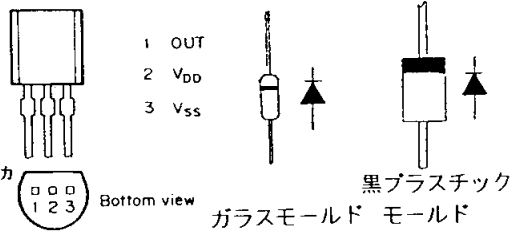
74HC00



74HC32



S8054 1S1588 ショットキ



適合コネクタ一覧 (参考です。当社では取り扱っていません。)			
	プラグ		レセプタクル
20P	HIF3E-20P-2.54DSA		HIF3H-20D-2.54DSA
	HIF3FB-20PA-2.54DSA		HIF3FB-20DA-2.54DSA
26P	HIF3E-26P-2.54DSA		HIF3H-26D-2.54DSA
	HIF3FB-26PA-2.54DSA		HIF3FB-26DA-2.54DSA

《6》全製品ピロセ電機製です。この他2.54mmピッチ2列ならなんでも使えます。

Z84C015 ↔ コネクタ一覧表 A B C 川頁

ピン名称	ピン番号	ピン形態	CN-番号	ピン名称	ピン番号	ピン形態	CN-番号
A0	6	O(3)	4 11	/IOR	HC32#11	O	3 11
A1	5	O(3)	4 13	/IORQ	15	O(3)	1 13
A2	4	O(3)	4 15	/IOW	HC32#8	O	3 14
A3	3	O(3)	4 17	/M1	8	O(3)	1 6
A4	2	O(3)	4 19	/MREQ	17	O(3)	1 14
A5	1	O(3)	4 21	/NMI	63	I	3 12
A6	100	O(3)	4 23	PA0	29	VO(3)	1 26
A7	99	O(3)	4 25	PA1	28	VO(3)	1 25
A8	98	O(3)	4 24	PA2	27	VO(3)	1 24
A9	97	O(3)	4 22	PA3	26	VO(3)	1 23
A10	96	O(3)	4 16	PA4	25	VO(3)	1 22
A11	95	O(3)	4 20	PA5	24	VO(3)	1 21
A12	94	O(3)	4 18	PA6	23	VO(3)	1 20
A13	93	O(3)	4 26	PA7	22	VO(3)	1 19
A14	92	O(3)	4 12	PB0	53	VO(3)	3 2
A15	91	O(3)	4 14	PB1	54	VO(3)	3 1
A7RF	70	O	3 16	PB2	55	VO(3)	3 4
ARDY	20	O	1 17	PB3	56	VO(3)	3 3
/ASTB	21	I	1 18	PB4	57	VO(3)	3 6
BRDY	62	O	3 9	PB5	58	VO(3)	3 5
/BSTB	61	I	3 10	PB6	59	VO(3)	3 8
/BUSACK	12	O	1 10	PB7	60	VO(3)	3 7
/BUSREQ	10	I	1 8	/RD	14	O(3)	1 12
CLK/TRG0	81	I	3 25	/RESET	9	I	1 7
CLK/TRG1	80	I	3 26	/RFSH	7	O	1 5
CLK/TRG2	79	I	3 23	/RTSA	37	O	2 7
CLK/TRG3	78	I	3 24	/RTSB	45	O	2 14
CLKOUT.IN	68.69	O,I	3 13	/RXCA	33	I	2 3
/CTSA	38	I	2 10	/RXCB	49	I	2 18
/CTSB	44	I	2 11	RXDA	32	I	2 4
D0	89	VO(3)	4 4	RXDB	50	I	2 17
D1	88	VO(3)	4 3	/SYNCA	31	VO	2 1
D2	87	VO(3)	4 6	/SYNCB	51	VO	2 19
D3	86	VO(3)	4 5	/TXCA	34	I	2 6
D4	85	VO(3)	4 8	/TXCB	48	I	2 15
D5	84	VO(3)	4 7	TXDA	35	O	2 5
D6	83	VO(3)	4 10	TXDB	47	O	2 16
D7	82	VO(3)	4 9	Vcc	41		1 1
/DCDA	39	I	2 9	Vcc	90		1 2
/DCDB	43	I	2 12	/WRDYA	30	O	2 2
/DTRA	36	O	2 8	/WRDYB	52	O	2 20
/DTRB	46	O	2 13	/WAIT	11	I	1 9
EV	67	I	N/A	/WDTOUT	73	O	3 17
GND	16		1 3	/WR	13	O(3)	1 11
GND	64		1 4	XTAL1	65	I	N/A
/HALT	18	O(3)	1 15	XTAL2	66	O	N/A
*ICT	40	O	N/A	ZC/TO0	74	O	3 20
*ICT	42	O	N/A	ZC/TO1	75	O	3 19
IEI	72	I	3 18	ZC/TO2	76	O	3 22
IEO	71	O	3 15	ZC/TO3	77	O	3 21
/INT	19	I	1 16				

※ピン名称,「/」は負論理入・出力。ピン形態,「(3)」は3ステート。CN-番号,N/Aはノンアサイン(無接続)。

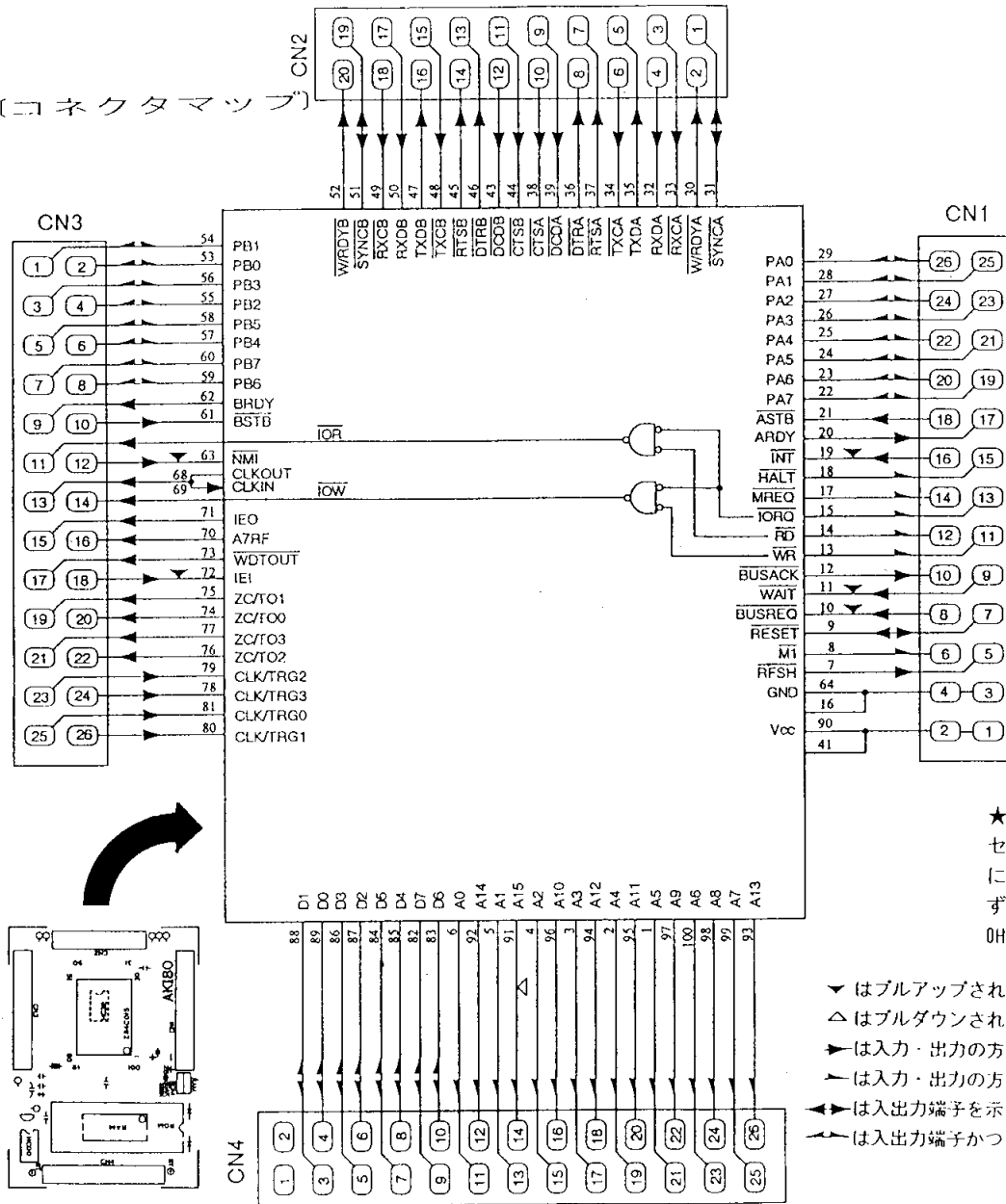
Z84C015 ↔ コネクタ一覧表 ピン番号川頁

ピン番号	ピン名称	ピン形態	CN-番号	ピン番号	ピン名称	ピン形態	CN-番号
1	A5	O(3)	4 21	52	/W/RDYB	O	2 20
2	A4	O(3)	4 19	53	PB0	VO(3)	3 2
3	A3	O(3)	4 17	54	PB1	VO(3)	3 1
4	A2	O(3)	4 15	55	PB2	VO(3)	3 4
5	A1	O(3)	4 13	56	PB3	VO(3)	3 3
6	A0	O(3)	4 11	57	PB4	VO(3)	3 6
7	/RFSH	O	1 5	58	PB5	VO(3)	3 5
8	/M1	O(3)	1 6	59	PB6	VO(3)	3 8
9	/RESET	I	1 7	60	PB7	VO(3)	3 7
10	/BUSREQ	I	1 8	61	/BSTB	I	3 10
11	/WAIT	I	1 9	62	BRDY	O	3 9
12	/BUSACK	O	1 10	63	/NMI	I	3 12
13	/WR	O(3)	1 11	64	GND	I	1 4
14	/RD	O(3)	1 12	65	XTAL1	I	N/A
15	/IORQ	O(3)	1 13	66	XTAL2	O	N/A
16	GND		1 3	67	EV	I	N/A
17	/MREQ	O(3)	1 14	68.69	CLKOUT.IN	O,I	3 13
18	/HALT	O(3)	1 15	70	A7RF	O	3 16
19	/INT	I	1 16	71	IEO	O	3 15
20	ARDY	O	1 17	72	IEI	I	3 18
21	/ASTB	I	1 18	73	/WDTOUT	O	3 17
22	PA7	VO(3)	1 19	74	ZC/TO0	O	3 20
23	PA6	VO(3)	1 20	75	ZC/TO1	O	3 19
24	PA5	VO(3)	1 21	76	ZC/TO2	O	3 22
25	PA4	VO(3)	1 22	77	ZC/TO3	O	3 21
26	PA3	VO(3)	1 23	78	CLK/TRG3	I	3 24
27	PA2	VO(3)	1 24	79	CLK/TRG2	I	3 23
28	PA1	VO(3)	1 25	80	CLK/TRG1	I	3 26
29	PA0	VO(3)	1 26	81	CLK/TRG0	I	3 25
30	/W/RDYA	O	2 2	82	D7	VO(3)	4 9
31	/SYNCA	VO	2 1	83	D6	VO(3)	4 10
32	RXDA	I	2 4	84	D5	VO(3)	4 7
33	/RXCA	I	2 3	85	D4	VO(3)	4 8
34	/TXCA	I	2 6	86	D3	VO(3)	4 5
35	TXDA	O	2 5	87	D2	VO(3)	4 6
36	/DTRA	O	2 8	88	D1	VO(3)	4 3
37	/RTSA	O	2 7	89	D0	VO(3)	4 4
38	/CTSA	I	2 10	90	Vcc		1 2
39	/DCDA	I	2 9	91	A15	O(3)	4 14
40	*ICT	O	N/A	92	A14	O(3)	4 12
41	Vcc		1 1	93	A13	O(3)	4 26
42	*ICT	O	N/A	94	A12	O(3)	4 18
43	/DCDB	I	2 12	95	A11	O(3)	4 20
44	/CTSB	I	2 11	96	A10	O(3)	4 16
45	/RTSB	O	2 14	97	A9	O(3)	4 22
46	/DTRB	O	2 13	98	A8	O(3)	4 24
47	TXDB	O	2 16	99	A7	O(3)	4 25
48	/TXCB	I	2 15	100	A6	O(3)	4 23
49	/RXCB	I	2 18	HC32#8	/IOW	O	3 14
50	RXDB	I	2 17	HC32#11	/IOR	O	3 11
51	/SYNCB	VO	2 19				

当キットのハードウェアに関する御質問は封書か往復葉書でお願いいたします。

アキエイティ マニュアル 秋月電子通商 〒158 東京都世田谷区瀬田5-35-6
Z80 CPU BOARD 『AKI-80』 by GO! Special Thanks For YAZAKI, NORITO. 1990-11-10

【コネクタマップ】



【I/Oマップ】

内部I/O	チャンネル	I/Oアドレス
CTC (カウンタタイマ)	ch 0	# 10
	ch 1	# 11
	ch 2	# 12
	ch 3	# 13
SIO (シリアル I/O)	ch A 送信/受信 バッファ	# 18
	ch A コマンド/ステータスレジスタ	# 19
	ch B 送信/受信 バッファ	# 1A
	ch B コマンド/ステータスレジスタ	# 1B
PIO (パラレル I/O)	Aポートデータ	# 1C
	Aポートコマンド	# 1D
	Bポートデータ	# 1E
	Bポートコマンド	# 1F
ウォッチドッグタイマスタン ドバイ モード設定レジスタ	WDTER, WDTPR, HALIMR	# F0
ウォッチドッグタイマ コマンド レジスタ	クリアーコマンド (4EH) ディセーブルコマンド (B1H)	# F1
ディジーチェーン読み込み優先 順位設定レジスタ	bit2~bit0のみ使用	# F4

【内部 I/O 端子一覧表】

PIOA	PIOB	SIOA	SIOB	CTC
ASTB	BSTB	W/RDYA	W/RDYB	ZC/TO0
ARDY	BRDY	SYNCA	SYNCB	ZC/TO1
PA0	PB0	RXDA	RXDB	ZC/TO2
PA1	PB1	RXCA	RXCB	ZC/TO3
PA2	PB2	TXCA	TXCB	CLK/TRG0
PA3	PB3	TXDA	TXDB	CLK/TRG1
PA4	PB4	DTRA	DTRB	CLK/TRG2
PA5	PB5	RTSA	RTSB	CLK/TRG3
PA6	PB6	CTSA	CTSB	
PA7	PB7	DCDA	DCDB	

【メモリマップ】

★メモリの割付はメモリ容量
セレクトによりマップ右か左
に割付られます。ただし、必
ずROMは0000Hから、RAMは800
0Hからの割付です。

0000H	64K ROM (0000H~1FFFH)	256K ROM (0000H~7FFFH)
2000H	イメージ	
4000H		
6000H		
8000H	64K RAM (8000H~9FFFH)	256K RAM (8000H~0FFFFH)
0A000H	イメージ	
0C000H		
0E000H		
0FFFFH		

- ▼ はプルアップされています。
- △ はプルダウンされています。
- ▶ は入力・出力の方向を示します。
- ▶ は入力・出力の方向かつ3ステート端子です。
- ◀▶ は入出力端子を示します。
- ▶▶ は入出力端子かつ3ステート端子です。

TMPZ84C015BF-6, TMPZ84C015BF-8
TMPZ84C015BF-10, TMPZ84C015BF-12

①

TLCS-Z80 マイクロプロセッサ

1. 概要と特長

TMPZ84C015Bは、TLCS-Z80 MPUを核としてカウンタタイマサーキット(CTC)、シリアルI/Oポート(SIO)、パラレルI/Oポート(PIO)、クロックジェネレータ/コントローラ(CGC)、ウォッチドッグタイマ(WDT)など周辺機能を内蔵した高機能CMOS 8ビットマイクロプロセッサです。

TMPZ84C015Bは、TLCS-Z80シリーズの基本アーキテクチャには手を加えておりませんので、従来のソフトウェア資産や開発ツールがそのまま使用できます。

TMPZ84C015Bは、NEW CMOS プロセスを使用し、標準の100ピンミニフラットパッケージにパッケージングしましたので、システムの小型化、低消費電力に大きく寄与します。

TMPZ84C015Bは、高機能なシリアルI/Oポートやポーレイトジェネレータとして使用できるカウンタタイマサーキット、また制御用の応用には欠かせないウォッチドッグタイマなど内蔵していますので、通信アダプタなどの通信制御機器や小形化を要する各種制御機器など幅広い分野のシステムに応用できます。

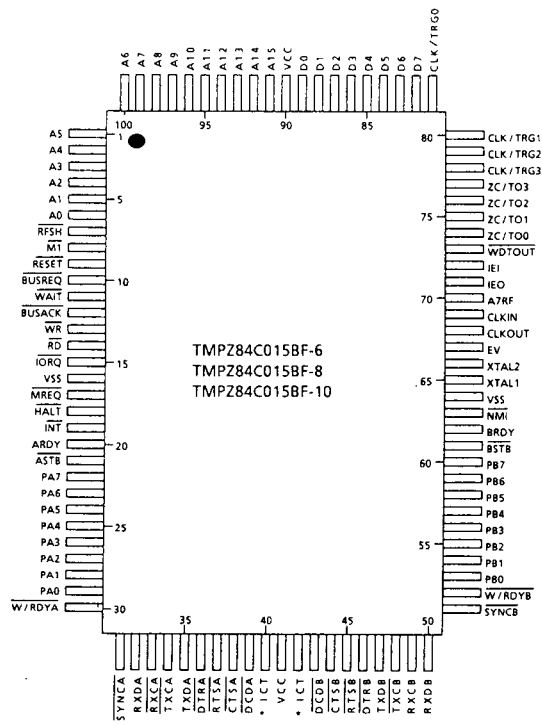
- (1) TLCS-Z80シリーズのMPU+CTC+SIO+PIO+CGCやウォッチドッグタイマの機能内蔵
- (2) 高速動作可能 (6MHz, 8MHz, 10MHz動作, 12MHz動作)
- (3) クロック発生回路内蔵 (CGC: クロックジェネレータ/コントローラ内蔵)
- (4) スタンドバイ機能内蔵 (コントローラ内蔵) により4種類の動作モード選択可能
RUNモード (通常動作)
IDLE1モード (クロック発振のみ継続)
IDLE2モード (CTCによるウェイクアップが可能)
STOPモード (クロック発振停止: スタンドバイ状態)
- (5) 広範囲な動作電圧 : 5V±10%
- (6) 広範囲な動作温度 : -40°C~+85°C
-40°C~+70°C (8MHz, 10MHzバージョン)
- (7) 低消費電力
動作時 : (RUNモード) 25mA TYP. (@6MHz), 35mA TYP. (@8MHz),
45mA TYP. (@10MHz)
アイドル時 : (IDLE1モード) 1.5mA TYP. (@6MHz), 2mA TYP. (@8MHz),
2.5mA TYP. (@10MHz)
(IDLE2モード) 11mA TYP. (@6MHz), 15mA TYP. (@8MHz),
19mA TYP. (@10MHz)
スタンバイ時: (STOPモード) 500nA TYP

①

- (8) TLCS-Z80シリーズのSIOの機能を内蔵
2組の独立した全二重チャンネルで非同期はもとより、同期式のバイト指向(モノシンク、バイシンク)及びビット指向のHDLC, CCITT-X. 25のプロトコルをサポート。
CRC生成、チェック機能を内蔵。
1200Kビット/sec(6MHz), 1600Kビット/sec(8MHz)/2Mビット/sec(10MHz)までのデータ転送レートが可能。
- (9) TLCS-Z80シリーズのCTCの機能を内蔵
4組の独立したチャンネル内蔵。
独立にタイマモード/カウンタモードの設定が可能。
SIOのボーレイトジェネレータとしても使用可能。
- (10) TLCS-Z80シリーズのPIOの機能を内蔵。
ハンドシェイク機能を持つプログラム可能な2組の独立した8ビット入出力ポートを内蔵
各ポートは、プログラムにより4種類の動作モード選択可能
モード0 (バイト出力モード)
モード1 (バイト入力モード)
モード2 (バイト入出力モード)
モード3 (ビットモード)
- (11) ウォッチドッグタイマを内蔵。
- (12) プログラムによるデジチェーン割込み制御が可能。
- (13) ダイナミックRAMリフレッシュコントローラ内蔵。
- (14) TTL/CMOSコンパチブル。
- (15) 小形標準100ピンミニフラットパッケージに封入。
- (16) 東芝製リアルタイムエミュレータ(RTE80)及び市販Z80 ICE使用可能
(TMPZ84C015Bをエバリュエータチップとして使用)。
- (17) 東芝製エバリュエータボードを装備。

2. ピン配置とピン機能

2.1 ピン配置 (上面図)



100289

(注) *ICT端子は、TEST用端子ですので、外部では何も接続しないで下さい。

図2.1 ピン配置図

2.2 (A) ピン名称と機能 (1/5)

ピン名称	ピン数 (番号)	ピン形態	機能
D0~D7	8 (82~89)	入出力 3ステート	8ビット双方向性データバスです。
A00~A15	16 (91~100) (1~6)	出力 3ステート	16ビットのアドレスバスです。 メモリや入出力ポートのアドレス指定を行いません。 リフレッシュ期間中は、下位7ビットとA7RFにリフレッシュアドレスが出力されます。
$\overline{M\bar{I}}$	1 (8)	出力 3ステート	マシンサイクル1を示す信号です。 オペコードフェッチサイクルで \overline{MREQ} 信号とともに"0"が出力されます。 2バイトのオペコード実行時には、オペコードフェッチごとに出力されます。 マスクابل割り込みアクノリッジサイクルでは \overline{IORQ} 信号とともに"0"が出力されます。 EV入力により高インピーダンス出力となります。
\overline{RD}	1 (14)	出力 3ステート	リード信号です。 MPUがメモリまたはI/Oからデータを受入れ可能な状態になったことを知らせる信号です。 指定されたI/Oあるいはメモリのデータをこの信号でゲートし、データバスに乗せMPUに読み取らせます。 BUSREQ入力により高インピーダンス出力となります。
\overline{WR}	1 (13)	出力 3ステート	ライト信号です。 指定したメモリあるいは、I/Oに格納すべきデータがデータバス上に乗っている時出力されます。 BUSREQ入力により高インピーダンス出力となります。
\overline{MREQ}	1 (17)	出力 3ステート	メモリリクエスト信号です。 メモリアクセスのための実行アドレスがアドレスバスに乗っている時に"0"が出力されます。 また、メモリリフレッシュ期間中もRFSH信号とともに"0"が出力されます。
\overline{IORQ}	1 (15)	出力 3ステート	入出力リクエスト信号です。 入出力動作で入出力のためのアドレスがアドレスバスの下位8ビット(A0~A7)に乗っているときに"0"が出力されます。また、 \overline{IORQ} 信号は割り込みアクノリッジ時に $\overline{M\bar{I}}$ 信号とともに出力され、割り込み応答ベクトルをデータバス上に乗せても良いことをI/Oに知らせます。 尚、TMPZ84C015BのCTC、PIO、SIOの割り込み優先順位の組み合わせは、プログラムで選択可能です。
IEO	1 (71)	出力	割り込みイネーブル出力です。 デジチェーンにおいて、TMPZ84C015Bの下位に接続される周辺LSIの割り込みを制御します。 IEI端子がHレベルでかつ、内蔵周辺LSIの割り込みサービスをしていない場合のみHレベルになります。
XTAL1 XTAL2	2 (65) (66)	入力 出力	水晶発振子接続端子です。 システムクロック(CLKOUT)周波数の2倍の発振周波数を持つ発振子を接続して下さい。

ピン名称と機能 (2/5)

ピン名称	ピン数 (番号)	ピン形態	機能
CLKIN	1 (69)	入 力	単相のクロック入力です。 クロック入力にDC状態("1"レベルまたは"0"レベル継続)になると動作を停止し、そのときの状態を保持します。 通常は、CLKOUTを接続しますが外部クロックで動作を行わせる場合はCLKINに外部クロックを入力します。
CLKOUT	1 (68)	出 力	単相のクロック出力です。 STOPモードまたはIDLE1モードでホールド命令の実行により、CLKOUT出力を"0"に保持します。 RUNモードおよびIDLE2モードではクロックを出力し続けます。 他の周辺ICへのクロックとして使用します。
RESET	1 (9)	入 力	リセット信号入力端子です。 TMPZ84C0158の内部をリセットする信号です。 STOP, IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
INT	1 (19)	入出力 オープン ドレイン 出力付	マスカブル割り込み信号です。 割り込みは内部のCTC部, SIO部, PIO部又は周辺LSIから起動されます。ソフトウェアによって割り込み許可フリップフロップ (IFF) が"1"にセットされていれば受け付けられます。 INT端子は、通常ワイヤードオアで使用されるためプルアップ抵抗を外部に付加する必要があります。 STOP, IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
WAIT	1 (11)	入 力	ウェイト要求信号です。 この信号によりMPUに対して指定されたメモリあるいはI/Oがデータの転送準備が出来ていないことを知らせます。 WAIT信号が"0"である限り、MPUはウェイト状態を継続します。
BUSREQ	1 (10)	入 力	バスリクエスト信号です。 BUSREQ信号は、MPUのアドレスバス、データバス、MREQ, IORQ, RD, WRを高インピーダンス状態にすることを要求する信号です。 BUSREQ信号は、通常ワイヤードオアで使用され、その場合はプルアップ抵抗を外部に付加します。
BUSACK	1 (12)	出 力	バスアクノリッジ信号です。 BUSREQ信号を受けて、周辺LSIに対して、MPUのアドレスバス、データバス、MREQ, IORQ, RD, WRが高インピーダンス状態になったことを知らせます。
HALT	1 (18)	出 力 3ステート	ホールド信号です。 MPUがHALT命令を実行し、ホールド状態になると"0"が出力されません。 EV入力により高インピーダンス出力となります。
RFSH	1 (7)	出 力	リフレッシュ信号です。 ダイナミックメモリのリフレッシュ用アドレスがアドレスバスの下位8ビットにのっているとき"0"が出力されます。この時、MREQ信号もアクティブ状態("0")になります。 EV入力により高インピーダンス出力となります。

ピン名称と機能 (3 / 5)

ピン名称	ピン数 (番号)	ピン形態	機能
CLK / TRG0 ~ CLK / TRG3	4 (81~78)	入 力	外部クロック/タイマトリガ入力です。 4本のCLK/TRG端子があり、4組のチャネルに対応しています。この端子から入力されるアクティブな各エッジ(立上がりまたは立下がり)により、カウンタモードではダウンカウンタの内容が-1(デクリメント)され、タイマモードではタイマ動作が起動されます。アクティブなエッジを立上がりとするか、立下がりとするかはプログラムで選択可能です。
ZC / TO0 ~ ZC / TO3	4 (74~77)	出 力	ゼロカウント/タイマアウト出力です。 タイマモード、カウンタモードのどちらかのモードにおいても、ダウンカウンタの値がゼロになると、この端子からパルスが出力されます。
IEI	1 (72)	入 力	割り込みイネーブル入力です。 デジチェーンにおいて、上位の周辺LSIの割り込みの有無を示します。015Aがデジチェーンの最上位に位置する場合は、pull upして下さい。
$\overline{\text{NMI}}$	1 (63)	入 力	ノンマスクابل割り込み要求信号です。 この割り込み要求は、マスクابل割り込みより優先度が高く、割り込み許可フリップフロップ(IFF)の状態に依存しません。 STOP, IDLEモード時のスタンバイ状態からの復帰信号としても使用されます。
EV	1 (67)	入 力	エバリュエータ用信号です。(通常は"0"を入力して下さい。) "1"を入力することによりMI, HALT, RFSH端子が高インピーダンス出力となります。 TMP284C015をエバリュエータチップとして使用するには、EV="1", BUSREQ="0"として1マシサイクル実行後MPU部が電氣的に切り離れ(高インピーダンス)、他のMPU(ICEなどのMPU)からの指示に従い動作します。切り離れるMPU部の信号はA00-A15, D0-D7, MREQ, IORQ, RD, WR, MI, HALT, RFSHでBUSACKは外付け回路により切り離す必要があります。 TMP284C015Bをエバリュエータチップとして使用するエバリュエータボード、アダプタボードを用意しています。
A7RF	1 (70)	出 力	1ビットの補助アドレスバスです。 アドレスバスのビット7(A7)と同じ信号を出力します。ただしリフレッシュ期間中はアドレスバスの下位7ビットと連結した(8ビット目)8ビットのリフレッシュアドレス信号の最上位ビットとしてのアドレスを出力します。
$\overline{\text{ASTB}}$	1 (21)	入 力	ポートA用ストローブ入力です。 ポートAと外部回路とのハンドシェイク時に使用します。信号の意味は、動作モードにより異なります。(PIO部基本タイミング参照)
$\overline{\text{BSTB}}$	1 (61)	入 力	ポートB用ストローブ入力です。 ポートBと外部回路とのハンドシェイク時に使用します。信号の意味は、ASTBと同じです。ただし、ポートAがモード2のときは異なりますので注意が必要です。(PIO部基本タイミング参照)
ARDY	1 (20)	出 力	ポートA用レディ出力信号です。 ポートAと外部回路とのハンドシェイク時に使用します。信号の意味は動作モードにより異なります。(PIO部基本タイミング参照)

ピン名称と機能 (4/5)

ピン名称	ピン数 (番号)	ピン形態	機能
BRDY	1 (62)	出力	ポートB用レディ出力信号です。 ポートBと外部回路とのハンドシェイク時に使用します。信号の意味はARDYと同じです。ただしポートAがモード2のときは異なりますので注意が必要です。(PIO部基本タイミング参照)
PA0~PA7	8 (29~22)	入出力 3ステート	ポートデータA信号です。 ポートAと外部回路との間でデータの転送を行います。
PB0~PB7	8 (53~60)	入出力 3ステート	ポートデータB信号です。 ポートBと外部回路との間でデータの転送を行います。
$\overline{\text{WRDYA}}$ $\overline{\text{WRDYB}}$	2 (30, 52)	出力	SIO部のウェイト/レディ信号Aおよびウェイト/レディ信号Bです。 SIO部のプログラミングにより、ウェイトまたは、レディ信号として使用できます。 "ウェイト"としてプログラムした場合、MPUに対してデータを受け付ける用意が出来ていない場合"0"でアクティブとなりMPUにウェイトを要求します。 "レディ"としてプログラムした場合、DMAに対してデータキャラクタを受け付ける用意が出来ている場合、"0"でアクティブとなりDMAにリクエストします。
$\overline{\text{SYNCA}}$ $\overline{\text{SYNCB}}$	2 (31, 51)	入出力	同期信号です。 非同期受信モードの場合、 $\overline{\text{CTS}}$ や $\overline{\text{DCD}}$ と同様な入力端子となります。 外部同期モードの場合入力、内部同期モードの場合出力となります。
RxDA RxDB	2 (32, 50)	入力	シリアル受信データです。
$\overline{\text{RXCA}}$ $\overline{\text{RXCB}}$	2 (33, 49)	入力	受信クロック信号です。 非同期モードの場合、プログラムにより、データ転送レートのX1, X16, X32, X64の受信クロックを選ぶことが出来ます。
$\overline{\text{TXCA}}$ $\overline{\text{TXCB}}$	2 (34, 48)	入力	送信クロック信号です。 非同期モードの場合、プログラムにより、データ転送レートのX1, X16, X32, X64の送信クロックを選ぶことが出来ます。
TXDA TXDB	2 (35, 47)	出力	シリアル送信データです。
$\overline{\text{DTRA}}$ $\overline{\text{DTRB}}$	2 (36, 46)	出力	データターミナルレディ信号です。 シリアルデータを受信可能かどうかを出力します。 つまり受信できる状態ならこの信号をアクティブにして、相手側のトランスミッタをイネーブルにします。受信できる状態になれば、この信号を非アクティブにし相手側からの送信を迎えることができます。
$\overline{\text{RTSA}}$ $\overline{\text{RTSB}}$	2 (37, 45)	出力	送信要求信号です。 シリアルデータを送信する場合"0"を出力します。 つまり送信を行いたい時、その信号をアクティブにして相手側のレシーバをイネーブルにします。

ピン名称と機能 (5/5)

ピン名称	ピン数 (番号)	ピン形態	機能
$\overline{\text{CTS A}}$ $\overline{\text{CTS B}}$	2 (38, 44)	入 力	送信可能信号です。 この端子が“0”であると、この信号を送ったモデムがシリアルデータ送信を受け付けられることを示します。 つまり受信できる状態であれば、相手側のこの信号をアクティブにし相手側のトランスミッタをイネーブルにします。 受信できる状態になれば、非アクティブにし、相手側トランスミッタからの送信を抑えることができます。
$\overline{\text{DCDA}}$ $\overline{\text{DCDB}}$	2 (39, 43)	入 力	データキャリアディテクト信号です。 この端子が“0”であると、シリアルデータの受信をイネーブルに出来ます。 つまりデータを送信したい時、相手側のこの信号をアクティブにし相手側のレシーバをイネーブルにします。
*ICT	2 (40, 42)	出 力	TEST用端子です。 オープン状態で使用して下さい。
$\overline{\text{WDTOUT}}$	1 (73)	出 力	ウォッチドッグタイマの出力です。 外部で接続する端子により出力するパルス幅が異なります。
VCC	2 (41, 90)		電源端子 (+5V) です。
VSS	2 (16, 64)		GND端子 (0V) です。

100289

2.2 (B) TMPZ84C015B 内部 I/O アドレスマップ

内部 I/O	チャンネル	I/O アドレス
CTC (カウンタ タイマ)	ch 0	# 10
	ch 1	# 11
	ch 2	# 12
	ch 3	# 13
SIO (シリアル I/O)	ch A 送信/受信 バッファ	# 18
	ch A コマンド/ステータス レジスタ	# 19
	ch B 送信/受信 バッファ	# 1A
	ch B コマンド/ステータス レジスタ	# 1B
PIO (パラレル I/O)	Aポートデータ	# 1C
	Aポートコマンド	# 1D
	Bポートデータ	# 1E
	Bポートコマンド	# 1F
ウォッチドッグタイマ/スタン ドバイ モード設定レジスタ	WDTERR, WDTPR, HALTMR	# F0
ウォッチドッグタイマ コマンド レジスタ	クリアーコマンド (4E _H) ディセーブルコマンド (B1 _H)	# F1
ディジーチェーン割込み優先 順位設定レジスタ	bit2~bit0のみ使用	# F4

100289

3. 動作説明

3.1 全体ブロック図及び各部の動作概説

3.1.1 全体ブロック図

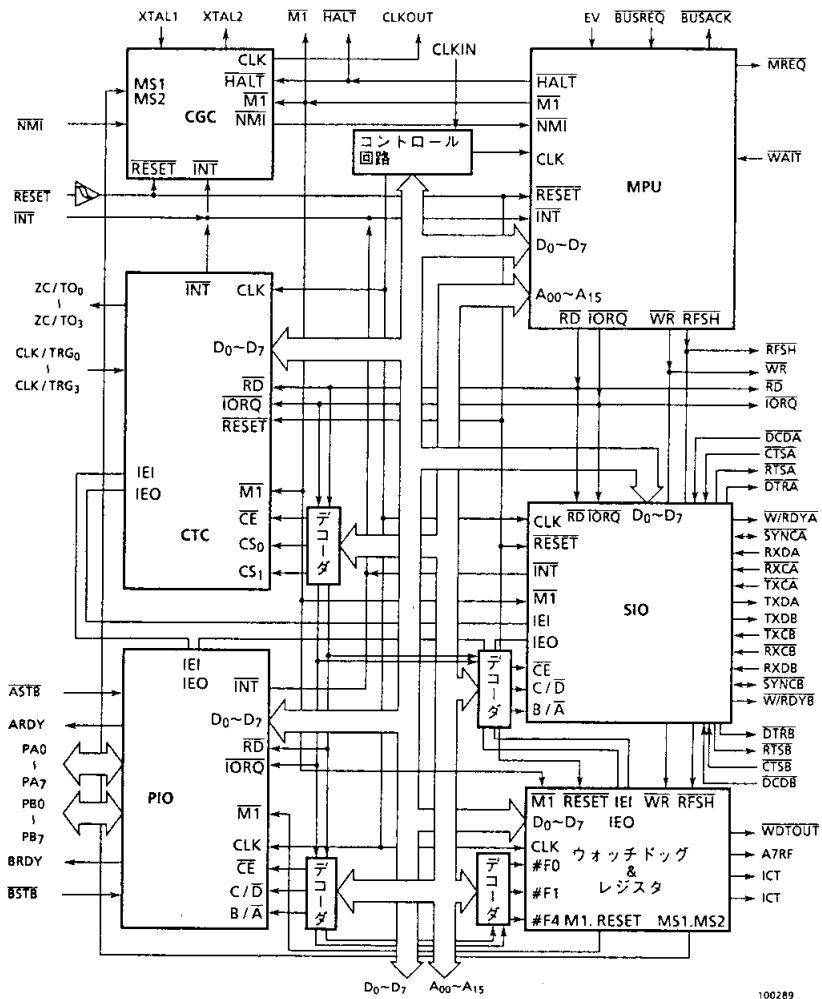


図3.1.1 ブロック図



3.1.2 各部の動作概説

TMPZ84C015Bは、大きく分けてプロセッサ部(以下MPU部と呼ぶ)とカウンタタイマサーキット部(以下CTC部と呼ぶ)、直列入力/出力コントローラ部(以下SIO部と呼ぶ)、並列入出力コントローラ部(以下PIO部と呼ぶ)、ウォッチドッグタイマ部(以下WDT部と呼ぶ)およびクロックジェネレータ/コントローラ部(以下CGC部と呼ぶ)に分けることができます。

- MPU部には、当社TLCS-Z80 MPU:TMPZ84C00Aの機能および端子を全て具備しており、完全にTLCS-Z80マイクロプロセッサとしての役割を全うします。
- CTC部には、当社TLCS-Z80 CTC:TMPZ84C30Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えております。
4つの独立したタイマチャンネルは、内部でI/Oアドレスが指定されています。
- SIO部は、当社TLCS-Z80 SIO:TMPZ84C43Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えています。
2つの独立したシリアルチャンネルは、内部でI/Oアドレスが指定されています。
- PIO部は、当社TLCS-Z80 PIO:TMPZ84C20Aの機能を持っておりTLCS-Z80周辺LSIとしての動作を行うのに必要な端子を備えております。
2つの独立したパラレルポートは、内部でI/Oアドレスが指定されています。
- WDT部は、制御用の応用には欠かせない1チャンネルウォッチドッグタイマおよびリード/ライト可能なウォッチドッグタイマコントロールレジスタを内蔵しています。
また、各部の割込み優先順位を決定するレジスタが内蔵されており、プログラムでのデジチェーン割込みの優先順位が可能です。また、TMPZ84C015Bの内部と外部に追加する周辺LSIとのデジチェーン割込みを形成するのに必要なIEL、IEO端子も備えております。
- CGC部は、このLSI全体をコントロールする4種類の機能を持っておりRUNモード、IDLE1モード、IDLE2モード、STOPモードがプログラムで選択出来ます。
また、CGC部から出力されるCLKOUT端子とCGC以外に供給するCLKIN端子の2つを持っているためCGC部を使用しないで外部回路で作ったクロックをCLKIN端子に入力して使用できます。
以下CGC部の4種類の機能についてCLKOUT端子を接続した場合について簡単に説明します。
- RUNモードは、CGC部で発生したクロックを内部及び他の周辺LSIに供給しプログラムによる通常のマイコン動作を行える状態を言います。
- IDLE1モードは、クロック発振は行われていますが、TMPZ84C015B内部及び他の周辺LSIへのクロック供給を行わず、システムの消費電力を低減しかつ再起動時間を短く出来ます。

- IDLE2モードは、クロック発振が行われ、CLKOUT端子にクロックが出力されま
す。TMPZ84C015B内部のCTC部だけにクロックが供給されるのでCTC部による
ウェイクアップが出来ます。またIDLE1と同様にシステムの消費電力を低減しかつ
再起動時間を短く出来ます。
- STOPモードでは、クロック発振も行わずシステムを完全に停止させることが出来
ます。このモードではCMOS特有の極めて低い消費電力で内部のデータを保持させ
つつシステムの再起動を待つ事が出来ます。
なお、これらのモードは、MPUがHALT命令を実行したときのみ実現されます。
この他TMPZ84C015Bには、エバリュエータチップとしての機能を持たせるため
BUSREQ \bar{Q} 端子と一緒に使用しMPU部分を高インピーダンスとして切離すためのEV
端子を用意しています。
この2つの端子によりTMPZ84C015B内のMPU部を電氣的に切離しICE(インサー
キットエミュレータ)からの信号によってエミュレーション作業を行うことが出来
ます。この場合TMPZ84C015E内のMPU部はEV端子="1", BUSREQ \bar{Q} ="0"として1
マシンサイクル実行後MPU部からの指示に従い動作します。
ここで切離されるMPU部の信号はA00-A15, D0-D7, MREQ \bar{Q} , IORQ \bar{Q} , RD, WR, MT,
HALT, RFSHでBUSACKは外付け回路により切離す必要があります。

3.2 CPU部説明

ここではTMPZ84C015BのCPU部のシステム構成について説明します。尚、CPU部の詳細な説明は単体Z80CPUの説明部を参照して下さい。

3.2.1 CPU部ブロック図

図3.2.1にCPU部のブロック図を示します。

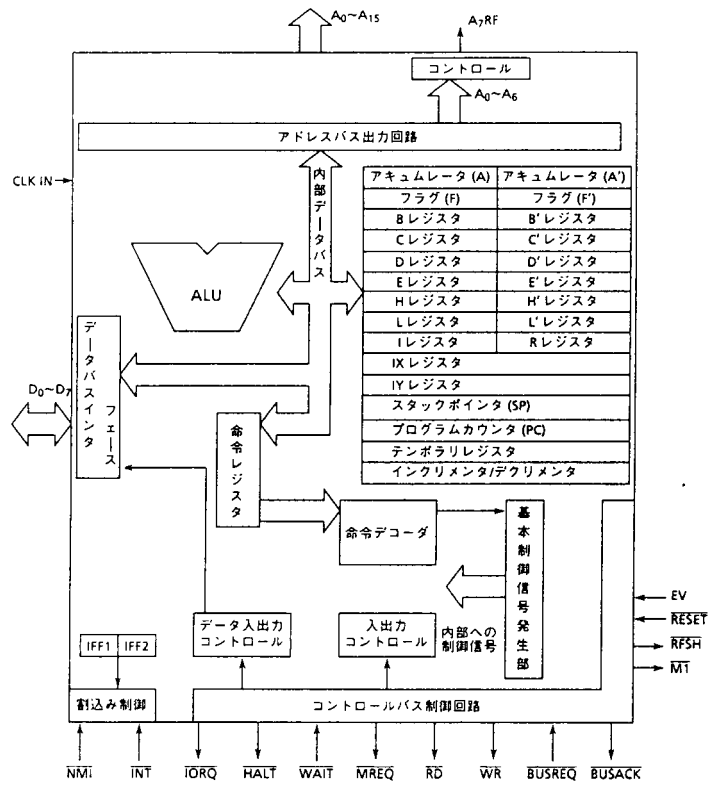


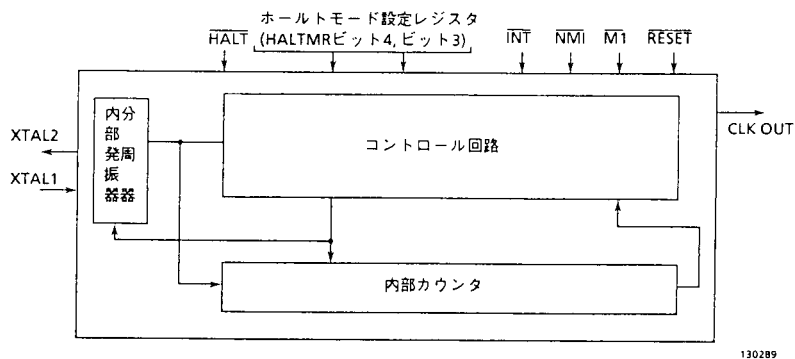
図3.2.1 CPU部ブロック図

3.3 CGC部動作説明

ここでは、クロックジェネレータ/コントローラ部 (CGC部) のシステム構成と機能および基本動作について説明します。

3.3.1 CGC部ブロック図

図3.3.1に内部構成の概要ブロック図を示します。



3.3.2 CGC部システム構成

CGC部の内部は、およそ図3.3.1のような構成になっています。

外部発振子より入力された波形は、内部発振器及び分周器により発振後分周されクロック用の方形波に変換されます。クロックはコントロール回路、カウンタにより制御され、外部に出力されます。

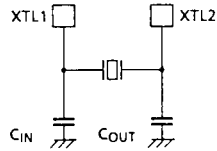
この節では、CGC部の以下の主要構成要素および機能について説明します。

- (1)クロックの発生
- (2)動作モード

[1] クロックの発生

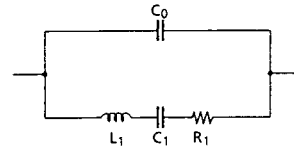
CGC部は発振回路を内蔵しており、外部端子 (XTAL1, XTAL2) に発振子を接続することによって容易に所要のクロックを作ることができます。このCGC部では発振周波数の2分の1の周波数のクロックが出力されます。

図3.3.2に発振子の接続例を示します。



130289

図3.3.2 (a) 発振子の接続例



060389

図3.3.2 (b) 発振子等価回路

- (1) 水晶振動子を使用する場合は次の特性のもの、又は東京電波“MR8000-C20”または“MR8000-C14”(発振周波数8MHz)、“MR12000-C20”または“MR12000-C14”(発振周波数12MHz)を使用して下さい。

水晶振動子名称	保持器	発振周波数 (MHz)	C _{IN} (pF)	C _{OUT} (pF)	水晶パラメータ (Typ.)			ドライブレベル Typ. (mW)	測定回路条件	
					C ₁ (pF)	C ₀ (pF)	R ₁ (Ω)		負荷容量 (pF)	負性抵抗 (KΩ)
MR8000-C20	HC-49-U (TR-49)	8	22	33	—	4.00	30.0	—	—	—
MR8000-C14		8	20	20	0.0189	3.87	6.0	0.5	12.67	1.6
MR12000-C20		12	33	33	—	4.00	25.0	—	—	—
MR12000-C14		12	20	20	0.0190	3.81	6.9	0.5	12.55	1.2
MR16000-C14		16	20	20	0.0197	4.00	5.7	0.5	12.20	0.65
MR20000-C14		20	20	20	—	4.00	25.0	0.5	14.00	—

(注) 測定回路条件の負荷容量は、ストレージキャパシタは含まれません。

110691

- (2) セラミック振動子を使用する場合は、村田製作所“CSA8.00MT100”または“CST8.00MT”(発振周波数8MHz)、“CSA12.0MT100”または“CST12.0MT”(発振周波数12MHz)がこれらと同等の特性のものを使用して下さい。

セラミック振動子名称	発振周波数 (MHz)	C _{IN} (PF)	C _{OUT} (PF)
CSA8.00MT100	8	30	30
CST8.00MT	8	外付け容量は不用	
CSA12.0MT100	12	30	30
CST12.0MT	12	外付け容量は不用	
CSA20.00M×040	20	5	5

110691

(注) CST8.00MT100及びCST12.0MT100は、外付け容量が不要なタイプです。

[2] 動作モード

CGC部には、RUNモード、IDLE1モード、IDLE2モード、STOPモードの4種類の動作モードを制御する機能があります。これらのうちいずれか1つをモード設定レジスタ(#F0:ビット4, ビット3:HALTMR)により選択出来ます。これらの動作モードは、MPUがホールド命令実行時に有効となります。MPUはホールド命令をフェッチすると、HALT信号に“0”を出力し、ホールド状態に入ったことを知らせます。

この信号により、ホールト命令実行以後、CGC部は、設定されたいずれかのモードの動作を行います。

表3.3.1に各モードの動作を示します。

表3.3.1 CGC動作モード

ホールトモード設定レジスタ (#F0:HALTMR)		動作モード	各モードの動作内容
ビット4	ビット3		
0	0	IDLE1モード	内部発振器のみ動作し、外部へのクロック供給を停止します。クロック出力(CLKOUT)は"0"を保持します。
0	1	IDLE2モード	内部発振器の動作を継続し外部へのクロック(CLKOUT)も継続します。CLKOUT端子とCLKIN端子を接続した場合CTC部へのみクロック(CLKOUT)の供給を継続します。
1	0	STOPモード	内部動作をすべて停止します。クロック出力(CLK)は"0"を保持します。
1	1	RUNモード	外部へのクロックの供給を継続します。

130289

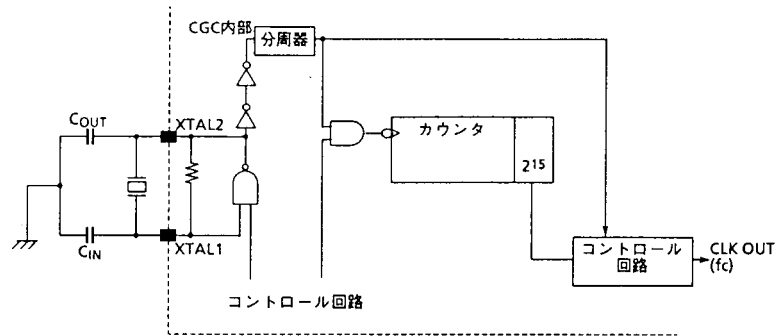
IDLE1モード、IDLE2モード(以下IDLEモードと呼ぶ)およびSTOPモードでのクロック停止状態からのリスタートは、リセット(RESET信号)、マスカブル割込み受け(INTR信号)又はノンマスカブル割込み受け(NMI信号)によって行われます。

[3] リスタート時のウォーミングアップ時間(STOPモードからのリスタート)

CPUはホールト状態を割込み受けによって解除すると、つぎは割込み処理の実行へと移ります。したがってCGCはSTOPモードでNMIまたはINTRのリスタート信号によってクロックをリスタートする場合には、その発振が十分安定してから外部へ供給する必要があります。CGCは内部カウンタを動作させることにより安定周波数に達するに十分なウォーミングアップ時間をつくります。発振周波数を分周した内部カウンタ出力の立上がりでウォーミングアップを終え、クロック出力を開始します。ウォーミングアップ時間は、外部に接続される発振子の2**14分周した時間です。

図3.3.3に内部カウンタ部のブロック図、表3.3.2に発振周波数とウォーミングアップ時間の関係を示します。

なお、RESET信号によるリスタートの場合には、パワーオン時にすばやい動作を行うためにウォーミングアップ動作はしません。この場合には、RESET信号の幅を十分に取り、ウォーミングアップ時間を作ってください。



110691

図3.3.3 内部カウンタ部のブロック図

表3.3.2 ウォーミングアップ時間

カウンタ出力	ウォーミングアップ時間	
	$2^{**14} / f_c$	
2^{**15}	$f_{XTAL} = 12\text{MHz}$	2.7 ms
	$f_{XTAL} = 8\text{MHz}$	4 ms

* $f_c = f_{XTAL} / 2$
130289

3.3.3 CGC部状態遷移図と基本タイミング

この節ではCGC部の動作時の状態遷移および基本タイミングについて説明します。

[1] 状態遷移図

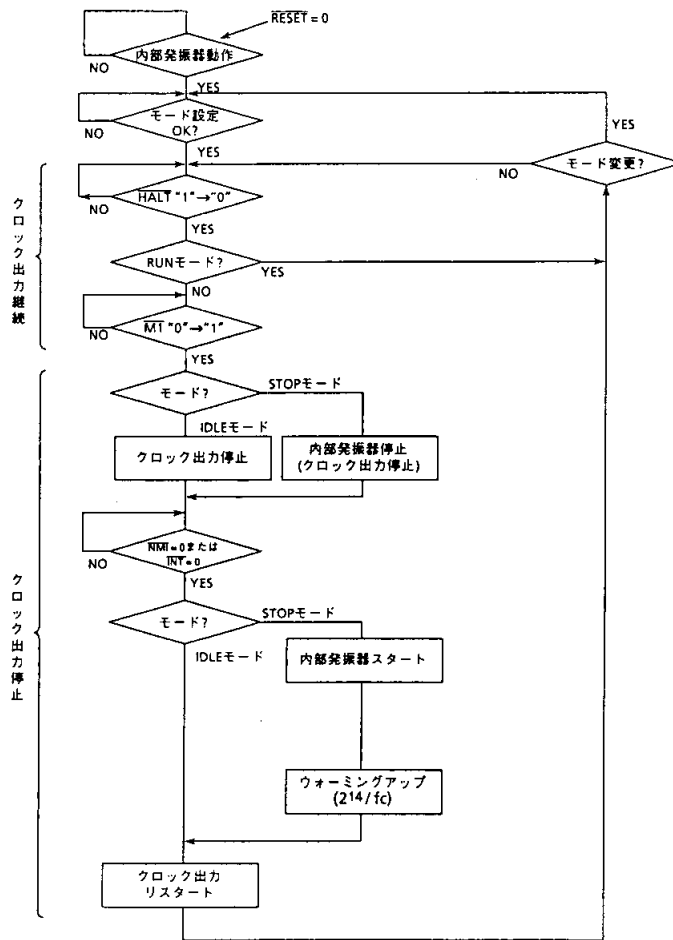


図3.3.4 状態遷移図

③

[2] 基本タイミング

ここではCGC部の基本タイミングについて説明しますがわかりやすく説明するためにCGC部のクロック出力端子 (CLKOUT) とクロック入力端子 (CLKIN) を接続した場合について説明します。

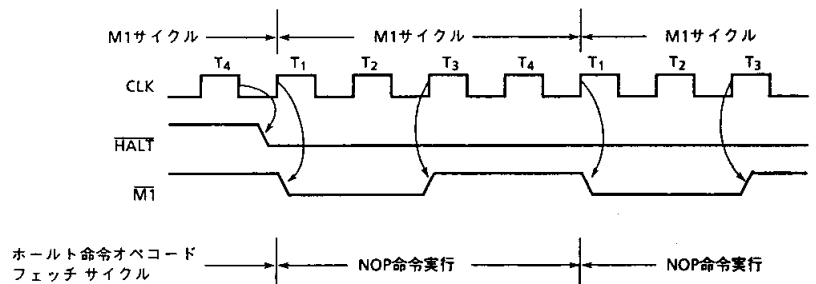
(1) ホールト命令実行時の動作

MPUがホールト命令を実行した時の各モードの基本タイミングを説明します。MPUはホールト命令 (HALT) オペコードフェッチサイクル (M1) のT4ステートの立下がりに同期してHALT信号を“0”にします。この信号によりCGCは、MPUがホールト状態に入ることを検知します。

(a) RUNモード (#F0: ビット4=1, ビット3=1: HALTMR)

図3.3.5にRUNモードでの基本タイミングを示します。

CGCはRUNモードでは、MPUがホールト状態でもクロック外部に供給し続けます。したがって、MPUは、ホールト状態中、NOP命令を実行し続けます。メモリアドレスのリフレッシュが必要なシステムではこのモードを使用します。



130289

図3.3.5 RUNモードのタイミング

(b) IDLE1モード (#F0: ビット4=0 ビット3=0: HALTMR), IDLE2モード (#F0: ビット4=0, ビット3=1: HALTMR)及びSTOPモード (#F0: ビット4=1, ビット3=0)

図3.3.6にIDLEモードおよびSTOPモードでの基本タイミングを示します。これらのモードでは、HALT信号とホールト命令の次のM1信号によってT4ステートの“0”の状態でクロック出力を停止します。

ただし、STOPモードの場合はCGCの内部発振器も停止します。

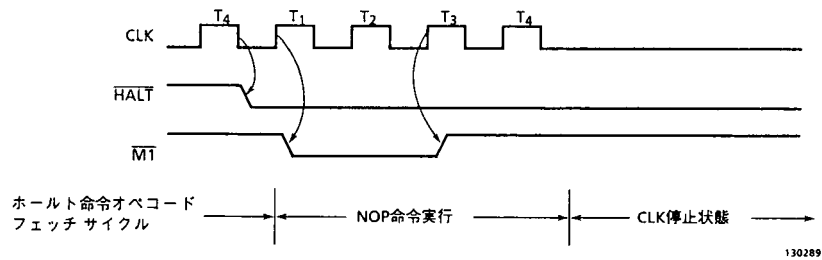


図3.3.6 IDLE/STOPモードのタイミング

(2) 各モードからのクロック出力再開

IDLEモードまたはSTOPモードでのクロック停止状態は次のいずれかに“0”を入力することによって再開します。(但しここはクロック出力の再開の説明を行っているだけです。システムとしての再起動は、3.3.4項を参照して下さい。)

- INT (レベルトリガ入力)
- NMI (エッジトリガ入力)
- RESET (レベルトリガ入力)

(a) IDLEモードからのクロック出力再開

図3.3.7(a)にIDLE1モードでのクロック出力停止状態からの出力再開シーケンスの基本タイミングを示します。IDLEモードでの再開では、クロック出力停止中も内部発振器が動作しているので比較的短い遅れ時間でクロック出力が再開されます。

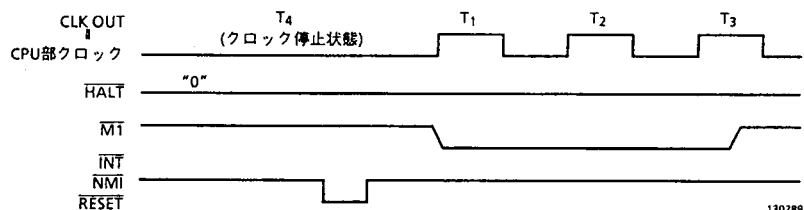


図3.3.7(a) クロック停止状態からのリスタートシーケンスのタイミング (IDLE1モード)

(b) STOPモードからのクロック出力再開

図3.3.8にSTOPモードでのクロック出力停止状態からのリスタートシーケンスの基本タイミングを示します。INTまたはMNI信号に“0”を入力することによってリスタートを行う場合は、内部カウンタによって自動的にウォーミングアップ時間がつくれます。

なお、RESET信号によるリスタートの場合には、ウォーミングアップ動作は行わず即発振を再開します。

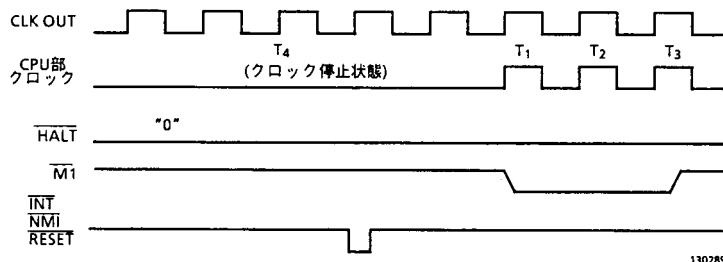


図3.3.7 (b) クロック停止状態からのリスタートシーケンスのタイミング(IDLE2モード)

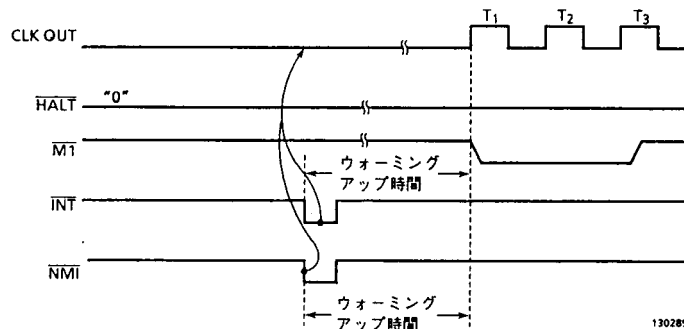


図3.3.8 クロック停止状態からのリスタートシーケンスのタイミング (STOPモード)

3.3.4 MPU部とのかかわり

ここではCGC部とMPU部のかかわりについてホールド解除動作を中心に説明します。

[1] RESET信号

図3.3.9に、MPUとCGCのRESET信号を共用したTMPZ84C015Bの場合のSTOPモードからのリスタートタイミング例を示します。

MPUにリセットをかけるためには、安定なクロックで少なくとも3クロック間RESET信号を“0”にしていなければなりません。また、MPUはRESET信号が“1”になると少なくとも2Tステートのゲミーサイクル後ホールド状態を解除し、0000H番地から命令を実行します。

STOPモードでRESET信号によりクロック出力をリスタートする場合、ウォーミン

グアッ時間決定用の内部カウンタは動作しません。

したがって内部発振器再起動直後の不安定なクロック出力によりMPUが正しく再開しない場合又、パワーオン時の水晶発振の安定性なども考慮し、MPUに確実にリセットがかかるように十分な期間RESET信号を“0”に保つ必要があります。

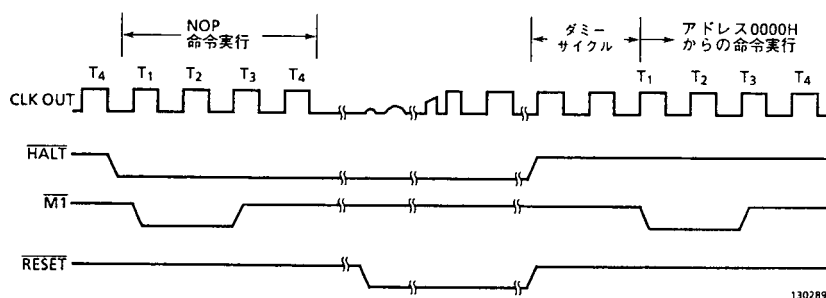


図3.3.9 RESET信号によるクロックリスタートタイミング例

[2] 割込み信号によるホールド解除

CGCはIDLEおよびSTOPモードから、INTまたはNMI信号の入力によりクロック出力を再開し、そのクロック入力によりMPUは動作を開始します。ただし、クロック出力後はMPUはまだホールド状態であり、NOP命令を実行します。ホールド状態を解除するためにはMPUに割込み信号 (INTの場合を最低1命令実行分入力しておかねばなりません。

MPUの割込み検出タイミングは各命令 (ホールド状態時はNOP命令) の最終クロックの立上がりです。

(1) ノンマスクابل割込み (NMI) 使用の場合

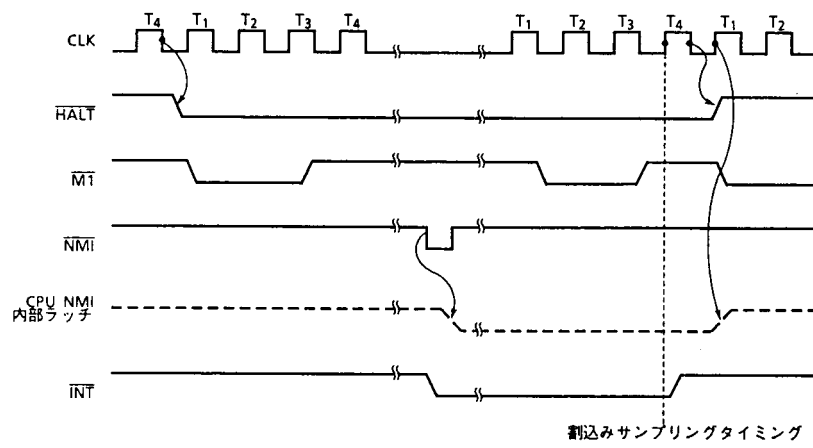
MPUのノンマスクابل割込みはエッジトリガ入力であり、MPU内部にフリップフロップ (F/F) があります。この内部NMI F/Fの状態が命令の最終クロックの立上がりでサンプリングされます。したがって、短いローアクティブ (“0”) のパルスが割込み検出タイミング以前に入力されていれば受け付けられます。TMPZ84C015BのNMI入力はCGC部を経由してMPUのNMI入力に接続されていますが、同じ動作をします。(図3.3.10参照)

(2) マスクابل割込み (INT) 使用の場合

マスクابل割込みでは、INT入力信号の“0”の検出以前にプログラムでマスクابل割込み許可用フリップフロップ (IFF) を“1”にセットしておかねばなりません。

又、CGC部にINT信号が受け付けられクロックの供給を再開しても1命令 (NOP命令) 実行終了までINT信号を入力しておかねば割込みは受け付けられません。又、CGC部にINT信号が受け付けられクロックの供給を再開しても1命令 (NOP命令) 実行終了までINT信号を入力しておかねば割込みは受け付けられません。

図3.3.10に割り込み信号によるホールド解除のタイミングを示します。



130289

図3.3.10 割り込み信号によるホールド解除のタイミング

3.7 スタンドバイ機能

TMPZ84C015Bは、HALT命令を実行するとホールドモード設定レジスタ(#F0:ビット4, ビット3:HALTMR)の内容により、RUN, IDLE1, IDLE2, STOPモードのいずれかになります。(ただしRESET端子によるリセット動作直後はRUNモードに設定されます。)

これらの設定方法は下記のとおりです。

尚、各モードの説明及びタイミングについては、3.3CGC部の動作説明を参照して下さい。

ホールドモード設定レジスタは、I/Oアドレス領域のF0番のビット4, ビット3に割付けられています。

これらホールドモードからの解除は、割込み(NMI端子によるノンマスクابل割込みとINT端子によるマスクابل割込み)とRESET端子によるリセットによって行われます。

マスクابل割込みでMPUがEI状態(EI命令を実行後)又はノンマスクابل割込みで割込みが受け付けられ、割込み処理を開始します。

一方マスクابل割込みでMPUがDI状態(リセット後及びDI命令を実行後)ならHALT命令(実際は、NOP命令)を実行後もとのホールドモードに再び入ります。

3.7.1 ホールドモードの設定

プログラム暴走によるホールドモードの誤設定によるウォッチドッグタイマの動作停止防止のため2重構造のコントロールになっています。

ホールドモードの設定は、ホールドモード設定レジスタ(HALTMR)とホールドモードコントロールレジスタ(#F1:ビット7~ビット:HALTMCR)の2つのレジスタにより設定されています。

図3.7.1にホールドモードコントロールレジスタ(HALTMCR)の内容、図3.7.2にホールドモード設定レジスタ(HALTMR)の内容を示します。

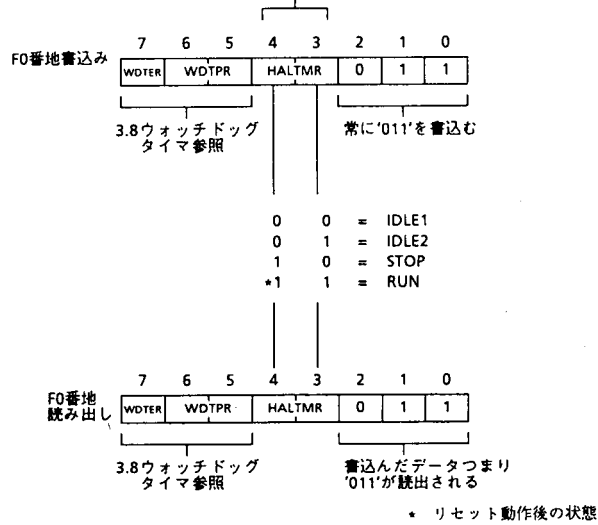
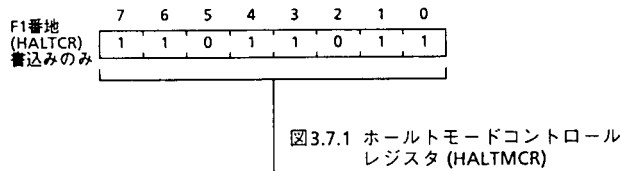


図3.7.2 ホールトモード設定レジスタ

130289

図3.7.3にCLKOUT端子とCLKIN端子を接続した場合のホールト時の各部の状態を示します。

モード	CGC 発振器	CPU	CTC	PIO	SIO	ウォッチドッグ タイマ (WDT)	CLKOUT 端子
IDLE1	○	×	×	×	×	×	×
IDLE2	○	×	○	×	×	×	○
STOP	×	×	×	×	×	×	×
RUN	○	○	○	○	○	○	○

130289

○.....動作継続 ×.....動作停止
(条件: CLKOUT端子とCLKIN端子を接続)

図3.7.3 ホールト時の各部の状態

④

尚、CLKIN端子よりクロックを入力する(OGC部の発振器を使用しない)場合のホールドモードはRUNモードを設定して下さい。

3.7.2. ホールドモード設定手順

ホールドモードは、リセット後RUNモードとなっていますが、新しくモードを設定する場合のプログラム手順を図3.7.4に示します。

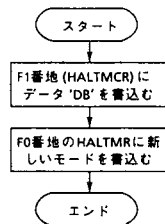


図3.7.4 ホールドモードの設定

130289

3.8 ウォッチ ドッグ タイマ (暴走検出用タイマ)

ウォッチドッグタイマ(WDT)は、MPU暴走による誤動作を検出し正常動作にもどす働きをするタイマです。

3.8.1 ウォッチドッグタイマ部ブロック図

WDTのブロック図を図3.8.1に示します。

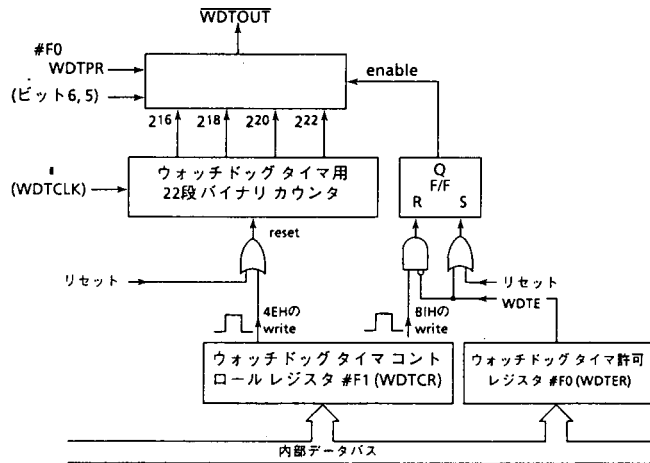


図3.8.1 ブロック図

④

3.8.2 ウォッチ ドッグ タイマ の 設 定

- (1) ウォッチ ドッグ タイマ の 許 可 : ウォッチ ドッグ タイマ イネーブル レジスタ (#F0 : ビット 7 : WDTERR) と ウォッチ ドッグ タイマ 周 期 レジスタ (#F0 : ビット 6, ビット 5 : WDTPR) の 2 つ の レジスタ を 設 定 し ま す 。

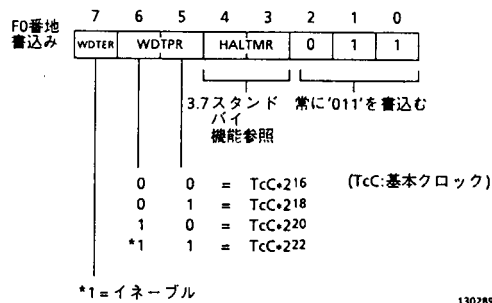


図3.8.2 ウォッチ ドッグ タイマ 許 可 設 定

- (2) ウォッチ ドッグ タイマ の 禁 止 : ウォッチ ドッグ タイマ イネーブル レジスタ (WDTERR) を デイセーブル 後 ウォッチ ドッグ コントロール レジスタ (#F1 : ビット 7~ビット 0 : WDTERR) に データ 'B1' を 書 込 む と 設 定 さ れ ま す 。

こ れ は プログラム 暴 走 に よる ウォッチ ドッグ タイマ の 動 作 停 止 の 誤 設 定 防 止 の た め に 2 重 構 造 の コントロール に な っ て い ま す 。

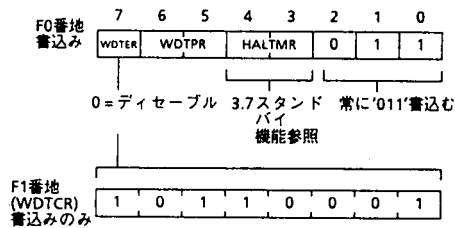
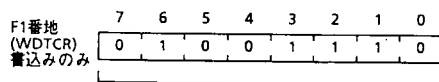


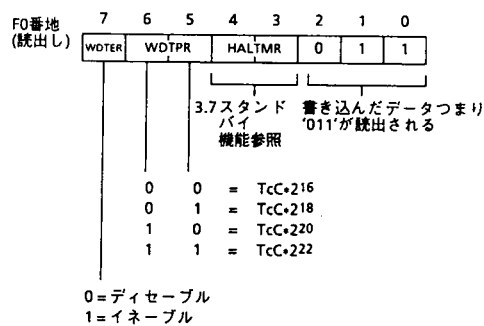
図3.8.3 ウォッチ ドッグ タイマ 禁 止 設 定

- (3) ウォッチ ドッグ タイマ クリア : ウォッチ ドッグ タイマ コントロール レジスタ (WDTERR) に データ '4E' を 書 込 む こ と に よ り 行 わ れ ま す 。



130289

図3.8.4 ウォッチ ドッグ タイマのクリア



130289

図3.8.4 ウォッチ ドッグ タイマ設定レジスタの読出し

3.8.3 ウォッチ ドッグ タイマ出力 (WDTOUT端子)

ウォッチ ドッグ タイマをイネーブルにして使用するとウォッチ ドッグ タイマ周期レジスタ (WDTPR) で指示された時間経過後 WDTOUT端子に“0”レベル信号を出力します。

出力されるパルス幅は、WDTOUT端子の接続方法により次の2通りです。

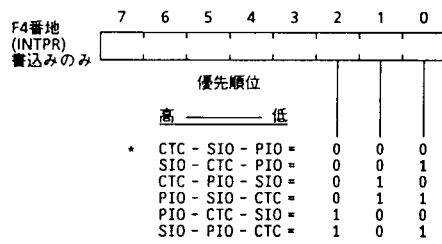
- (1) WDTOUT端子をRESETに接続した場合：5TcC (TcC:基本クロック)の“0”レベルのパルスを出力します。
- (2) RESET端子に以外に接続した場合：ソフトウェアによるウォッチ ドッグ タイマのクリア又は、RESET端子によるリセットが起るまで“0”レベルを出力し続けます。

3.9 割り込み優先順位

TMPZ84C015B内部のCTC部、SIO部、PIO部、の割り込み優先順位を決定するプログラマブルな割り込み優先順位レジスタ (#F4:ビット2~ビット0:INTPR)を内蔵しています。

3.9.1 割り込み優先順位の設定

各部のデジチェーン割り込みの優先順位の決定を行うレジスタです。

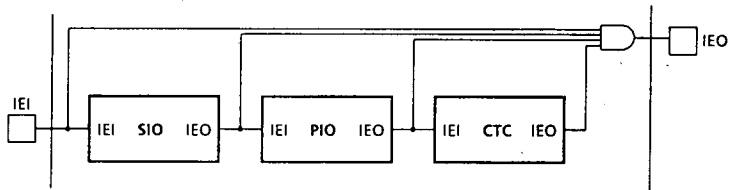


*リセット動作後の状態

130289

図3.9.1 割り込み優先順位レジスタ (INTPR)

[例] F4番地 (INTPR) に '101' を書込んだ時各部のデジチェーンの割り込み優先順位は図3.9.2のようになります。



130289

図3.9.2 デジチェーン

4 電気的特性 (TMPZ84C015BF-6 / BF-8 / BF-10 / BF-12)

4.1 最大定格

記号	項目	定格	単位
V _{CC}	電源電圧	-0.5 ~ +7.0	V
V _{IN}	入力電圧	-0.5 ~ V _{CC} + 0.5	V
P _D	消費電力 (T _A = 85°C)	250	mW
T _{SOLDER}	半田付温度 (10sec)	260	°C
T _{STG}	保存温度	-55 ~ 125	°C
T _{OPR}	動作温度	TMPZ84C015BF-6/-8 ; -40 ~ 85	°C
		TMPZ84C015BF-10/-12 ; -40 ~ 70	

110691

4.2 DC電気的特性 (1/2)

TMPZ84C015BF-6/-8 (T_{OPR} = -40°C ~ +85°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

TMPZ84C015BF-10/-12 (T_{OPR} = -40°C ~ +70°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

記号	項目	測定条件	最小	標準	最大	単位
V _{ILC}	クロック低レベル 入力電圧 (CLKIN)		-0.3	-	0.6	V
V _{IHC}	クロック高レベル 入力電圧 (CLKIN)		V _{CC} - 0.6	-	V _{CC} + 0.3	V
V _{OLC}	クロック低レベル 出力電圧 (CLKOUT)	I _{OL} = 2.0mA	-	-	0.6	V
V _{OHC}	クロック高レベル 出力電圧 (CLKOUT)	I _{OH} = -2.0mA	V _{CC} - 0.6	-	-	V
V _{IL}	低レベル入力電圧 (XTAL1, RESETを除く)		-0.5	-	0.8	V
V _{IH}	高レベル入力電圧 (XTAL1, RESETを除く)		2.2	-	V _{CC}	V
V _{ILR}	低レベル入力電圧 (RESET入力)		-0.5	-	0.45	V
V _{IHR}	高レベル入力電圧 (RESET入力)		V _{CC} - 0.6	-	V _{CC}	V
V _{OL}	低レベル出力電圧 (クロックを除く)	I _{OL} = 2.0mA	-	-	0.4	V
V _{OH1}	高レベル出力電圧 (クロックを除く)	I _{OH} = -1.6mA	2.4	-	-	V
V _{OH2}	高レベル出力電圧 (クロックを除く)	I _{OH} = -250μA	V _{CC} - 0.8	-	-	V

110691

DC電气的特性 (2 / 2)

記号	項目	測定条件	最小	標準	最大	単位	
I_{LI}	入力リーク電流	$V_{SS} \leq V_{IN} \leq V_{CC}$	—	—	± 10	μA	
I_{LO}	フローティング時の3ステート出力電流	$V_{SS} \leq V_{OUT} \leq V_{CC}$	—	—	± 10	μA	
I_{CC1}	電源電流 (動作時)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	25	35	mA
			BF-8	—	35	45	mA
			BF-10	—	45	55	mA
			BF-12	—	55	65	mA
I_{CC2}	電源電流 (静止時)	$V_{CC} = 5V$ $f_{CLK} = (\text{注2})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6 /BF-8 /BF-10 /BF-12	—	0.5	50	μA
I_{CC3}	電源電流 (アイドル時: IDLE2モード)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	1.5	3	mA
			BF-8	—	2	4	mA
			BF-10	—	2.5	5	mA
			BF-12	—	3.0	6	mA
I_{CC4}	電源電流 (アイドル時: IDLE1モード)	$V_{CC} = 5V$ $f_{CLK} = (\text{注1})$ $V_{IHC} = V_{IH} = V_{CC} - 0.2V$ $V_{ILC} = V_{IL} = 0.2V$	BF-6	—	11	15	mA
			BF-8	—	15	20	mA
			BF-10	—	19	25	mA
			BF-12	—	23	35	mA

110691

(注1) $f_{CLK} = 1 / T_{CC} (\text{MIN})$

- (注2)
- ホールト命令フェッチサイクル直後のM1サイクルのT4“LOW”ステート時
 - SYNCAおよびSYNCBが“L”出力の場合を除く

4.3 AC電気的特性(1)(アクティブ状態)

TMPZ84C015BF-6/8 (T_{OPR} = -40°C ~ +85°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

TMPZ84C015BF-10/12 (T_{OPR} = -40°C ~ +70°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

4.3.1 MPU部AC特性(アクティブ状態)(1/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
1	TcC	クロック周期	162	-	DC	125	-	DC	100	-	DC	80	-	DC	ns
2	TwCh	クロック高レベルパルス幅	65	-	DC	50	-	DC	42	-	DC	32	-	DC	ns
3	TwCl	クロック低レベルパルス幅	65	-	DC	50	-	DC	42	-	DC	32	-	DC	ns
4	TfC	クロック立下がり時間	-	-	20	-	-	15	-	-	12	-	-	10	ns
5	TrC	クロック立上がり時間	-	-	20	-	-	15	-	-	12	-	-	10	ns
6	TdCr(A)	クロック立上がりからの有効アドレス出力遅延	-	-	90	-	-	85	-	-	75	-	-	65	ns
7	TdA(MREQ)	MREQに先立つアドレス出力確定時間	35	-	-	20	-	-	22	-	-	-5	-	-	ns
8	TdCf(MREQ)	クロック立下がりからのMREQ="L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
9	TdCr(MREQ)	クロック立上がりからのMREQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
10	TwMREQh	MREQ高レベルパルス幅	65	-	-	45	-	-	32	-	-	20	-	-	ns
11	TwMREQl	MREQ低レベルパルス幅	135	-	-	100	-	-	75	-	-	55	-	-	ns
12	TdCf(MREQ)	クロック立下がりからのMREQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
13	TdCf(RDf)	クロック立下がりからRD="L"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
14	TdCr(RDr)	クロック立上がりからRD="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
15	TsD(Cr)	クロック立上がりに対するデータセットアップ時間	30	-	-	30	-	-	25	-	-	25	15	-	ns
16	ThD(RDr)	RD立上がりに対するデータホールド時間	0	-	-	0	-	-	0	-	-	0	0	-	ns
17	TsWAIT(Cf)	クロック立下がりに対するWAIT信号セットアップ時間	60	-	-	50	-	-	25	-	-	25	10	-	ns
18	ThWAIT(Cf)	クロック立下がり後のWAITホールド時間	10	-	-	10	-	-	10	-	-	10	10	-	ns

MPU部AC特性(アクティブ状態)(2/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
19	TdCr (M1f)	クロック立上がりから M1 = "L"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
20	TdCr (M1r)	クロック立上がりから M1 = "H"になるまでの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
21	TdCr (RFSHf)	クロック立上がりから RFSH = "L"になるまでの遅延	-	-	110	-	-	95	-	-	80	-	-	70	ns
22	TdCr (RFSHr)	クロック立上がりから RFSH = "H"になるまでの遅延	-	-	100	-	-	85	-	-	80	-	-	70	ns
23	TdCf (RDf)	クロック立下がりから RD = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
24	TdCr (RDf)	クロック立上がりから RD = "L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
25	TsD (Cf)	クロック立下がりに対する データセットアップ時間 (M2, M3, M4, M5サイクル時)	40	-	-	30	-	-	25	-	-	15	-	-	ns
26	TdA (IORQf)	IORQ立下がりから先立つアドレス確定時間	110	-	-	75	-	-	70	-	-	30	-	-	ns
27	TdCr (IORQf)	クロック立上がりから IORQ = "L"になるまでの遅延	-	-	65	-	-	55	-	-	50	-	-	50	ns
28	TdCf (IORQr)	クロック立下がりから IORQ = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
29	TdD (WRf)	WR立下がりから先立つデータ確定時間	25	-	-	5	-	-	40	-	-	20	-	-	ns
30	TdCf (WRf)	クロック立下がりから WR = "L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
31	TwWR	WRパルス幅	135	-	-	100	-	-	75	-	-	55	-	-	ns
32	TdCf (WRr)	クロック立下がりから WR = "H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
33	TdD (WRf)	WR立下がりから先立つデータ確定時間	-55	-	-	55	-	-	-8	-	-	-20	-	-	ns
34	TdCr (WRf)	クロック立上がりから WR = "L"になるまでの遅延	-	-	60	-	-	55	-	-	50	-	-	45	ns
35	TdWRr (D)	WR = "H"になってからの出力データ保持時間	30	-	-	15	-	-	12	-	-	15	-	-	ns

MPU部AC特性(アクティブ状態)(3/4)

番号	記号	項目	TMPZ84C0158F-6 (6MHz)			TMPZ84C0158F-8 (8MHz)			TMPZ84C0158F-10 (10MHz)			TMPZ84C0158F-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
36	TdCf(HALT)	クロック立下がりからHALT="L"または"H"になるまでの遅延	-	-	260	-	-	225	-	-	90	-	-	80	ns
37	TwNMI	NMIパルス幅	80	-	-	80	-	-	60	-	-	60	-	-	ns
38	TsBUSREQ(Cr)	クロック立上がりに対するBUSREQセットアップ時間	50	-	-	40	-	-	30	-	-	20	-	-	ns
39	ThBUSREQ(Cr)	クロック立上がり後のBUSREQホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
40	TdCr(BUSACKf)	クロック立上がりからBUSACK="L"になるまでの時間	-	-	90	-	-	80	-	-	75	-	-	50	ns
41	TdCf(BUSACKr)	クロック立下がりからBUSACK="H"になるまでの時間	-	-	90	-	-	80	-	-	75	-	-	50	ns
42	TdCr(Dz)	クロック立上がりからデータバスフロート状態までの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
43	TdCr(CTz)	クロック立上がりからコントロール出力フロート状態までの遅延(MREQ, IORQ, RD, WR)	-	-	70	-	-	60	-	-	60	-	-	50	ns
44	TdCr(Az)	クロック立上がりからアドレスバスフロート状態までの遅延	-	-	80	-	-	70	-	-	65	-	-	50	ns
45	TdCr(A)	MREQ, IORQ, RDまたはWRからのアドレス保持時間	35	-	-	20	-	-	32	-	-	10	-	-	ns
46	TsRESET(Cr)	クロック立上がりに対するRESETセットアップ時間	60	-	-	45	-	-	40	-	-	20	-	-	ns
47	ThRESET(Cr)	クロック立上がりからRESETホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
48	TsINTf(Cr)	クロック立上がりに対するINTセットアップ時間	70	-	-	55	-	-	50	-	-	25	-	-	ns
49	TsINTR(Cr)	クロック立上がり後のINTホールド時間	10	-	-	10	-	-	10	-	-	10	-	-	ns
50	TdM1f(IORQf)	IORQ立下がりから先立つM1出力("L")の確定時間	365	-	-	270	-	-	222	-	-	170	-	-	ns

⑤

MPU部AC特性(アクティブ状態) (4/4)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
51	TdCf (IORQ \bar{f})	クロック立下がりから IORQ="L"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	50	ns
52	TdCr (IORQ \bar{r})	クロック立上がりから IORQ="H"になるまでの遅延	-	-	70	-	-	60	-	-	55	-	-	55	ns
53	TdCf (D)	クロック立下がりからデータ出力までの遅延	-	-	130	-	-	115	-	-	110	-	-	100	ns

291092

4.3.2 CGC部AC特性(アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
54	Tcc CLK	出カクック周期	-	162	-	-	125	-	-	100	-	-	80	-	ns
55	TwCh CLK	出カクック高レベルパルス幅	-	70	-	50	-	-	38	-	-	32	-	-	ns
56	TwCl CLK	出カクック低レベルパルス幅	-	70	-	50	-	-	38	-	-	32	-	-	ns
57	TfC CLK	出カクック立下がり時間	-	12	-	-	-	12	-	-	12	-	-	10	ns
58	TrC CLK	出カクック立上がり時間	-	12	-	-	-	12	-	-	12	-	-	10	ns
59	TRST (INT) S	INTによるCLK OUTリスタート時間 (STOPモード)	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	ns
60	TRST (NMI) S	NMIによるCLK OUTリスタート時間 (STOPモード)	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	-	2 μ + 2.5TcC	-	ns
61	TRST (INT) I	INTによるCLK OUTリスタート時間 (IDLE1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
62	TRST (NMI) I	NMIによるCLK OUTリスタート時間 (IDLE1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
63	TRST (RESET) I	RESETによるCLK OUTリスタート時間 (IDLE1/2モード)	-	TcC	-	-	TcC	-	-	TcC	-	-	TcC	-	ns

291092

4.3.3 CTC部AC特性 (アクティブ状態)

番号	記号	項目	TMP284C015BF-6 (6MHz)			TMP284C015BF-8 (8MHz)			TMP284C015BF-10 (10MHz)			TMP284C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
64	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延 (M1サイクルの直前で割込みが発生したとき)	-	-	160	-	-	130	-	-	130	-	-	80	ns
65	TdIEI (IEOf)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
66	TdIEI (IEOr)	IEI立上がりからIEO立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	120	-	-	120	ns
67	tsCLK (INT)	割込み検知するのに必要なCLK/TRGセットアップ時間 TsCTR (C) を満足する場合	TcC +120 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	TcC +100 +T68 +T48	-	-	ns
		TsCTR (C) を満足しない場合	2TcC +120 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	2TcC +100 +T68 +T48	-	-	
68	TcCTR	CLK/TRG周期	2TcC	-	-	2TcC	-	-	2TcC	-	-	2TcC	-	-	ns
69	TrCTR	CLK/TRG立上がり時間	-	-	40	-	-	30	-	-	30	-	-	30	ns
70	TfCTR	CLK/TRG立下がり時間	-	-	40	-	-	30	-	-	30	-	-	30	ns
71	TwCTRl	CLK/TRG低レベルパルス幅	120	-	-	90	-	-	90	-	-	75	-	-	ns
72	TwCTRh	CLK/TRG高レベルパルス幅	120	-	-	90	-	-	90	-	-	75	-	-	ns
73	TsCTR (Cs)	即時カウンタの要するクロックの立上がりに対するCLK/TRGのセットアップ時間 (カウンタモード)	150	-	-	110	-	-	110	-	-	75	-	-	ns
74	TsCTR (CT)	プリスケアラの即時起動に要するクロックの立上がりに対するCLK/TRGのセットアップ時間 (タイマモード)	150	-	-	110	-	-	110	-	-	75	-	-	ns
75	TdC (ZC/TOr)	クロック立上がりからZC/TO立上がりまでの遅延	-	-	140	-	-	110	-	-	110	-	-	80	ns
76	TdC (ZC/TOf)	クロック立下がりからZC/TO立下がりまでの遅延	-	-	140	-	-	110	-	-	110	-	-	80	ns

4.3.4 PIO部AC特性 (アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
77	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延	-	-	100	-	-	100	-	-	100	-	-	80	ns
78	TsIEI (IO)	IEIのIORQの立下がりに対するセットアップ時間 (INTAサイクル)	100	-	-	80	-	-	80	-	-	80	-	-	ns
79	TdIEI (IEOf)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
80	TdIEI (IEOr)	IEI立下がりからIEO立下がりまでの遅延	-	-	150	-	-	120	-	-	120	-	-	110	ns
81	TdC (RDYr)	クロック立下がりからREADY立下がりまでの遅延	-	-	170	-	-	150	-	-	150	-	-	100	ns
82	TdC (RDYf)	クロック立下がりからREADY立下がりまでの遅延	-	-	120	-	-	110	-	-	110	-	-	100	ns
83	TwSTB (C)	STROBEパルス幅	120	-	-	100	-	-	100	-	-	60	-	-	ns
84	TsSTB (C)	クロック立下がりに対するSTROBEの立下がりに対するセットアップ時間 (次のサイクルでREADYをアクティブにする場合)	150	-	-	100	-	-	100	-	-	100	-	-	ns
85	TdIO (PD)	IORQ立下がりから出力データ確定までの遅延 (モード0)	-	-	160	-	-	140	-	-	140	-	-	110	ns
86	TsPD (STB)	STROBE立下がりに対するデータセットアップ時間 (モード1)	190	-	-	150	-	-	150	-	-	75	-	-	ns
87	TdSTB (PD)	STROBE立下がりからの出力データ遅延時間 (モード2)	-	-	180	-	-	150	-	-	150	-	-	110	ns
88	TdSTB (PDr)	STROBE立下がりからデータフローまでの遅延 (モード2)	-	-	160	-	-	120	-	-	120	-	-	110	ns
89	tsSTRB	割込み検知するのに必要なSTROBEセットアップ時間	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	ns
90	tsPD	割込み検知するのに必要なポートデータセットアップ時間 (モード3)	430 + T48	-	-	350 + T48	-	-	350 + T48	-	-	350 + T48	-	-	ns
91	ThPD (STB)	STROBE立下がりに対するデータホールド時間 (モード1)	40	-	-	40	-	-	40	-	-	15	-	-	ns

4.3.5 SIO部特性(アクティブ状態) (1/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
92	TsM1 (C)	クロック立上がりに対する M1信号セットアップ時間	75	-	-	50	-	-	50	-	-	40	-	-	ns
93	TsIEI (IO)	IORQの立下がりに対する IEI信号セットアップ時間 (INTACKサイクル)	120	-	-	100	-	-	100	-	-	80	-	-	ns
94	TdM1 (IEO)	M1の立下がりからIEOの立 下がりまでの遅延 (EDデコード)	-	-	160	-	-	120	-	-	120	-	-	80	ns
95	TdIEI (IEO)	IEIの立上がりからIEOの立 上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	120	-	-	110	ns
96	TdIEI (IEO)	IEIの立下がりからIEOの立 下がりまでの遅延	-	-	70	-	-	50	-	-	50	-	-	50	ns
97	TdIO (W/RW)	IORQ立上がりからW/RDY 立下がりまでの遅延(ウェ イト)(ウェイトモード)	-	-	175	-	-	130	-	-	130	-	-	110	ns
98	TdC (W/RR)	クロックの立上がりから W/RDY立下がりまでの遅 延(レディモード)	-	-	100	-	-	80	-	-	80	-	-	80	ns
99	TdC (W/RWZ)	クロックの立下がりから W/RDYフロート状態までの 遅延(ウェイトモード)	-	-	110	-	-	90	-	-	90	-	-	75	ns
100	TwPh	CTC, DCD, SYNC高レベル パルス幅	200	-	-	200	-	-	200	-	-	100	-	-	ns
101	TwPl	CTC, DCD, SYNC低レベル パルス幅	200	-	-	200	-	-	200	-	-	100	-	-	ns
102	TcTxc	送信クロック周期	330	-	∞	250	-	∞	250	-	∞	160	-	∞	ns
103	TwTxcl	低レベル送信クロック周期 パルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
104	TwTxch	高レベル送信クロック周期 パルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
105	TdTxC (TxD)	TxCの立下がりからTxD信 号までの遅延(X1モード)	-	-	220	-	-	180	-	-	180	-	-	115	ns
106	TdTxC (W/RR)	TxC立下がりからW/RDY立 下がりまでの遅延(レディ モード)	5	-	9	5	-	9	5	-	9	5	-	8	CLOCK 周期
107	TcRxC	受信クロック周期	330	-	∞	250	-	∞	250	-	∞	160	-	∞	ns
108	TwRxccl	低レベル受信クロックパル ス幅	100	-	∞	80	-	∞	80	-	∞	60	-	∞	ns

SIO部特性(アクティブ状態)(2/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
109	TwRxch	高レベル受信クロックパルス幅	100	-	∞	80	-	∞	80	-	∞	70	-	∞	ns
110	TsRxD (Rxc)	RXCの立上がりに対するRxD信号セットアップ時間(X1モード)	0	-	-	10	-	-	10	-	-	0	-	-	ns
111	ThRxD (Rxc)	RXCの立上がりに対するRxD信号ホールド時間(X1モード)	100	-	-	80	-	-	80	-	-	50	-	-	ns
112	TdRxc (W/RRF)	RXCの立上がりからW/RDY立下がりまでの遅延(レディモード)	10	-	13	10	-	13	10	-	13	10	-	13	CLK周 同期
113	TdRxc (SYNC)	RXCの立上がりからSYNC立下がりまでの遅延(出力モード)	4	-	7	4	-	7	4	-	7	4	-	7	CLK周 同期
114	TsSYNC (Rxc)	RXC立上がりに対するSYNC信号セットアップ時間(外部同期モード)	-100	-	-	-100	-	-	-100	-	-	-100	-	-	ns
115	tSTxc	割込み検知するのに必要なTXCセットアップ時間	5 _{ns} T1 +T48	-	9 _{ns} T1 +T48	5 _{ns} T1 +T48	-	9 _{ns} T1 +T48	5 _{ns} T1 +T48	-	9 _{ns} T1 +T48	5 _{ns} T1 +T48	-	9 _{ns} T1 +T48	ns
116	tSRxc	割込み検知するのに必要なRXCセットアップ時間	10 _{ns} T1 +T48	-	13 _{ns} T1 +T48	10 _{ns} T1 +T48	-	13 _{ns} T1 +T48	10 _{ns} T1 +T48	-	13 _{ns} T1 +T48	10 _{ns} T1 +T48	-	13 _{ns} T1 +T48	ns

291092

4.3.6 WDT部AC特性(アクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-8 (8MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	最小	標準	最大	
117	Tdc (WDTf)	クロック立上がりからWDTOUT立下がりまでの遅延	-	-	160	-	-	120	-	-	120	-	-	120	ns
118	Tdc (WDTtr)	クロック立上がりからWDTOUT立上がりまでの遅延	-	-	165	-	-	125	-	-	125	-	-	125	ns
119	TcWDT	WDTOUT出力周期	-	-	-	-	-	-	-	-	-	-	-	-	-
		WDTモード0	-	T1,218	-	-	T1,216	-	-	T1,216	-	-	T1,216	-	ns
		WDTモード1	-	T1,218	-	-	T1,218	-	-	T1,218	-	-	T1,218	-	ns
		WDTモード2	-	T1,220	-	-	T1,220	-	-	T1,220	-	-	T1,220	-	ns
	WDTモード3	-	T1,222	-	-	T1,222	-	-	T1,222	-	-	T1,222	-	ns	

291092

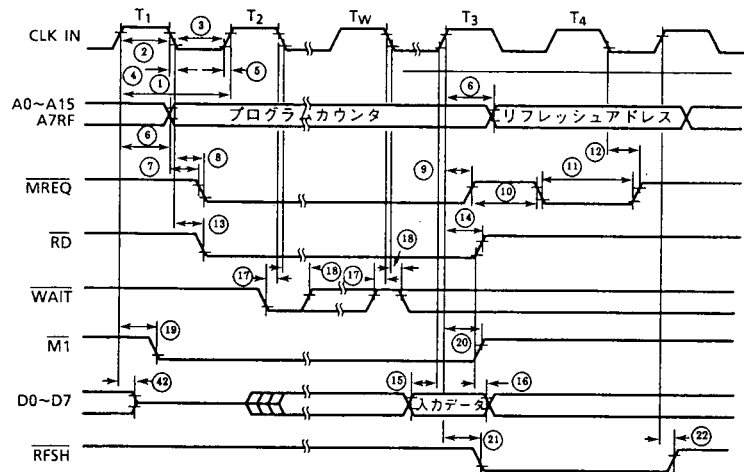
(注) AC電気的特性測定条件

- VIH=2.4V, VIL=0.4V, VIHc=VCC-0.6V, VILc=0.6V
- VOH=2.2V, VOL=0.8V(ただしCLKOUTは除く)
- VOHc=VCC-0.6V, VOLc=0.6V(CLKOUT出力)
- CL=100pF

4.4 ACタイミング図(1)(アクティブ状態)

4.4.1 MPU部ACタイミング図(アクティブ状態)

図4.4.1~4.4.8は各動作の基本タイミング図です。図中の番号は4.3 AC電気的特性の表の番号と一致しています。



150289

図4.4.1 オペコードフェッチサイクル

4.5 AC電気的特性(2)(インアクティブ状態)

TMPZ84C015BF-6 (TA = -40°C ~ +85°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

TMPZ84C015BF-10/-12 (TA = -40°C ~ 70°C, V_{CC} = 5V ± 10%, V_{SS} = 0V)

4.5.1 CGC部AC特性(インアクティブ状態)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
1	TcCLK	出力クロック周期	-	162	-	-	100	-	-	80	-	ns
2	TwChCLK	出力クロック高レベルパルス幅	-	70	-	-	40	-	-	32	-	ns
3	TwClCLK	出力クロック低レベルパルス幅	-	70	-	-	40	-	-	32	-	ns
4	TfCLK	出力クロック立下がり時間	-	12	-	-	10	-	-	10	-	ns
5	TrCLK	出力クロック立上がり時間	-	12	-	-	10	-	-	10	-	ns
6	TRST (INT) S	INTによるCLK OUTリスタート時間 (STOPモード)	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	ns
7	TRST (NMI) S	NMIによるCLK OUTリスタート時間 (STOPモード)	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	-	214 + 2.5TcC	-	ns
8	TRST (INT) I	INTによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
9	TRST (NMI) I	NMIによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	2.5 *TcC	-	-	2.5 *TcC	-	-	2.5 *TcC	-	ns
10	TRST (RESET) I	RESETによるCLK OUTリスタート時間 (IDLE 1/2モード)	-	1TcC	-	-	1TcC	-	-	1TcC	-	ns
11	TsHALT (M1r)	HALTセットアップ時間	10	-	-	10	-	-	10	-	-	ns

291092

4.5.2 CTC部AC特性(インアクティブ状態)(1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
12	TcC	クロック周期	162	-	-	100	-	-	80	-	-	ns
13	Twch	クロック高レベルパルス幅	65	-	-	38	-	-	32	-	-	ns
14	Twcl	クロック低レベルパルス幅	65	-	-	38	-	-	32	-	-	ns
15	TfC	クロック立下がり時間	-	-	20	-	-	12	-	-	10	ns
16	TrC	クロック立上がり時間	-	-	20	-	-	12	-	-	10	ns
17	Th	ホールド時間	10	-	-	10	-	-	10	-	-	ns

291092

CTC部BAC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
18	TcCS (C)	クロック立下がりに対するCS (A1, A0) セットアップ時間	100	-	-	100	-	-	-	-	50	ns
19	TSCE (C)	クロック立上がりに対するCE (A7-A2) セットアップ時間	150	-	-	80	-	-	-	-	50	ns
20	TsIO (C)	クロック立上がりに対するIORQ立下がりまでのセットアップ時間	70	-	-	65	-	-	-	-	50	ns
21	TsRD (C)	クロック立上がりに対するRD立下がりまでのセットアップ時間	70	-	-	55	-	-	45	-	-	ns
22	TdC (DO)	クロック立上がりからデータ出力までの遅延	-	-	130	-	-	110	-	-	75	ns
23	ThWAIT (Cf)	IORQ, RD立上がりからデータフロートまでの遅延	-	-	90	-	-	85	-	-	70	ns
24	TdCr (M1f)	クロック立上がりに対するデータ入力セットアップ時間	40	-	-	40	-	-	30	-	-	ns
25	TsM1 (C)	クロック立上がりに対するM1セットアップ時間	70	-	-	55	-	-	40	-	-	ns
26	TdM1 (IEO)	M1立下がりからIEO立下がりまでの遅延 (M1サイクルの直前で割込みが発生したとき)	-	-	130	-	-	110	-	-	80	ns
27	TdiO (DOI)	IORQ立下がりからデータ出力までの遅延 (INTAサイクル)	-	-	110	-	-	85	-	-	85	ns
28	TdCf (RDr)	IEI立下がりからIEO立下がりまでの遅延	-	-	70	-	-	60	-	-	50	ns
29	TdiEI (IEor)	IEI立上がりからIEO立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	160	-	-	110	ns
30	TdC (INT)	クロック立上がりからINT立下がりまでの遅延時間	-	-	TcC + 120	-	-	TcC + 110	-	-	TcC + 70	ns
31	TdA (IORQf)	CLK/TRG立上がりからINT立下がりまでの遅延 (カウンタモード)	-	TcC + 120 + T37	-	-	TcC + 110 + T37	-	-	-	TcC + 70 + T37	ns
		TsCTR (C)を満足する場合	-	2TcC + 120 + T37	-	-	2TcC + 110 + T37	-	-	-	2TcC + 70 + T37	
		TsCTR (C)を満足しない場合	-	T37	-	-	T37	-	-	-	T37	

⑥

CTC部BAC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
32	TcCTR	CLK/TRG周期	-	2TcC	-	-	2TcC	-	-	2TcC	-	ns
33	TrCTR	CLK/TRG立上がり時間	-	-	40	-	-	30	-	-	30	ns
34	TfCTR	CLK/TRG立下がり時間	-	-	40	-	-	30	-	-	30	ns
35	TwCTRI	CLK/TRG低レベルパルス幅	120	-	-	90	-	-	75	-	-	ns
36	TwCTRh	CLK/TRG高レベルパルス幅	120	-	-	90	-	-	75	-	-	ns
37	TsCTR (CS)	即時カウントに要するクロックの立上がりに対するCLK/TRGのセットアップ時間(カウントモード)	150	-	-	110	-	-	65	-	-	ns
38	TsCTR (CT)	プリスケアラの即時起動に要するクロックの立上がりに対するCLK/TRGのセットアップ時間(カウンタモード)	150	-	-	110	-	-	65	-	-	ns
39	TdC (ZC/TOr)	クロック立上がりからZC/TO立上がりまでの遅延	-	-	140	-	-	110	-	-	65	ns
40	TdC (ZC/TOf)	クロック立下がりからZC/TO立下がりまでの遅延	-	-	140	-	-	110	-	-	65	ns

291092

4.5.3 PIO部AC特性 (インアクティブ状態) (1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
41	TsCS (RI)	CE, B/A, C/DのRD, IORQに対するセットアップ時間	50	-	-	50	-	-	30	-	-	ns
42	Th	ホールド時間	40	-	-	40	-	-	20	-	-	ns
43	TsRI (C)	クロック立上がりに対するRD, IORQセットアップ時間	70	-	-	60	-	-	45	-	-	ns
44	TdRI (DO)	RD, IORQの立下がりからデータ出力までの遅延	-	-	300	-	-	200	-	-	70	ns
45	TdRI (DOs)	RD, IORQの立上がりからデータフロートまでの遅延	-	-	70	-	-	70	-	-	70	ns
46	TsDI (C)	クロック立上がりに対するデータセットアップ時間	40	-	-	40	-	-	25	-	-	ns
47	TdIO (DOI)	INTAサイクルのIORQの立下がりからデータ出力までの遅延	-	-	120	-	-	85	-	-	85	ns

291092

PIO部AC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
48	TsM1 (Cr)	クロック立上がりに対する M1=Lのセットアップ時間	70	-	-	50	-	-	40	-	-	ns
49	TsM1 (Cf)	クロック立下がりに対する M1=Hのセットアップ時間 (M1サイクル)	0	-	-	0	-	-	0	-	-	ns
50	TdM1 (IEO)	M1立下がりからIEO立下がり までの遅延	-	-	100	-	-	100	-	-	80	ns
51	TsIEI (IO)	IEIのIORQの立下がりに対す るセットアップ時間 (INTAサイクル)	100	-	-	80	-	-	80	-	-	ns
52	TdIEI (IEOf)	IEI立下がりからIEO立下がり までの遅延	-	-	70	-	-	70	-	-	50	ns
53	TdIEI (IEOr)	IEI立上がりからIEO立上がり までの遅延	-	-	150	-	-	120	-	-	110	ns
54	TdIO (C)	クロック立下がりに対する IORQ=Hのセットアップ時間	170	-	-	120	-	-	40	-	-	ns
55	TdC (RDYr)	クロック立下がりからREADY 立上がりまでの遅延	-	-	170	-	-	150	-	-	90	ns
56	TdC (RDYf)	クロック立下がりからREADY 立下がりまでの遅延	-	-	120	-	-	110	-	-	90	ns
57	TwSTB (C)	STROBEパルス幅	120	-	-	100	-	-	40	-	-	ns
58	TsSTB (C)	クロック立下がりに対する STROBEの立上りのセット アップ時間(次のサイクルで READYをアクティブにする 場合)	150	-	-	100	-	-	60	-	-	ns
59	TdIO (PD)	IORQ立上がりから出力デー タ確定までの遅延 (モード0)	-	-	160	-	-	140	-	-	110	ns
60	TsPD (STB)	STROBE立上がりに対する データセットアップ時間 (モード1)	190	-	-	150	-	-	50	-	-	ns
61	TdSTB (PD)	STROBE立下がりからの出力 データ遅延時間 (モード2)	-	-	180	-	-	150	-	-	80	ns
62	TdSTB (PDr)	STROBE立上がりからデー タフロードまでの遅延 (モード2)	-	-	160	-	-	120	-	-	110	ns

PIO部AC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
63	TdPD (INT)	ポートデータ一致からINT立下がりまでの遅延 (モード3)	-	-	430	-	-	350	-	-	150	ns
64	TdSTB (INT)	STROBE立上がりからINT立下がりまでの遅延	-	-	350	-	-	250	-	-	100	ns

291092

4.5.4 SIO部AC特性 (インアクティブ状態) (1/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
65	TsCS (C)	クロック立上がりに対するコントロール信号 (CE (A7~A2), C/ \bar{D} (A0), B/ \bar{A} (A1)) セットアップ時間	60	-	-	40	-	-	30	-	-	ns
66	TsRD (C)	クロック立上がりに対するIORQ, RD信号セットアップ時間	60	-	-	55	-	-	45	-	-	ns
67	TdC (DO)	クロックの立上がりからデータ出力までの遅延	-	-	150	-	-	100	-	-	75	ns
68	TsDI (C)	クロック立上がりに対するデータ入力セットアップ時間 (ライトサイクルおよびMTサイクル)	30	-	-	30	-	-	30	-	-	ns
69	TdRD (DOz)	RDの立上がりからのデータホールド時間	-	-	90	-	-	70	-	-	70	ns
70	TdIO (DOI)	IORQ立下がりからデータ出力までの遅延 (INTACKサイクル)	-	-	120	-	-	85	-	-	85	ns
71	TsM1 (C)	クロック立上がりに対するMT信号セットアップ時間	75	-	-	50	-	-	40	-	-	ns
72	TsIEI (IO)	IORQの立下がりに対するIEI信号セットアップ時間 (INTACKサイクル)	120	-	-	80	-	-	80	-	-	ns
73	TdM1 (IEO)	MTの立下がりからIEOの立下がりまでの遅延 (EDデコード)	-	-	160	-	-	120	-	-	80	ns
74	TdIEI (IEOr)	IEIの立上がりからIEOの立上がりまでの遅延 (EDデコード後)	-	-	150	-	-	120	-	-	110	ns

291092

SIO部AC特性 (インアクティブ状態) (2/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
75	TdIEI (IEOf)	IEIの立下がりからIEOの立下がりまでの遅延	-	-	70	-	-	50	-	-	50	ns
76	TdC (INT)	クロックの立下がりからINTの立下がりまでの遅延	-	-	150	-	-	100	-	-	100	ns
77	TdIO (W/RWf)	IORQ, CE (A7~A2)の立下がりからW/RDY立下がりまでの遅延(ウェイトモード)	-	-	175	-	-	130	-	-	110	ns
78	TdC (W/RRf)	クロックの立下がりからW/RDY立下がりまでの遅延(レディモード)	-	-	100	-	-	80	-	-	80	ns
79	TdC (W/RWz)	クロックの立下がりからW/RDYフロート状態までの遅延(ウェイトモード)	-	-	110	-	-	90	-	-	75	ns
80	Th, Th (CS)	セットアップ時間が規定されている各箇所でのホールド時間	0	-	-	0	-	-	-	-	10	ns
81	TwPh	高レベルパルス幅	200	-	-	200	-	-	100	-	-	ns
82	TwPl	低レベルパルス幅	200	-	-	200	-	-	100	-	-	ns
83	TcTxC	送信クロック周期	330	-	∞	250	-	∞	160	-	∞	ns
84	TwTxCl	低レベル送信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
85	TwTxCh	高レベル送信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
86	TdTxC (TxD)	TxCの立下がりからTxD信号までの遅延(x1モード)	-	-	220	-	-	180	-	-	180	ns
87	TdTxC (W/RRf)	TxCの立下がりからW/RDY立下がりまでの遅延(レディモード)	5	-	9	5	-	9	5	-	9	CLK 周期
88	TdTxC (INT)	TxCの立下がりからINT立下がりまでの遅延	5	-	9	5	-	9	5	-	9	CLK 周期
89	TcRxC	受信クロック周期	330	-	∞	250	-	∞	250	-	∞	ns
90	TwRxCl	低レベル受信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
91	TwRxCh	高レベル受信クロックパルス幅	100	-	∞	80	-	∞	70	-	∞	ns
92	TsRxD (RxC)	RxC立下がりに対するRxD信号セットアップ時間(x1モード)	0	-	-	0	-	-	0	-	-	ns

SIO部AC特性 (インアクティブ状態) (3/3)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
93	ThRxD (RxC)	RXCの立上がりに対するRxD信号ホールド時間(x1モード)	100	-	-	80	-	-	100	-	-	ns
94	TdRxC (W/RRf)	RXCの立上がりからW/RDY立下がりまでの遅延(レディモード)	10	-	13	10	-	13	10	-	13	CLK 周期
95	TdRxC (INT)	RXCの立上がりからINT立下がりまでの遅延	10	-	13	10	-	13	10	-	13	CLK 周期
96	TdRxC (SYNC)	RXCの立上がりからSYNC立下がりまでの遅延(内部周期モード)	4	-	7	4	-	7	4	-	7	CLK 周期
97	TsSYNC (RxC)	RXCの立上がりに対するSYNC信号セットアップ時間(外部周期モード)	-100	-	-	-100	-	-	-100	-	-	ns

291092

4.5.5 WDT部AC特性 (インアクティブ状態) (1/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
98	TsAdd (Cr)	クロック立上がりに対するアドレスセットアップ時間	150	-	-	150	-	-	150	-	-	ns
99	TsIO (Cr)	クロック立上がりに対するIORQ立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
100	TdRD (Cr)	クロック立上がりに対するRD立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
101	TdCr (Do)	クロック立上がりからデータ出力までの遅延	-	-	130	-	-	130	-	-	130	ns
102	TdiORDr (DoZ)	IORQ, RD立上がりからデータフロートまでの遅延	-	-	90	-	-	90	-	-	90	ns
103	TsWR (Cr)	クロック立上がりに対するWR立下がりまでのセットアップ時間	70	-	-	70	-	-	70	-	-	ns
104	TsDI (Cr)	クロック立上がりに対するデータ入力セットアップ時間	0	-	-	0	-	-	0	-	-	ns
105	TdiOWRf (D)	IORQ, WR立上がりからのデータ出力保持時間	20	-	-	20	-	-	20	-	-	ns

291092

WDT部AC特性 (インアクティブ状態) (2/2)

番号	記号	項目	TMPZ84C015BF-6 (6MHz)			TMPZ84C015BF-10 (10MHz)			TMPZ84C015BF-12 (12MHz)			単位
			最小	標準	最大	最小	標準	最大	最小	標準	最大	
106	TdC (WDTf)	クロック立上がりから WDTOUT立下がりまでの遅延	-	-	160	-	-	120	-	-	120	ns
107	TdC (WDTf)	クロック立上がりから WDTOUT立上がりまでの遅延	-	-	165	-	-	125	-	-	125	ns
108	TCWDT	WDTOUT出力周期	-	-	-	-	-	-	-	-	-	-
		WDTモード0	-	T12 ₂₁₆	-	-	T12 ₂₁₆	-	-	T12 ₂₁₆	-	ns
		WDTモード1	-	T12 ₂₁₈	-	-	T12 ₂₁₈	-	-	T12 ₂₁₈	-	ns
		WDTモード2	-	T12 ₂₂₀	-	-	T12 ₂₂₀	-	-	T12 ₂₂₀	-	ns
		WDTモード3	-	T12 ₂₂₂	-	-	T12 ₂₂₂	-	-	T12 ₂₂₂	-	ns

291092

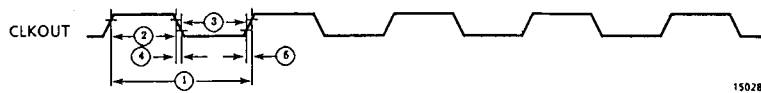
(注) AC電気的特性測定条件

- VIH=2.4V, VIL=0.4V
- VOH=2.2V, VOL=0.8V (ただしCLKOUTは除く)
- VIHc=Vcc-0.6V, VILc=0.6V (CLKOUT)
- VOHc=VCC-0.6V, VOLc=0.6V (CLKOUT)
- CL=100pF

4.6 ACタイミング図 (2) (インアクティブ状態)

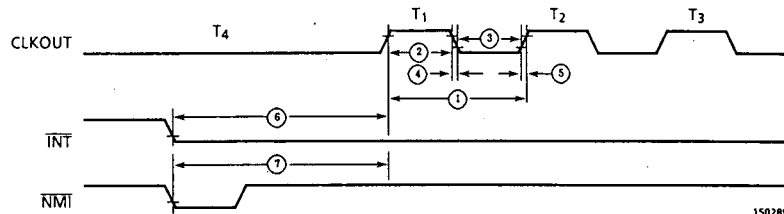
4.6.1 CGC部ACタイミング図 (インアクティブ状態)

CLKOUT端子とCLKIN端子を接続した場合の各モードのタイミングを示します。



150289

図4.6.1 CLKOUT波形



150289

図4.6.2 クロックリスタートタイミング (STOPモード時)