

特長

周波数と位相をデジタル的に設定可能
消費電力: 2.3 V で 8.5 mW
MCLK 速度: 16 MHz (B グレード)、5 MHz (A グレード)
28 ビット分解能: 16 MHz リファレンス・クロックで 0.06 Hz
正弦波、三角波、方形波の出力が可能
電源電圧: 2.3 V~5.5 V
3 線式 SPI インターフェースを内蔵
拡張温度範囲: -40°C~+125°C
パワーダウン・オプション
10 ピン LFCSP パッケージを採用

アプリケーション

周波数テスト信号/波形の発生
液体と気体の流速測定
センサー・アプリケーション: 近接、モーション、欠陥の検出
ライン損失/減衰
テスト装置と医用装置
スイープ/クロック・ジェネレータ
時間領域反射 (TDR) アプリケーション

概要

AD9837は、正弦波、三角波、方形波の出力を発生できるプログラマブルな低消費電力波形ジェネレータです。波形の発生は、種々のタイプの検出、アクチュエーション、時間領域反射 (TDR) のアプリケーションが必要とされます。出力周波数と出力位相はソフトウェアから設定可能なためチューニングが容易です。周波数レジスタは 28 ビット幅です。16 MHz クロック・レートで、0.06 Hzの分解能が可能で、5 MHz クロック・レートでは、0.02 Hz 分解能でAD9837を調整することができます。

AD9837 への書込みは 3 線式シリアル・インターフェースを介して行います。このシリアル・インターフェースは、最大 40 MHz のクロック・レートで動作し、DSP とマイクロコントローラの規格と互換性を持っています。このデバイスは、2.3 V~5.5 V の電源で動作します。

AD9837 にはパワーダウン (スリープ) 機能があります。デバイスの使用しない部分をパワーダウンさせることができるため、デバイス消費電流を小さくすることができます。例えば、クロック出力の発生中は DAC をパワーダウンさせることができます。

AD9837 は 10 ピンの LFCSP_WD パッケージを採用しています。

機能ブロック図

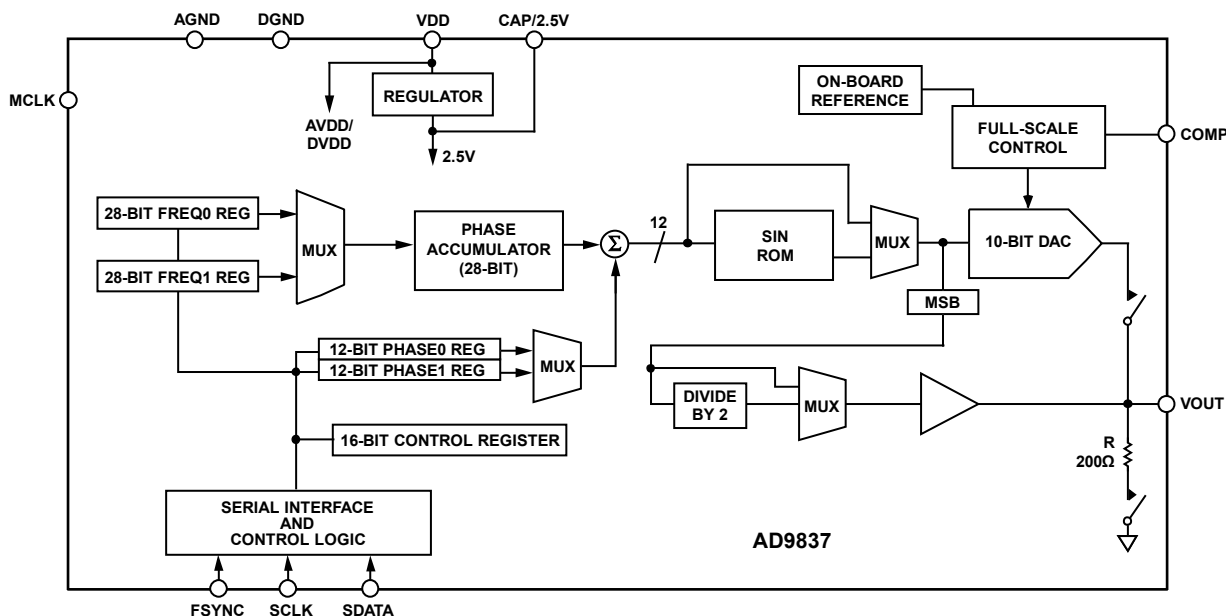


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	機能説明.....	13
アプリケーション.....	1	シリアル・インターフェース.....	13
概要.....	1	遅延時間.....	13
機能ブロック図.....	1	コントロール・レジスタ.....	13
改訂履歴.....	2	周波数レジスタと位相レジスタ.....	15
仕様.....	3	リセット機能.....	16
タイミング特性.....	4	スリープ機能.....	16
絶対最大定格.....	5	VOUT ピン.....	16
熱抵抗.....	5	AD9837のパワーアップ.....	16
ESDの注意.....	5	アプリケーション情報.....	19
ピン配置およびピン機能説明.....	6	グラウンド接続とレイアウト.....	19
代表的な性能特性.....	7	マイクロプロセッサとのインターフェース.....	19
テスト回路.....	9	評価用ボード.....	21
用語.....	10	システム・デモストレーション・プラットフォーム.....	21
動作原理.....	11	AD9837とSPORTとのインターフェース.....	21
回路説明.....	12	評価キット.....	21
数値制御発振器と位相変調器.....	12	水晶発振器対外部クロック.....	21
SIN ROM.....	12	電源.....	21
D/Aコンバータ(DAC).....	12	評価用ボードの回路図.....	22
レギュレータ.....	12	評価用ボードのレイアウト.....	24
		外形寸法.....	25
		オーダー・ガイド.....	25

改訂履歴

4/11—Revision 0: Initial Version

仕様

特に指定がない限り、VDD = 2.3 V ~ 5.5 V、AGND = DGND = 0 V、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter ¹	Min	Typ	Max	Unit	Test Conditions/Comments
SIGNAL DAC SPECIFICATIONS					
Resolution		10		Bits	
Update Rate					
A Grade			5	MSPS	
B Grade			16	MSPS	
V _{OUT} Maximum		0.645		V	
V _{OUT} Minimum		37		mV	
V _{PP}		0.610		V	
V _{OUT} TC		200		ppm/°C	
DC Accuracy					
Integral Nonlinearity (INL)		±1.0		LSB	
Differential Nonlinearity (DNL)		±0.5		LSB	
DDS SPECIFICATIONS					
Dynamic Specifications					
Signal-to-Noise Ratio (SNR)					
A Grade		-64		dB	f _{MCLK} = 5 MHz, f _{OUT} = f _{MCLK} /4096
B Grade		-64		dB	f _{MCLK} = 16 MHz, f _{OUT} = f _{MCLK} /4096
Total Harmonic Distortion (THD)					
A Grade		-68		dBc	f _{MCLK} = 5 MHz, f _{OUT} = f _{MCLK} /4096
B Grade		-68		dBc	f _{MCLK} = 16 MHz, f _{OUT} = f _{MCLK} /4096
Spurious-Free Dynamic Range (SFDR)					
Wideband (0 to Nyquist)					
A Grade		-65		dBc	f _{MCLK} = 5 MHz, f _{OUT} = f _{MCLK} /50
B Grade		-65		dBc	f _{MCLK} = 16 MHz, f _{OUT} = f _{MCLK} /50
Narrow-Band (±200 kHz)					
A Grade		-94		dBc	f _{MCLK} = 5 MHz, f _{OUT} = f _{MCLK} /50
B Grade		-97		dBc	f _{MCLK} = 16 MHz, f _{OUT} = f _{MCLK} /50
Clock Feedthrough		-67		dBc	
Wake-Up Time		1		ms	
LOGIC INPUTS					
Input High Voltage, V_{INH}					
	1.7			V	2.3 V to 2.7 V power supply
	2.0			V	2.7 V to 3.6 V power supply
	2.8			V	4.5 V to 5.5 V power supply
Input Low Voltage, V_{INL}					
			0.5	V	2.3 V to 2.7 V power supply
			0.7	V	2.7 V to 3.6 V power supply
			0.8	V	4.5 V to 5.5 V power supply
Input Current, I _{INH} /I _{INL}			10	mA	
Input Capacitance, C _{IN}		3		pF	
POWER SUPPLIES					
VDD					
	2.3		5.5	V	f _{MCLK} = 16 MHz, f _{OUT} = f _{MCLK} /4096
I_{DD}					
A Grade		3.7	5.0	mA	I _{DD} code dependent; see Figure 6
B Grade		4.5	5.5	mA	I _{DD} code dependent; see Figure 7
Low Power Sleep Mode		0.5	0.8	mA	DAC powered down (SLEEP1 and SLEEP12 bits = 11; see Table 15)

¹ 動作温度範囲は-40°C ~ +125°Cです。typ 値は 25°C で規定しています。

タイミング特性

特に指定のない限り、VDD = 2.3 V ~ 5.5 V、AGND = DGND = 0 V。

表 2.

Parameter ¹	Limit at T _{MIN} to T _{MAX}	Unit	Description
t ₁	62.5	ns min	MCLK period (f _{MCLK} = 16 MHz)
t ₂	25	ns min	MCLK high duration (f _{MCLK} = 16 MHz)
t ₃	25	ns min	MCLK low duration (f _{MCLK} = 16 MHz)
t ₄	25	ns min	SCLK period
t ₅	10	ns min	SCLK high duration
t ₆	10	ns min	SCLK low duration
t ₇	5	ns min	FSYNC to SCLK falling edge setup time
t ₈	10	ns min	SCLK falling edge to FSYNC rising edge time
	t ₄ - 5	ns max	
t ₉	5	ns min	Data setup time
t ₁₀	3	ns min	Data hold time
t ₁₁	5	ns min	SCLK high to FSYNC falling edge setup time

¹ 設計上保証しますが、出荷テストは行いません。

タイミング図

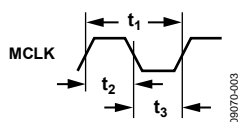


図 2. マスター・クロック

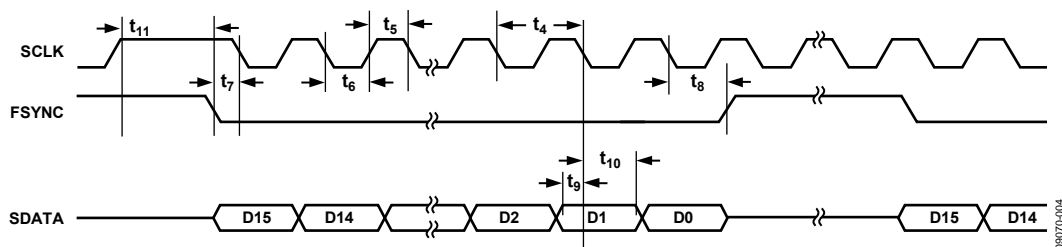


図 3. シリアル・タイミング

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 3.

Parameter	Rating
VDD to AGND	-0.3 V to +6 V
VDD to DGND	-0.3 V to +6 V
AGND to DGND	-0.3 V to +0.3 V
CAP/2.5V	2.75 V
Digital I/O Voltage to DGND	-0.3 V to VDD + 0.3 V
Analog I/O Voltage to AGND	-0.3 V to VDD + 0.3 V
Operating Temperature Range	
Industrial (B Version)	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Temperature, Soldering (10 sec)	300°C
IR Reflow, Peak Temperature	220°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は最悪条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
10-Lead LFCSP_WD (CP-10-9)	206	44	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

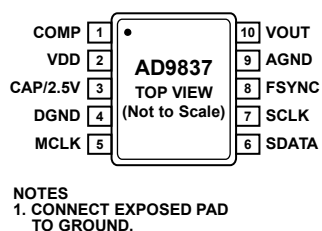


図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	COMP	DAC バイアス・ピン。このピンは、DAC バイアス電圧のデカップリングに使用します。
2	VDD	アナログとデジタルのインターフェース・セクションの正電源。内蔵 2.5 V レギュレータも VDD から電源の供給を受けます。VDD の電圧範囲は、2.3 V ~ 5.5 V です。VDD と AGND との間に 0.1 μ F と 10 μ F のデカップリング・コンデンサを接続する必要があります。
3	CAP/2.5V	デジタル回路は 2.5 V 電源で動作します。この 2.5 V は、VDD が 2.7 V を超えたとき内蔵レギュレータを使って VDD から発生されます。レギュレータには、CAP/2.5V と DGND の間に接続する 100 nF (typ) のデカップリング・コンデンサが必要です。VDD が 2.7 V 以下の場合、CAP/2.5V を VDD に直接接続して内蔵レギュレータをバイパスする必要があります。
4	DGND	デジタル・グラウンド。
5	MCLK	デジタル・クロック入力。DDS 出力周波数は、MCLK 周波数の 2 進小数値で表されます。出力周波数精度と位相ノイズはこのクロックで決定されます。
6	SDATA	シリアル・データ入力。16 ビットのシリアル・データワードがこのピンに入力されます。
7	SCLK	シリアル・クロック入力。データは、SCLK の各立下がりエッジで AD9837 に入力されます。
8	FSYNC	アクティブ・ローのコントロール入力。FSYNC は入力データに対するフレーム同期信号です。FSYNC をロー・レベルにすると、新しいワードがデバイスに入力中であることが内部ロジックに通知されます。
9	AGND	アナログ・グラウンド。
10	VOUT	電圧出力。AD9837 からのアナログ出力とデジタル出力がこのピンに出力されます。デバイスは 200 Ω の抵抗を内蔵しているため外付け負荷抵抗は不要です。
	EP	エクスポーズド・パッド。エクスポーズド・パッドはグラウンドへ接続してください。

代表的な性能特性

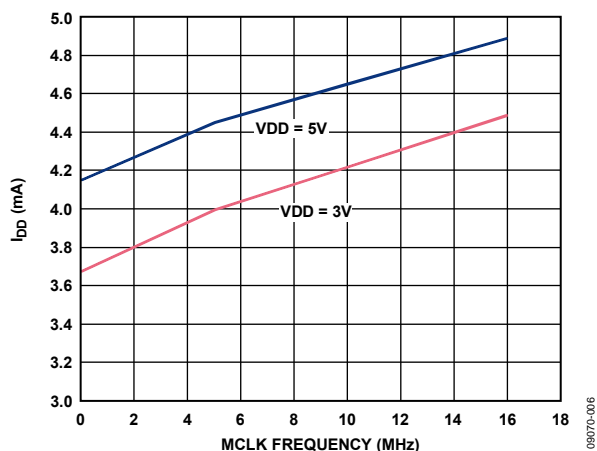


図 5.MCLK 周波数対消費電流 (I_{DD})
 $f_{OUT} = MCLK/10$

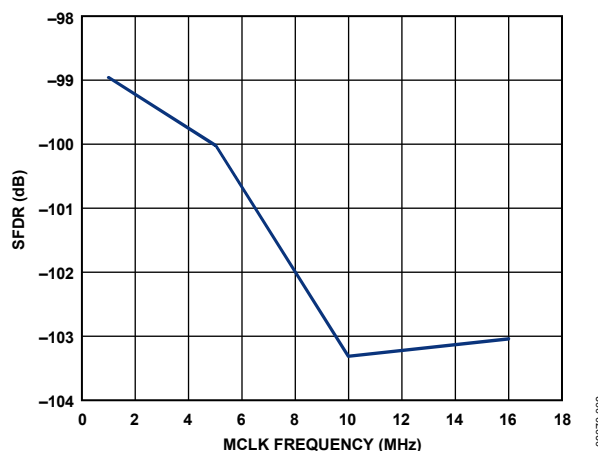


図 8.MCLK 周波数対狭帯域 SFDR
 $f_{OUT} = MCLK/50 \sim \pm 200$ kHz

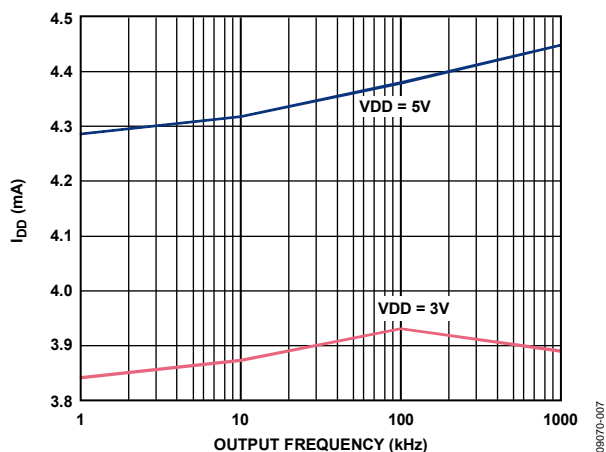


図 6.出力周波数対 I_{DD}
 $f_{MCLK} = 5$ MHz

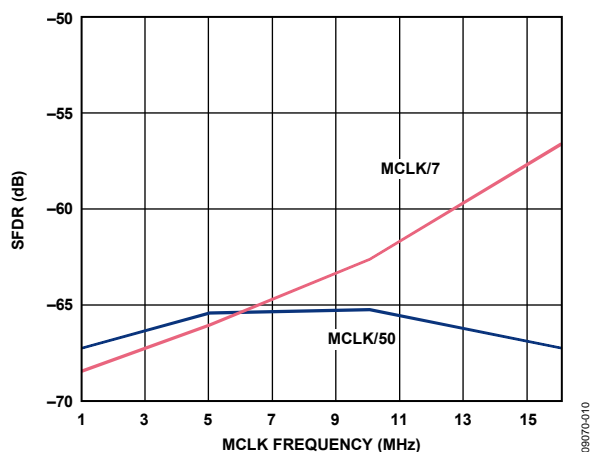


図 9.MCLK 周波数対広帯域 SFDR

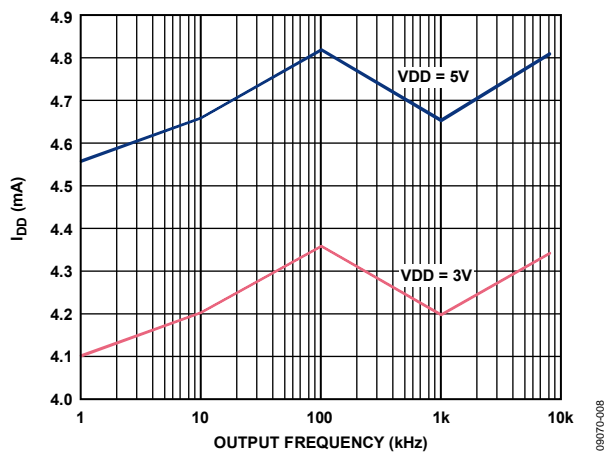


図 7.出力周波数対 I_{DD}
 $f_{MCLK} = 16$ MHz

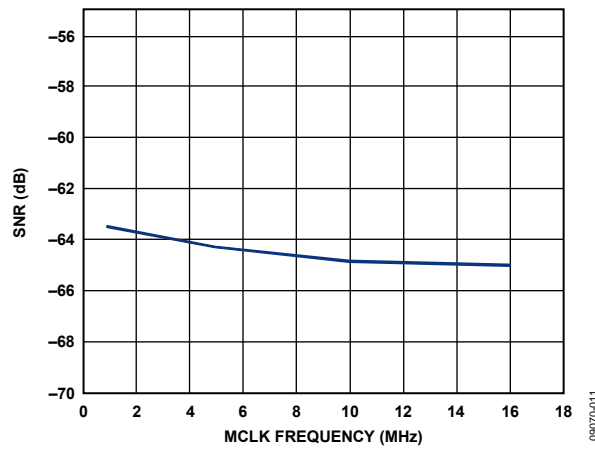


図 10.MCLK 周波数対 SNR

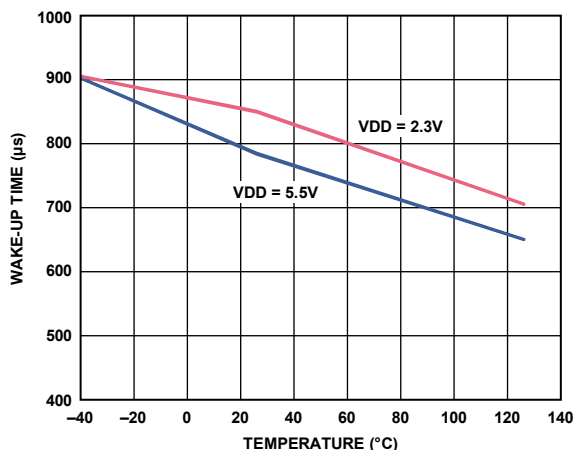


図 11. ウェイクアップ時間の温度特性

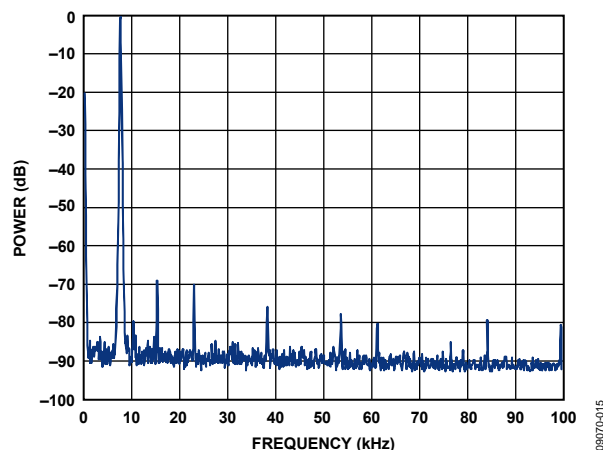


図 14. Power の周波数特性
 $f_{MCLK} = 16 \text{ MHz}$ 、 $f_{OUT} = 7.692 \text{ kHz}$
 周波数ワード = 0x1F81A

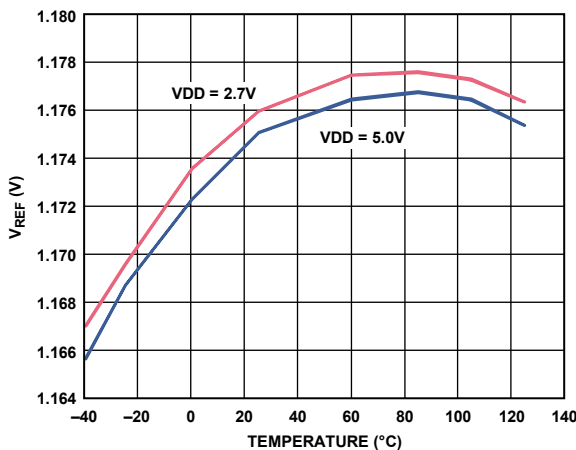


図 12. V_{REF} の温度特性

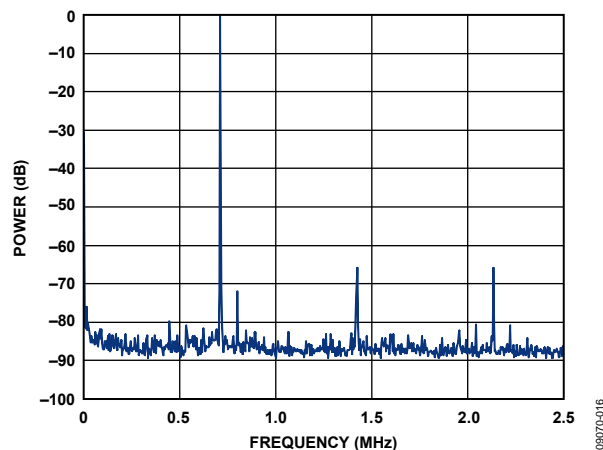


図 15. 消費電力の周波数特性
 $f_{MCLK} = 5 \text{ MHz}$ 、 $f_{OUT} = 0.714285 \text{ MHz} = f_{MCLK}/7$
 周波数ワード = 0x2492492

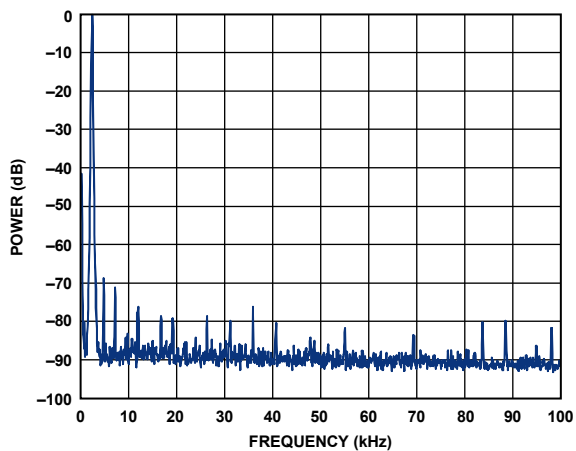


図 13. 消費電力の周波数特性
 $f_{MCLK} = 5 \text{ MHz}$ 、 $f_{OUT} = 2.4 \text{ kHz}$
 周波数ワード = 0x1F751

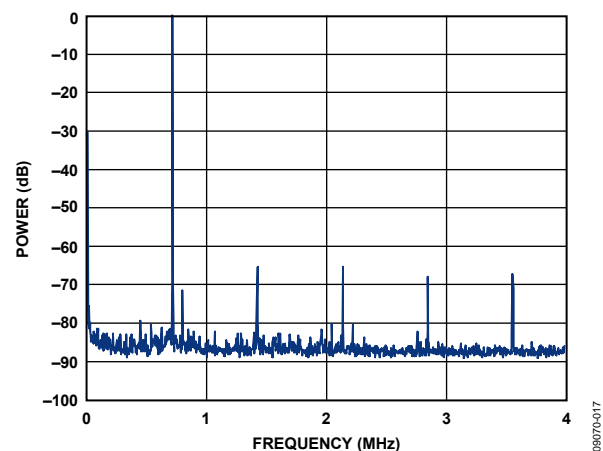


図 16. 消費電力の周波数特性
 $f_{MCLK} = 16 \text{ MHz}$ 、 $f_{OUT} = 2.285714 \text{ MHz} = f_{MCLK}/7$
 周波数ワード = 0x2492492

テスト回路

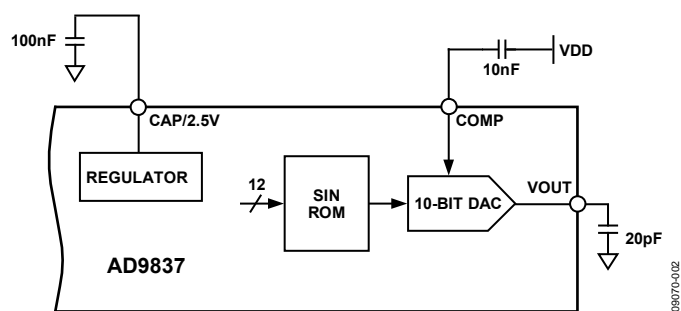


図 17. 仕様のテストに使用されたテスト回路

用語

積分非直線性(INL)

伝達関数の両端を結ぶ直線からのコードの最大偏差をいいます。伝達関数の両端とは、ゼロスケールすなわち最初のコード変化(000 ... 00→000 ... 01)より 0.5 LSB 下のポイントとフルスケールすなわち最後のコード変化(111 ... 10→111 ... 11)より 0.5 LSB 上のポイントをいいます。誤差は LSB 数で表されます。

微分非直線性(DNL)

ADC の 2 つの隣接コード間における 1LSB 変化の測定値と理論値の差をいいます。最大±1 LSB の DNL の仕様は、単調性を保証するものです。

出力コンプライアンス

出力コンプライアンスは、仕様を満たすために DAC 出力で発生できる最大電圧をいいます。出力コンプライアンスに規定された電圧より高い電圧が発生すると、AD9837 はデータシートに規定された仕様を満たすことができません。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

注目する周波数と一緒に、基本周波数の高調波とこれらの周波数のイメージが、DDS デバイスの出力に現れます。スプリアス・フリー・ダイナミック・レンジ(SFDR)は、注目する帯域内に現れる最大のスプリアスまたは高調波を意味します。広帯域 SFDR は、0 からナイキスト周波数までの帯域内での、基本波振幅を基準とした最大高調波振幅またはスプリアス振幅を与えます。狭帯域 SFDR は、基本周波数を中心とする±200 kHz 帯域幅内での最大スプリアスまたは高調波の減衰量を与えます。

総合高調波歪み(THD)

総合高調波歪み(THD)は、高調波の rms 値総和と基本波の比です。AD9837 の場合、THD は次のように定義されます。

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1}}$$

ここで、

V_1 は基本波の rms 振幅。

V_2, V_3, V_4, V_5, V_6 は、2 次～6 次の高調波の rms 振幅。

信号対ノイズ比(SNR)

SNR は、測定した出力信号 rms 値と、ナイキスト周波数より下のそれ以外の全スペクトル成分の rms 値総和との比です。SNR は、デシベル値で表されます。

クロックのフィードスルー

MCLK 入力からアナログ出力へのフィードスルーがあります。クロック・フィードスルーは、AD9837 の出力スペクトルでの基本周波数を基準とした MCLK 信号振幅を意味します。

動作原理

正弦波は一般に振幅形式で $a(t) = \sin(\omega t)$ のように表わされますが、正弦波は非線形であるため、直線近似でなければ発生は容易ではありません。一方、角度情報は本来線形です。すなわち、位相角は各単位時間に対して固定角度で回転します。角度レートは、伝統的なレート $\omega = 2\pi f$ で信号周波数に依存します。

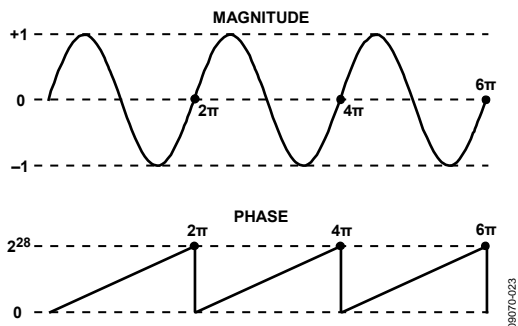


図 18.正弦波

正弦波位相は線形であることが既知で、かつリファレンス周期(クロック周期)が与えられると、この周期に対する位相回転は次式で表されます。

$$\Delta Phase = \omega \Delta t \quad (1)$$

ω について解くと、

$$\omega = \Delta Phase / \Delta t = 2\pi f \quad (2)$$

f について解き、リファレンス・クロック周波数にリファレンス周期 ($1/f_{MCLK} = \Delta t$) を代入すると、

$$f = \Delta Phase \times f_{MCLK} / 2\pi \quad (3)$$

AD9837 は、このシンプルな式に基づいて出力を形成します。数値制御発振器 (NCO)、位相変調器、SIN ROM、D/A コンバータ (DAC) の 3 つの主要サブ回路からなるシンプルな DDS チップで、この式を実現することができます。各サブ回路については回路説明のセクションで説明します。

AD9837 は、ナイキスト・サンプリング定理に従いサンプル信号を出力します。特に、この出力のスペクトルには、基本波、リファレンス・クロック周波数の整数倍に発生する偽信号 (イメージ)、選択した出力周波数が含まれます。このサンプル・スペクトルとイメージの図を図 19 に示します。

このイメージの強度は、 f_{OUT} と $MCLK$ の比に依存します。この比が小さい場合、イメージは非常に大きくなり、量子化された DAC 出力の $\sin(x)/x$ ロールオフ特性により決定される比較的高いエネルギー・レベルを持ちます。実際、 f_{OUT} とリファレンス・クロックの比に応じて、イメージは基本波より低い -3 dB のオーダーになることがあります。

イメージが出力帯域内に折り返される場合には外付けフィルタが必要になります。

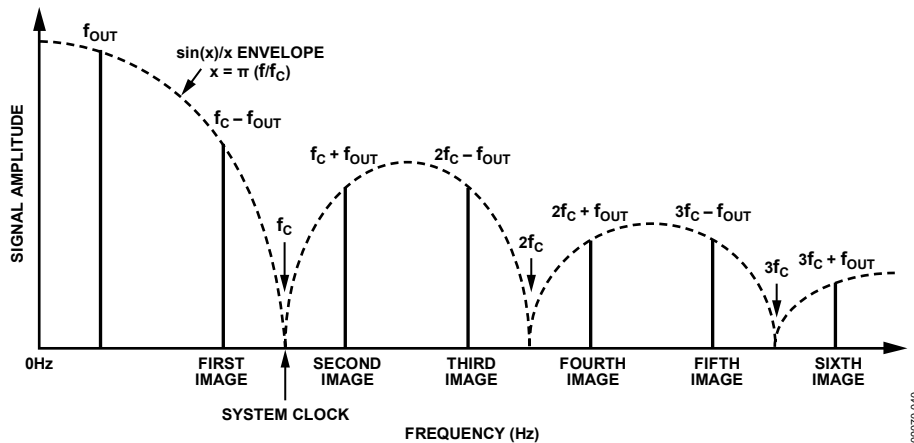


図 19.DAC 出力スペクトル

回路説明

AD9837 は、フル統合のダイレクト・デジタル・シンセシス (DDS) チップです。このチップで最大 8 MHz の正弦波をデジタル的に発生させるためには、リファレンス・クロックとデカップリング・コンデンサが必要です。このチップはこの RF 信号の発生に加え、広範囲でシンプルな変調方式と複雑な変調方式をサポートしています。これらの変調方式はすべてデジタル領域で実行されるため、複雑な変調アルゴリズムを DSP 技術を使って正確かつシンプルに実現することができます。

AD9837 の内部回路は、数値制御発振器 (NCO)、周波数/位相変調器、SIN ROM、D/A コンバータ、レギュレータのメイン・セクションから構成されています。

数値制御発振器と位相変調器

AD9837 は、2 個の周波数選択レジスタ、1 個の位相アキュムレータ、2 個の位相オフセット・レジスタ、1 個の位相オフセット加算器から構成されています。NCO の主要部は、28 ビットの位相アキュムレータです。連続時間信号は $0 \sim 2\pi$ の位相範囲を持っています。この範囲の値の外側では、正弦関数が周期的に繰り返されます。デジタル的に実現した場合も同じです。アキュムレータでは、位相値の範囲を複数ビットのデジタル・ワードへ単純にスケールします。AD9837 の位相アキュムレータは 28 ビットです。したがって、AD9837 では $2\pi = 2^{28}$ です。同様に、 ΔPhase 項は次の範囲の値にスケールされます。

$$0 < \Delta\text{Phase} < 2^{28} - 1$$

これらを代入すると、式 3 は次のようになります。

$$f = \Delta\text{Phase} \times f_{\text{MCLK}} 2^{28} \quad (4)$$

ここで、 $0 < \Delta\text{Phase} < 2^{28} - 1$ 。

位相アキュムレータ入力、FREQ0 レジスタまたは FREQ1 レジスタから選択することができ、コントロール・レジスタの FSEL ビットで制御されます。NCO は元々連続位相信号を発生するため、周波数を切り替える際に出力の不連続が回避されず。

12 ビット位相レジスタを使って位相変調を行うために、NCO の後ろで位相オフセットを加算することができます。これらの位相レジスタの 1 つの値が NCO の上位ビットに加算されます。AD9837 には 2 個の位相レジスタがあり、分解能は $2\pi/4096$ です。

SIN ROM

NCO 出力を使えるようにするためには、位相情報を正弦波値へ変換する必要があります。位相情報を直接振幅に対応させるため、SIN ROM ではデジタル位相情報をルックアップ・テーブルのアドレスとして使って、位相情報を振幅に変換しています。

NCO には 28 ビットの位相アキュムレータがありますが、NCO 出力は 12 ビットに切り詰められます。位相アキュムレータのフル分解能を使用することは、 2^{28} 個の値を収容するルックアップ・テーブルが必要となるため、現実的でなく必要でもありません。切り詰めによる誤差が 10 ビット DAC の分解能より小さくなるように、十分な位相分解能を持つことで済みます。このため、SIN ROM は 10 ビット DAC より 2 ビット多い位相分解能を持つ必要があります。

SIN ROM は、コントロール・レジスタの MODE ビット (ビット D1) を使ってイネーブルされます (表 16 参照)。

D/A コンバータ (DAC)

AD9837 はハイ・インピーダンスの 10 ビット電流源 DAC を内蔵しています。DAC は SIN ROM からデジタル・ワードを入力して対応するアナログ電圧へ変換します。

DAC はシングルエンド動作に構成されています。デバイスは 200Ω の抵抗を内蔵しているため外付け負荷抵抗は不要です。DAC は 0.6 V p-p (typ) の出力電圧を発生します。

レギュレータ

VDD は、AD9837 のアナログ・セクションとデジタル・セクションに必要とされる電源を供給します。この電源の電圧は $2.3 \text{ V} \sim 5.5 \text{ V}$ です。

AD9837 の内部デジタル部分は、 2.5 V で動作します。内蔵レギュレータは VDD に加えられた電圧を 2.5 V へ降圧します。VDD ピンに加えられた電圧が 2.7 V 以下の場合、CAP/2.5V を VDD に接続して内蔵レギュレータをバイパスする必要があります。

機能説明

シリアル・インターフェース

AD9837 は、SPI、QSPI™、MICROWIRE®、DSP インターフェースの各規格と互換性を持つ 3 線式シリアル・インターフェースを内蔵しています。

データは、シリアル・クロック入力 SCLK の制御のもとで 16 ビット・ワードとしてデバイスに入力されます。図 3 に、この動作タイミング図を示します。

FSYNC 入力はレベル・トリガ入力であり、フレーム同期信号とチップ・イネーブル入力として機能します。データは、FSYNC がロー・レベルのときにのみデバイスに転送できます。シリアル・データ転送を開始するときは、FSYNC をロー・レベルにして、FSYNC から SCLK の立下がりエッジまでの最小セットアップ時間 t_s を確保します。FSYNC がロー・レベルになった後、シリアル・データはクロック・パルスの 16 個の立下がりエッジで、デバイスの入力シフトレジスタにシフト入力されます。16 番目の SCLK パルスの立下がりエッジの後に FSYNC をハイ・レベルにすることができます。ただし、SCLK の立下がりエッジから FSYNC の立上がりエッジまでの最小時間 t_b を確保する必要があります。あるいは、FSYNC を SCLK パルス 16 個長の倍数の間ロー・レベルに維持して、データ転送の終わりにハイ・レベルにすることができます。この方法では、FSYNC がロー・レベルに維持されている間に、16 ビット・ワードの連続ストリームをロードすることができます。最後のワードをロードした 16 番目の SCLK 立下がりエッジの後で FSYNC はハイ・レベルになります。

SCLK は連続にすることができます。あるいは、書き込み動作と書き込み動作の間でハイ・レベルまたはロー・レベルにアイドルさせることができます。いずれの場合も、FSYNC がロー・レベル (t_{11}) のとき SCLK はハイ・レベルである必要があります。

AD9837 の設定方法については、アナログ・デバイセズのウェブサイトに [ある AN-1070 アプリケーション・ノート](#) を参照してください。AD9837 は、[AD9833/AD9834](#) と同じレジスタ設定値を持ちます。

遅延時間

遅延時間は、AD9837 の各非同期書き込み動作に関係しています。選択した周波数レジスタまたは位相レジスタに新しいワードをロードする場合、アナログ出力が変化するまでに MCLK で 7 サイクル分または 8 サイクル分の遅延があります。データがディステーション・レジスタにロードされたときの MCLK 立上がりエッジの位置に応じて、遅延は 7 サイクルまたは 8 サイクルになります。

コントロール・レジスタ

AD9837 には 16 ビットのコントロール・レジスタがあります。このレジスタを使って AD9837 の動作を設定します。MODE ビット以外のすべてのコントロール・ビットは、MCLK の内部立下がりエッジでサンプルされます。

図 20 にコントロール・ビットの機能を示します。表 7 にコントロール・レジスタの各ビットの説明を示します。AD9837 の様々な機能と種々の出力オプションは次のセクションで詳しく説明します。

コントロール・レジスタ値が変更されたことを AD9837 に知らせるために、表 6 に示すようにビット D15 とビット D14 に 0 を設定する必要があります。

表 6. コントロール・レジスタ・ビット

D15	D14	D13 to D0
0	0	Control bits

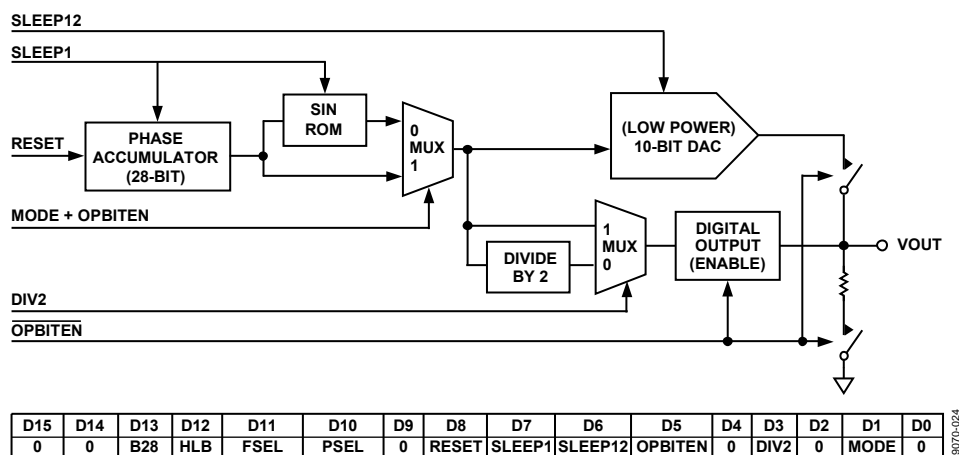


図 20. コントロール・ビットの機能

表 7. コントロール・レジスタのビット説明

Bit	Bit Name	Description
D13	B28	<p>Two write operations are required to load a complete word into either of the frequency registers.</p> <p>B28 = 1 allows a complete word to be loaded into a frequency register in two consecutive writes. The first write contains the 14 LSBs of the frequency word, and the second write contains the 14 MSBs. The first two bits of each 16-bit word define the frequency register to which the word is loaded and should, therefore, be the same for both consecutive writes. See Table 9 for the appropriate addresses. The write to the frequency register occurs after both words have been loaded, so the register never holds an intermediate value. An example of a complete 28-bit write is shown in Table 10. Note, however, that consecutive 28-bit writes to the same frequency register are not allowed; to execute consecutive 28-bit writes, you must alternate between the frequency registers.</p> <p>B28 = 0 configures the 28-bit frequency register to operate as two 14-bit registers, one containing the 14 MSBs and the other containing the 14 LSBs. In this way, the 14 MSBs of the frequency word can be altered independently of the 14 LSBs, and vice versa. To alter the 14 MSBs or the 14 LSBs, a single write is made to the appropriate frequency address. Bit D12 (HLB) informs the AD9837 whether the bits to be altered are the 14 MSBs or the 14 LSBs.</p>
D12	HLB	<p>This control bit allows the user to continuously load the MSBs or LSBs of a frequency register while ignoring the remaining 14 bits. This is useful if the complete 28-bit resolution is not required. The HLB bit is used in conjunction with the B28 bit (Bit D13). The HLB bit indicates whether the 14 bits to be loaded are transferred to the 14 MSBs or the 14 LSBs of the addressed frequency register. Bit D13 (B28) must be set to 0 to change the MSBs or LSBs of a frequency word separately. When Bit D13 (B28) is set to 1, the HLB bit is ignored.</p> <p>HLB = 1 allows a write to the 14 MSBs of the addressed frequency register.</p> <p>HLB = 0 allows a write to the 14 LSBs of the addressed frequency register.</p>
D11	FSEL	The FSEL bit defines whether the FREQ0 register or the FREQ1 register is used in the phase accumulator (see Table 8).
D10	PSEL	The PSEL bit defines whether the PHASE0 register data or the PHASE1 register data is added to the output of the phase accumulator (see Table 8).
D9	Reserved	This bit should be set to 0.
D8	RESET	<p>This bit controls the reset function.</p> <p>RESET = 1 resets internal registers to 0, which corresponds to an analog output of midscale.</p> <p>RESET = 0 disables the reset function (see the Reset Function section).</p>
D7	SLEEP1	<p>This bit enables or disables the internal MCLK.</p> <p>SLEEP1 = 1 disables the internal MCLK. The DAC output remains at its present value because the NCO is no longer accumulating.</p> <p>SLEEP1 = 0 enables the internal MCLK (see the Sleep Function section).</p>
D6	SLEEP12	<p>This bit powers down the on-chip DAC.</p> <p>SLEEP12 = 1 powers down the on-chip DAC. This is useful when the AD9837 is used to output the MSB of the DAC data.</p> <p>SLEEP12 = 0 implies that the DAC is active (see the Sleep Function section).</p>
D5	OPBITEN	<p>This bit, in association with the MODE bit (Bit D1), controls the output at the VOUT pin (see Table 16).</p> <p>OPBITEN = 1 causes the output of the DAC to no longer be available at the VOUT pin. Instead, the MSB (or MSB/2) of the DAC data is connected to the VOUT pin. This output is useful as a coarse clock source. The DIV2 bit (Bit D3) controls whether the VOUT pin outputs the MSB or the MSB/2.</p> <p>OPBITEN = 0 connects the output of the DAC to VOUT. The MODE bit (Bit D1) determines whether the output is sinusoidal or triangular.</p>
D4	Reserved	This bit must be set to 0.
D3	DIV2	<p>DIV2 is used in association with Bit D5 (OPBITEN). See Table 16.</p> <p>DIV2 = 1 causes the MSB of the DAC data to be output at the VOUT pin.</p> <p>DIV2 = 0 causes the MSB/2 of the DAC data to be output at the VOUT pin.</p>
D2	Reserved	This bit must be set to 0.
D1	MODE	<p>This bit, in association with the OPBITEN bit (Bit D5), controls the output at the VOUT pin when the on-chip DAC is connected to VOUT. This bit should be set to 0 if the OPBITEN bit is set to 1 (see Table 16).</p> <p>MODE = 1 bypasses the SIN ROM, resulting in a triangle output from the DAC.</p> <p>MODE = 0 uses the SIN ROM to convert the phase information into amplitude information, resulting in a sinusoidal signal at the output. (The OPBITEN bit (Bit D5) must also be set to 0 for sinusoidal output.)</p>
D0	Reserved	This bit must be set to 0.

周波数レジスタと位相レジスタ

AD9837には表 8に示す 2 個の周波数レジスタと 2 個の位相レジスタがあります。

表 8.周波数レジスタと位相レジスタ

Register	Size	Description
FREQ0	28 bits	Frequency Register 0. When the FSEL bit = 0, the FREQ0 register defines the output frequency as a fraction of the MCLK frequency.
FREQ1	28 bits	Frequency Register 1. When the FSEL bit = 1, the FREQ1 register defines the output frequency as a fraction of the MCLK frequency.
PHASE0	12 bits	Phase Offset Register 0. When the PSEL bit = 0, the contents of the PHASE0 register are added to the output of the phase accumulator.
PHASE1	12 bits	Phase Offset Register 1. When the PSEL bit = 1, the contents of the PHASE1 register are added to the output of the phase accumulator.

AD9837 のアナログ出力は、

$$f_{MCLK}/2^{28} \times FREQREG$$

ここで、*FREQREG* は選択された周波数レジスタへロードする値です。

この信号は、次の値だけ位相シフトされます。

$$2\pi/4096 \times PHASEREG$$

ここで、*PHASEREG* は選択した位相レジスタの値です。

選択した出力周波数とリファレンス・クロック周波数の関係は、出力異常を回避するように考慮する必要があります。

図 24のフローチャートに、AD9837 の周波数レジスタと位相レジスタへの書き込みルーチンを示します。

周波数レジスタへの書き込み

周波数レジスタへ書き込む際、コントロール・レジスタのビット D15 とビット D14 が周波数レジスタのアドレスになります (表 9 参照)。

表 9.周波数レジスタのビット

D15	D14	D13 to D0
0	1	14 FREQ0 register bits
1	0	14 FREQ1 register bits

周波数レジスタは 28 ビット幅であるため、周波数レジスタ全体を変更するときは、同じアドレスへ 2 回連続書き込みを行う必要があります。最初の書き込みでは下位 14 ビットを、2 回目の書き込みでは上位 14 ビットを書き込みます。この動作モードの場合、B28 コントロール・ビット (ビット D13) に 1 を設定する必要があります。28 ビット書き込みの例を表 10 に示します。

表 10.FREQ0 レジスタへの 0xFFFC000 の書き込み

SDATA Input	Result of Input Word
0010 0000 0000 0000	Control word write (D15, D14 = 00), B28 (D13) = 1, HLB (D12) = X
0100 0000 0000 0000	FREQ0 register write (D15, D14 = 01), 14 LSBs = 0x0000
0111 1111 1111 1111	FREQ0 register write (D15, D14 = 01), 14 MSBs = 0x3FFF

ただし、同じ周波数レジスタへ連続書き込みを行うと、書き込み中に中間的な更新が発生することに注意してください。周波数スイープまたは同様な動作が必要な場合、2 つの周波数レジスタ間で切り替えることが推奨されます。

アプリケーションによっては、周波数レジスタの全 28 ビットを変更する必要がない場合があります。粗調整では上位 14 ビットのみが変更され、微調整では下位 14 ビットのみが変更されます。B28 コントロール・ビット (ビット D13) に 0 を設定することにより、28 ビットの周波数レジスタは 2 個の 14 ビット・レジスタとして動作し、一方は上位 14 ビットを、他方は下位 14 ビットを格納します。この方法では、周波数ワードの上位 14 と下位 14 ビットを独立に変更することができます。コントロール・レジスタの HLB ビット (ビット D12) は、変更対象の 14 ビットを指定します (表 11 と表 12 参照)。

表 11.FREQ1 レジスタの下位 14 ビットへの 0x3FFF の書き込み

SDATA Input	Result of Input Word
0000 0000 0000 0000	Control word write (D15, D14 = 00), B28 (D13) = 0, HLB (D12) = 0, that is, LSBs
1011 1111 1111 1111	FREQ1 register write (D15, D14 = 10), 14 LSBs = 0x3FFF

表 12.FREQ0 レジスタの上位 14 ビットへの 0x00FF の書き込み

SDATA Input	Result of Input Word
0001 0000 0000 0000	Control word write (D15, D14 = 00), B28 (D13) = 0, HLB (D12) = 1, that is, MSBs
0100 0000 1111 1111	FREQ0 register write (D15, D14 = 01), 14 MSBs = 0x00FF

位相レジスタへの書き込み

位相レジスタへ書き込む際、ビット D15 とビット D14 に 11 を設定します。ビット D13 はロードする位相レジスタを指定します。

表 13.位相レジスタのビット

D15	D14	D13	D12	D11 to D0
1	1	0	X	12 PHASE0 register bits
1	1	1	X	12 PHASE1 register bits

リセット機能

リセット機能は、該当する内部レジスタを 0 にリセットしてアナログ出力をミッドスケールにします。リセットでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットされません。AD9837 がパワーアップするとき、デバイスをリセットする必要があります (AD9837 のパワーアップのセクション参照)。AD9837 をリセットするときは、RESET ビットに 1 を設定します。デバイスをリセットから抜け出させるときは、このビットに 0 を設定します。RESET ビットに 0 を設定した後、MCLK で 7 または 8 サイクル後に DAC 出力に信号が現れます。

表 14. リセット機能の実行

RESET Bit	Result
0	No reset applied
1	Internal registers reset

スリープ機能

AD9837 の使用しない部分をパワーダウンさせることができます。スリープ機能を使ってデバイス消費電流を小さくすることができます。パワーダウンできるチップの部分は、内部クロックと DAC です。スリープ機能に必要なとされるビットを表 15 に示します。

表 15. スリープ機能の実行

SLEEP1 Bit	SLEEP12 Bit	Result
0	0	No power-down
0	1	DAC powered down
1	0	Internal clock disabled
1	1	DAC powered down and internal clock disabled

DAC のパワーダウン

AD9837 を使用して DAC データの上位ビットだけを出力するときは、DAC は不要です。SLEEP12 ビットを使って DAC をパワーダウンさせて消費電力を小さくすることができます。

内部クロックのディスエーブル

AD9837 の内部クロックをディスエーブルすると、NCO が累算できなくなるため DAC 出力は既定値を維持します。SLEEP1 コントロール・ビットがアクティブのとき、新しい周波数ワード、位相ワード、コントロール・ワードをデバイスへ書込むことができます。同期クロック (FSYNC) はアクティブのままであるため、コントロール・ビットを使って、選択した周波数レジスタと位相レジスタも変更することができます。SLEEP1 ビットに 0 を設定すると、MCLK がイネーブルされます。SLEEP1 がアクティブのときに変更したレジスタは、遅延時間の経過後に出力に現れます (遅延時間のセクション参照)。

VOUT ピン

AD9837 は様々なチップ出力を提供し、これらすべては VOUT ピンから出力されます。使用可能な出力は DAC データの上位ビット、すなわち正弦波出力または三角波出力です。

OPBITEN ビットと MODE ビット (コントロール・レジスタのビット D5 とビット D1) を使って、AD9837 の出力を指定します (表 16 参照)。

表 16. VOUT ピンの出力

OPBITEN Bit	MODE Bit	DIV2 Bit	VOUT Pin Output
0	0	X	Sinusoid
0	1	X	Triangle
1	0	0	DAC data MSB/2
1	0	1	DAC data MSB
1	1	X	Reserved

DAC データの上位ビット

AD9837 から DAC データの上位ビットを出力することができます。OPBITEN ビット (ビット D5) に 1 を設定すると、DAC データの上位ビットが VOUT ピンに出力されます。これは、粗調整クロック・ソースとして役立ちます。この方形波は 2 分周して出力することもできます。コントロール・レジスタの DIV2 ビット (ビット D3) は、VOUT ピンのこの出力の周波数を制御します。

正弦波出力

SIN ROM は周波数レジスタと位相レジスタの位相情報を振幅情報へ変換して、出力に正弦波信号を発生させます。VOUT ピンから正弦波を出力させるときは、MODE ビット (ビット D1) に 0 を、OPBITEN ビット (ビット D5) に 0 を、それぞれ設定します。

三角波出力

NCO の切り詰めたデジタル出力を DAC へ渡すために、SIN ROM をバイパスさせることができます。この場合、出力は正弦波でなくなります。DAC は 10 ビットの直線的な三角波関数を発生します (図 21 参照)。VOUT ピンから三角波を出力させるときは、MODE ビット (ビット D1) に 1 を、OPBITEN ビット (ビット D5) に 0 を、それぞれ設定します。

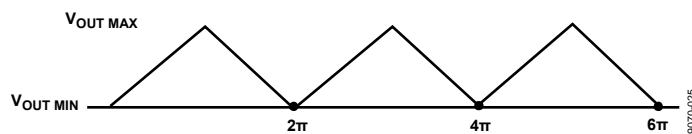
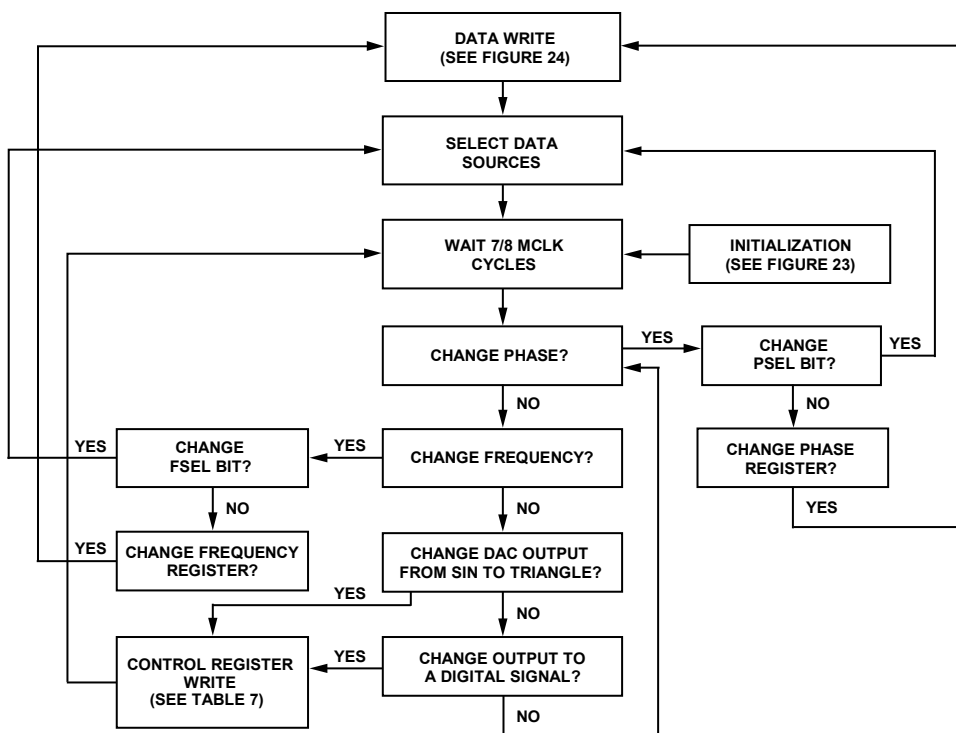


図 21. Triangle 出力

AD9837 のパワーアップ

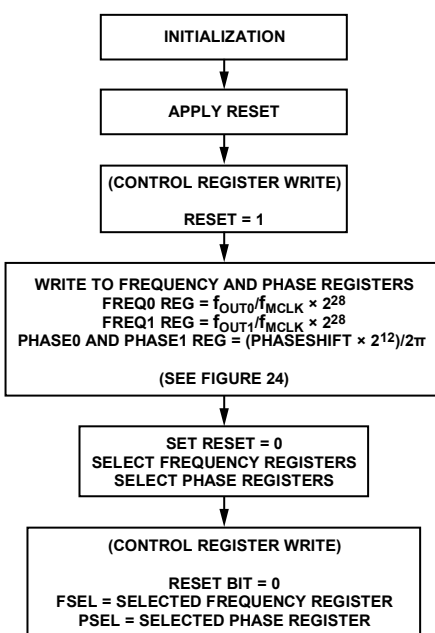
図 22 のフローチャートに、AD9837 の動作ルーチンを示します。AD9837 がパワーアップするとき、デバイスをリセットする必要があります。このリセット機能は、該当する内部レジスタを 0 にリセットしてアナログ出力をミッドスケールにします。AD9837 初期化時に余分な DAC 出力が生じないようにするため、デバイスが出力を発生できるようになるまで RESET ビットに 1 を設定する必要があります。

リセットでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットされません。これらのレジスタには無効なデータが格納されることがあるため、ユーザが既知値を設定する必要があります。その後で RESET ビットに 0 を設定して、出力の発生を開始させる必要があります。RESET ビットに 0 を設定してから MCLK で 7 または 8 サイクル後に DAC 出力にデータが現れます。



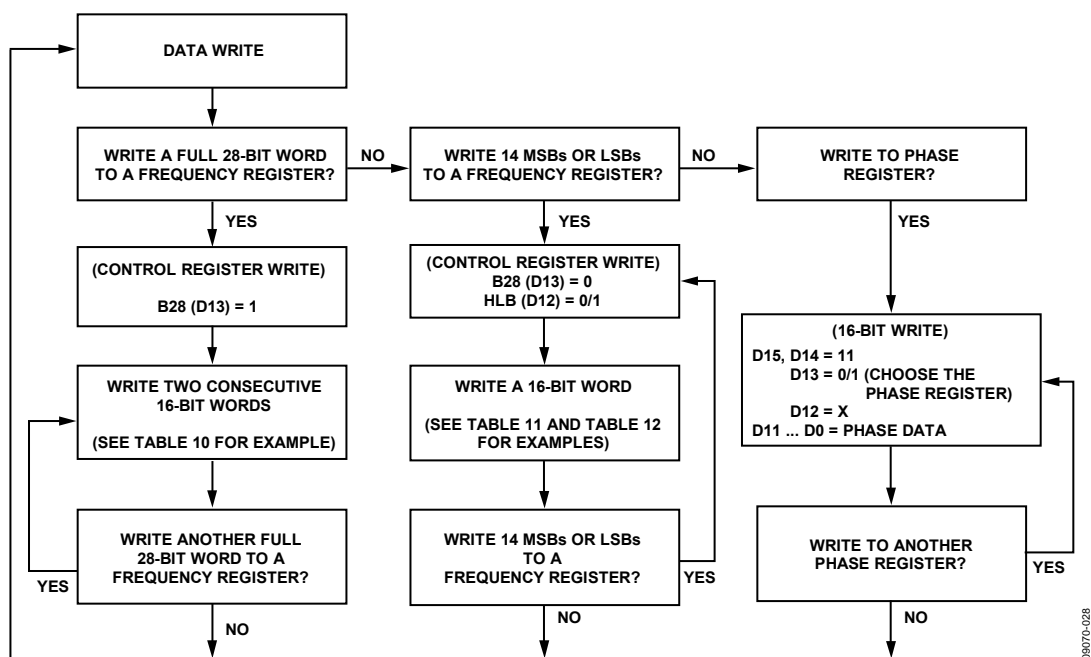
09870-026

図 22. AD9837 の初期化と動作のフローチャート



09870-027

図 23. 初期化のフローチャート



09A070-028

図 24. データ書き込みのフローチャート

アプリケーション情報

AD9837 には種々の出力オプションがあるため、このデバイスは変調アプリケーションなどの広範囲なアプリケーションに適しています。AD9837 は、周波数シフト・キーイング (FSK) のようなシンプルな変調に使用することができます。ガウス最小シフト・キーイング (GMSK) や直交位相シフト・キーイング (QPSK) のような複雑な変調方式も、AD9837 を使って実現することができます。

FSK アプリケーションでは、AD9837 の 2 個の周波数レジスタに異なる値をロードします。一方の周波数はスペース周波数を、他方はマーク周波数を、それぞれ表します。AD9837 コントロール・レジスタの FSEL ビットを使って、キャリア周波数を 2 つの値の間で変調することができます。

AD9837 には 2 個の位相レジスタがあるため、このデバイスで位相シフト・キーイング (PSK) を実行することができます。PSK では、キャリア周波数を位相シフトさせます。すなわち、変調器へのビット・ストリーム入力に関係した大きさだけ位相を変化させます。

また、AD9837 は信号ジェネレータ・アプリケーションにも適しています。DAC データの上位ビットが VOUT ピンに出力されるため、このデバイスを使って方形波を発生させることができます。

このデバイスは消費電流が小さいため、ローカル発振器として使用するアプリケーションにも適しています。

グラウンド接続とレイアウト

AD9837 を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するようにデザインする必要があります。そうすることにより、グラウンド・プレーンの使用が可能になり、それらを容易に分離できるようになります。一般に、エッチング部分を最小すると、最適なシールド効果を持つため、この方法はグラウンド・プレーンに最適です。デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは 1 点で接続する必要があります。AD9837 が AGND と DGND との接続を必要とする唯一のデバイスである場合は、これらのグラウンド・プレーンを AD9837 の AGND ピンと DGND ピンで接続する必要があります。複数のデバイスが AGND と DGND の接続を必要とするシステム内で AD9837 を使用する場合にも、この接続は 1 ヶ所で行う必要があります。すなわち、AD9837 のできるだけ近くで星型グラウンド接続点を構成します。

ノイズがチップに混入するので、デバイスの真下をデジタル・ラインが通らないようにしてください。ノイズ混入を防止するため、アナログ・グラウンド・プレーンが AD9837 の下を通過することは可能です。AD9837 の電源ラインはできるだけ太いパターンにしてインピーダンスを下げ、電源ライン上のグリッチによる影響を軽減させます。クロックなどの高速なスイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分に対するノイズの放射を防止します。

デジタル信号とアナログ信号の交差は回避する必要があります。ボードの反対側のパターンは、互いに右角度となるように配置してボードを通過するフィードスルー効果を減少させます。マイクロストリップ技術の使用は最善ですが、両面ボードでは常に使用できるとは限りません。この技術では、ボードの部品面はグラウンド・プレーン専用にして、信号は反対面に配線します。

デカップリングを正しく行うことも重要です。AD9837 には、0.1 μF のコンデンサと 10 μF のタンタル・コンデンサの並列接

続による電源デカップリングが必要です。デカップリング部品の効果を最大にするためには、これらの部品をデバイスのできるだけ近くに、理想的にはデバイスの隣に配置します。

マイクロプロセッサとのインターフェース

AD9837 は、幾つかのマイクロプロセッサと直接インターフェースできる標準シリアル・インターフェースを内蔵しています。このデバイスは外部シリアル・クロックを使って、データまたは制御情報をデバイスへ書込みます。シリアル・クロックの最大周波数は 40 MHz です。シリアル・クロックは連続にすることができます。あるいは、書込み動作と書込み動作の間でハイ・レベルまたはロー・レベルにアイドルさせることができます。データまたは制御情報を AD9837 へ書込む際、FSYNC をロー・レベルにして、16 ビットのデータが AD9837 へ書込まれるまでロー・レベルを維持します。FSYNC 信号は、AD9837 へロードされる 16 ビットの情報をフレーム化します。

AD9837 と 68HC11/68L11 とのインターフェース

図 25 に、AD9837 と 68HC11/68L11 マイクロコントローラとの間のシリアル・インターフェースを示します。SPCR の MSTR ビットに 1 を設定して、マイクロコントローラをマスターとして構成します。この設定では、シリアル・クロックが SCK に出力され、MOSI 出力がシリアル・データライン SDATA を駆動します。マイクロコントローラには専用フレーム同期ピンがないため、FSYNC 信号をポート・ライン (PC7) から発生させます。インターフェース動作のセットアップ条件は次のようになります。

- 書込み動作と書込み動作の間に SCK はハイ・レベルにアイドルします (CPOL = 0)。
- データは SCK の立下がりエッジで有効になります (CPHA = 1)。

データが AD9837 に送信される時、FSYNC ライン (PC7) はロー・レベルになります。シリアル・データは 68HC11/68L11 から 8 ビット・バイトで転送され、送信サイクル内の 8 個の立下がりクロック・エッジが使用されます。データは MSB ファーストで転送されます。データを AD9837 にロードするときは、最初の 8 ビットが転送された後にも PC7 をロー・レベルのままにして、AD9837 に対して 2 番目のシリアル書込み動作を実行します。2 番目の 8 ビットが転送された後にも、FSYNC をハイ・レベルに戻す必要があります。

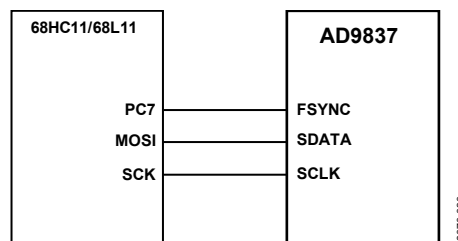


図 25. 68HC11/68L11 と AD9837 とのインターフェース

AD9837 と 80C51/80L51 とのインターフェース

図 26 に、AD9837 と 80C51/80L51 マイクロコントローラとの間のシリアル・インターフェースを示します。このマイクロコントローラはモード 0 で動作して、80C51/80L51 のTxDがAD9837 の SCLK を駆動し、RxDがシリアル・データラインSDATA を駆動します。FSYNC 信号は、この場合もポートのビット・プログラム可能なピンから発生されます(P3.3 は図 26 に示します)。

データが AD9837 に転送される時、P3.3 はロー・レベルになります。80C51/80L51 はデータを 8 ビット・バイトで転送するため、各サイクル内の 8 個の SCLK 立下がりクロック・エッジのみを使います。残りのデータを AD9837 にロードするため、最初の 8 ビットが転送された後も P3.3 をロー・レベルのままにして、2 番目の書き込みサイクルを実行し、データの 2 番目のバイトの転送を開始します。この 2 番目のサイクルの完了後に P3.3 をハイ・レベルにします。SCLK は、2 つの書き込み動作の間にアイドルのハイ・レベルにする必要があります。

80C51/80L51 は、LSB ファーストのフォーマットでシリアル・データを出します。AD9837 は MSB ファーストで受け取ります(上位 4 ビットは制御情報で、次の 4 ビットはアドレス、下位 8 ビットはディスティネーション・レジスタへ書込む際のデータです)。このため、80C51/80L51 の送信ルーチンはこのことを考慮して、上位ビットが先に出力されるようにビットを並べ変える必要があります。

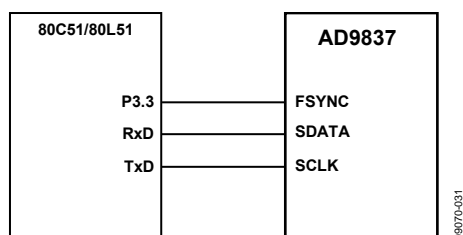


図 26. AD9837 と 80C51/80L51 とのインターフェース

AD9837 と DSP56002 とのインターフェース

図 27 に、AD9837 と DSP56002 との間のインターフェースを示します。DSP56002 は、ゲーティングされた内部クロックを使う通常モードの非同期動作に設定します (SYN = 0、GCK = 1、SCKD = 1)。フレーム同期は内部で発生され (SC2 = 1)、転送は 16 ビット幅 (WL1 = 1、WL0 = 0)、フレーム同期信号により 16 ビットにフレーム化 (FSL = 0) します。フレーム同期信号は SC2 ピンに出力されますが、反転した後に AD9837 へ入力されます。DSP56000/DSP56001 とのインターフェースは、DSP56002 とのインターフェースと同じです。

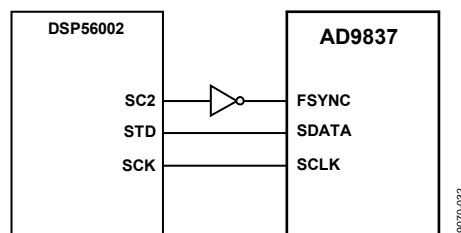


図 27. DSP56002 と AD9837 とのインターフェース

評価用ボード

AD9837 評価用ボードを使うと、この高性能 AD9837 DDS 変調器を容易に評価することができます。

システム・デモストレーション・プラットフォーム

システム・デモストレーション・プラットフォーム (SDP) は、製品評価用ボードと組み合わせて使うハードウェアとソフトウェアの評価ツールです。SDP ボードはBlackfin® ADSP-BF527 プロセッサを採用し、USB 2.0 高速ポートを介してPCにUSB接続することができます。詳細については、SDP ボード製品ページをご覧ください。

SDP ボードはAD9837 評価用ボードと別に販売されていることに注意してください。

AD9837 とSPORTとのインターフェース

アナログ・デバイゼスのSDP ボードには、AD9837のシリアル入力の制御に使われるSPORT シリアル・ポートがあります。この接続を図 28に示します。

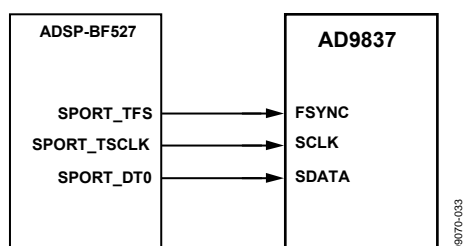


図 28.SDP と AD9837 とのインターフェース

評価キット

DDS 評価キットには、実装/テスト済みのAD9837 プリント回路ボード (PCB)が含まれています。評価用ボードの回路図を図 30と図 31に示します。

評価キットに添付されているソフトウェアを使うと、AD9837を容易に設定することができます (図 29参照)。評価ソフトウェアは、Microsoft® Windows® ソフトウェア (Windows 7など)をインストールしたIBM互換 PCで動作します。ソフトウェアは、32ビットと 64ビットのオペレーティング・システムに互換です。

評価ソフトウェアの詳細は、ソフトウェア CDとAD9837 製品ページで提供しています。

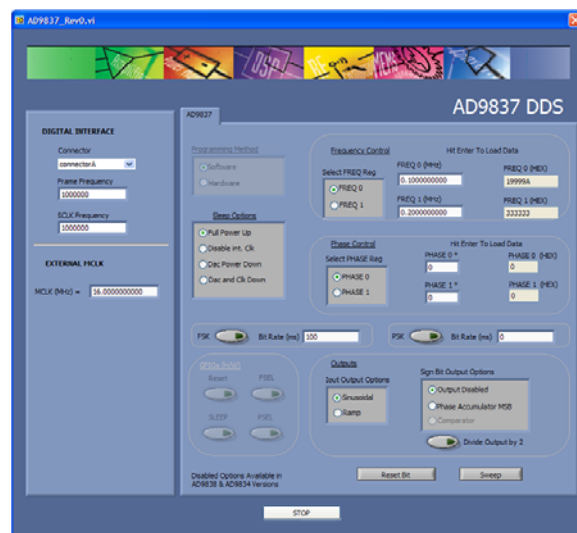


図 29.AD9837 評価ソフトウェア・インターフェース

水晶発振器対外部クロック

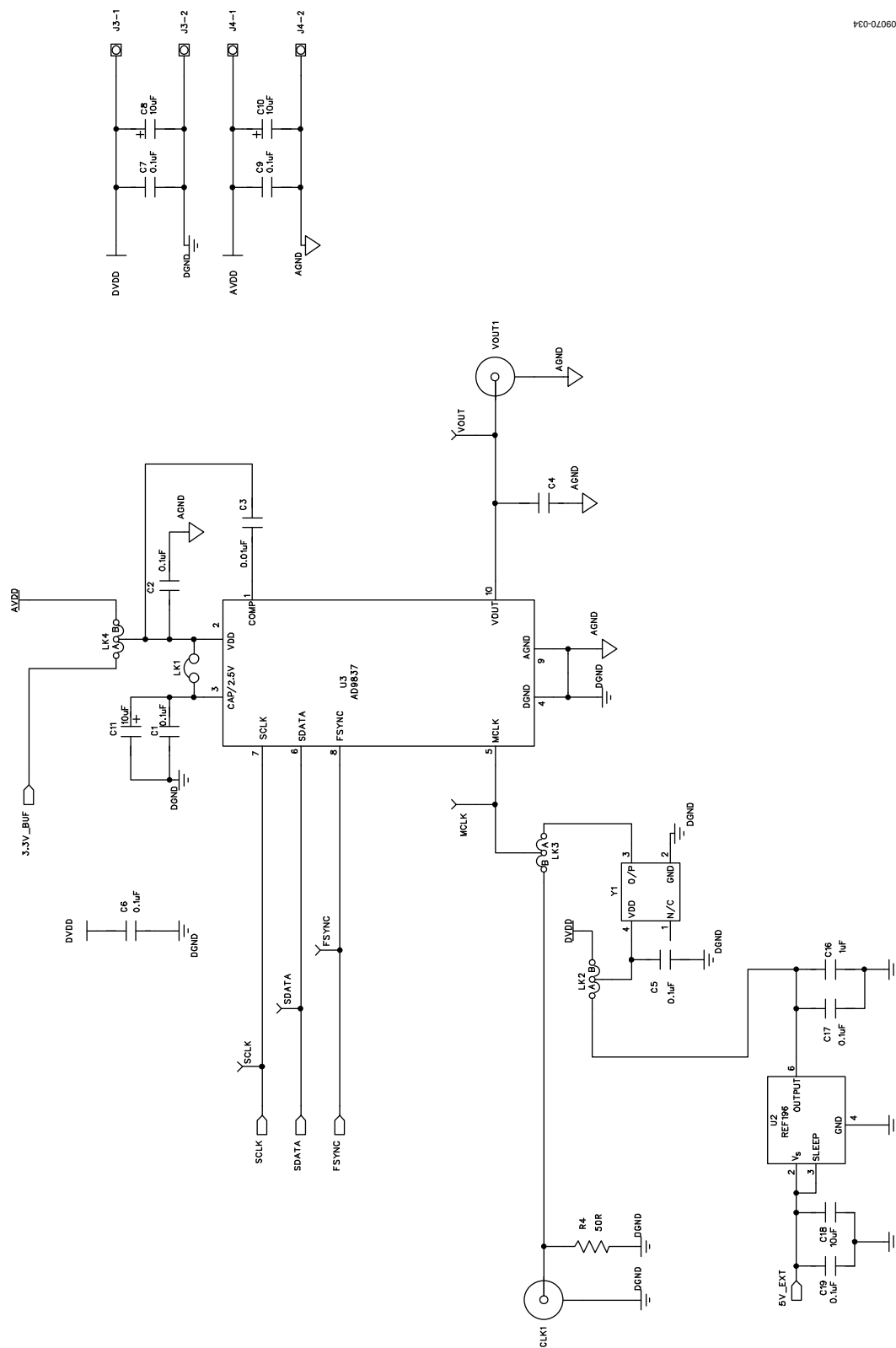
AD9837は、最大 16 MHzのマスター・クロックで動作することができます。16 MHzの発振器は評価用ボードに添付されています。この発振器は、必要に応じて取り外すことができますので、外部 CMOS クロックをデバイスに接続することができます。一般的な発振器に対するオプションには次が含まれます。

- AEL 301 シリーズ発振器、AEL Crystals 社
- SG-310SCN 発振器、Epson Electronics 社

電源

AD9837 評価用ボードの電源は、USB コネクタまたはピン接続を使い外部から供給することができます。グラウンド・ループを少なくするため、電源リードは撚り線にする必要があります。

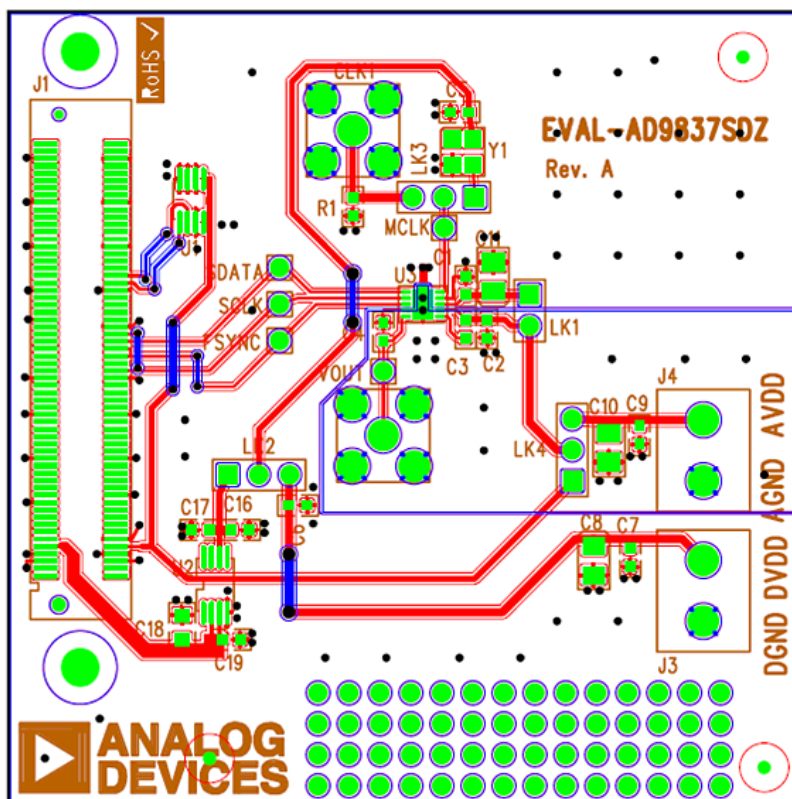
評価用ボードの回路図



90270-034

図 30. 評価用ボードの回路図

評価用ボードのレイアウト



EVAL-AD9837SDZ (Rev. A) - Component Side View

Layer 1 - Component Side

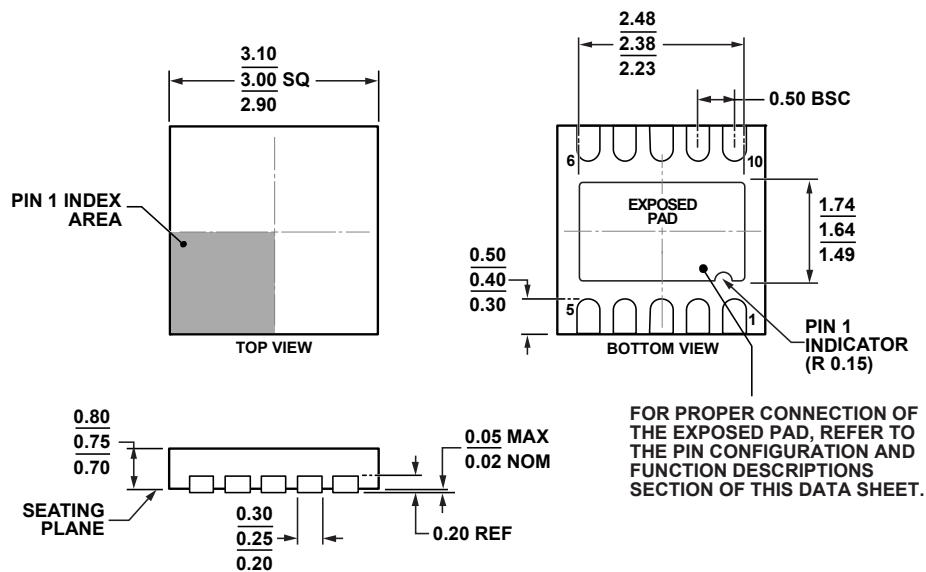
Layer 2 - Solder Side

Silkscreen

09070-039

図 32. 評価用ボードのレイアウト

外形寸法



121009-A

図 33. 10 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WD]
 3 mm × 3 mm ボディ、極薄、デュアル・リード
 (CP-10-9)
 寸法: mm

オーダー・ガイド

Model ^{1,2}	Temperature Range	Max MCLK	Package Description	Package Option	Branding
AD9837BCPZ-RL	-40°C to +125°C	16 MHz	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-9	DGH
AD9837BCPZ-RL7	-40°C to +125°C	16 MHz	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-9	DGH
AD9837ACPZ-RL	-40°C to +125°C	5 MHz	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-9	DGG
AD9837ACPZ-RL7	-40°C to +125°C	5 MHz	10-Lead Lead Frame Chip Scale Package [LFCSP_WD]	CP-10-9	DGG
EVAL-AD9837SDZ			Evaluation Board		

¹ Z = RoHS 準拠製品。

² AD9837 評価用ボードにはシステム・デモストレーション・プラットフォーム(SDP)ボードが必要で、別に販売されています。