



4 A出力の 絶縁型高精度ハーフ・ブリッジ・ドライバ

データシート

ADuM3224/ADuM4224

特長

ピーク出力電流: 4 A

動作電圧

入力を基準とするハイサイドまたはローサイド: 565 V_{PEAK}

高周波動作: 最大 1 MHz

3.3 V~5 V CMOS 入力ロジック

出力駆動: 4.5 V~18 V

2次側 UVLO

ADuM3224A/ADuM4224A: 4.1 V V_{DDA}/V_{ddb} での UVLO

ADuM3224B/ADuM4224B: 6.9 V V_{DDA}/V_{ddb} での UVLO

ADuM3224C/ADuM4224C: 10.5 V V_{DDA}/V_{ddb} での UVLO

高精度なタイミング特性

最大 59 ns のアイソレータおよびドライバ伝搬遅延

最大チャンネル間ミスマッチング: 5 ns

CMOS 入力ロジック・レベル

高い同相モード過渡電圧耐性: 25 kV/μs 以上

IEC 61000-4-x に準拠してシステム・レベル ESD 性能を強化

高いジャンクション温度動作: 125°C

デフォルトでロー・レベル出力

安全性と規制の認定(申請中)

ADuM3224 16ピン・ナローボディ SOIC

入力-出力間耐圧: UL1577 3,000 V rms

ADuM4224 16ピン・ワイドボディ SOIC

入力-出力間耐圧: UL1577 5,000 V rms

車載アプリケーション用に認定済み

アプリケーション

スイッチング電源

絶縁型 IGBT/MOSFET ゲートの駆動

工業用インバータ

概要

ADuM3224/ADuM4224¹ は、アナログ・デバイセズの iCoupler® 技術を採用して、独立した絶縁型ハイサイド出力とローサイド出力を提供する 4 A の絶縁型ハーフ・ブリッジ・ゲート・ドライバです。ADuM3224 はナロー・ボディの 16 ピン SOIC パッケージで 3000 V rms のアイソレーションを、ADuM4224 はワイド・ボディ 16 ピン SOIC パッケージで 5000 V rms のアイソレーションを、それぞれ提供します。これらのアイソレーション・デバイスは高速 CMOS 技術とモノリシック・トランス技術の組み合わせにより、パルス・トランスとゲート・ドライバの組み合わせなどの置換え品より優れた性能特性を提供します。

各 ADuM3224/ADuM4224 アイソレータは、独立した絶縁型ドライバ・チャンネルを 2 チャンネル内蔵しています。これらのデ

バイスは 3.0 V~5.5 V の入力電源で動作し、より低い電圧のシステムとも互換性を有しています。ADuM3224/ADuM4224 は、高電圧レベル変換方式を採用するゲート・ドライバと比較すると、入力と各出力との間で真の電流アイソレーションを提供する利点を持っています。各出力は、入力を基準として最大 560 V_{PEAK} で連続動作することができるため、負電圧までのローサイド・スイッチングをサポートすることができます。ハイサイドとローサイドとの間の差動電圧は 800 V_{PEAK} まで高くすることができます。

この特長により、ADuM3224/ADuM4224 は広い範囲の正または負のスイッチング電圧に対して、IGBT/MOSFET 構成のスイッチング特性について信頼度の高い制御を行うことができます。

¹米国特許 5,952,849; 6,873,065; 7,075,239 で保護されています。その他の特許は申請中です。

機能ブロック図

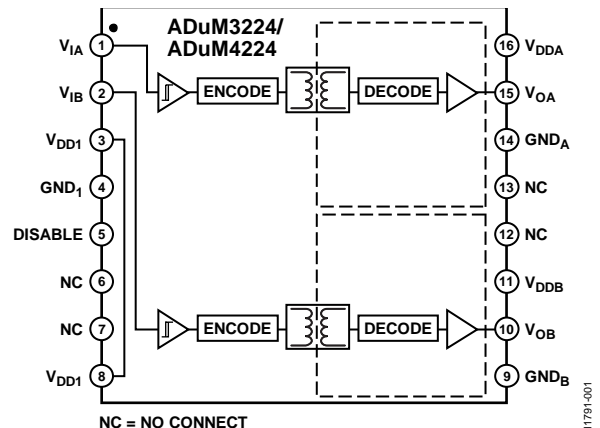


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	ピン配置およびピン機能説明.....	10
アプリケーション.....	1	代表的な性能特性.....	11
機能ブロック図.....	1	アプリケーション情報.....	14
概要.....	1	プリント回路ボードのレイアウト.....	14
改訂履歴.....	2	低電圧ロックアウト機能.....	14
仕様.....	3	伝搬遅延に関するパラメータ.....	14
電気的特性—5 V 動作.....	3	熱的制約とスイッチ負荷特性.....	14
電気的特性—3.3 V 動作.....	4	出力負荷特性.....	14
パッケージ特性.....	5	ブートストラップ・ハーフ・ブリッジ動作.....	15
絶縁および安全性関連の仕様.....	5	DC レベル保証と磁界耐性.....	15
適用規格.....	6	消費電力.....	17
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性.....	7	絶縁寿命.....	17
推奨動作条件.....	8	外形寸法.....	18
絶対最大定格.....	9	オーダー・ガイド.....	19
ESD の注意.....	9	車載製品.....	19

改訂履歴

12/13—Revision 0: Initial Version

仕様

電気的特性—5 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{DDA} \leq 18\text{ V}$ 、 $4.5\text{ V} \leq V_{DDB} \leq 18\text{ V}$ 。すべての最小/最大仕様は、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用。すべてのtyp仕様は、 $T_J = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DDA} = V_{DDB} = 12\text{ V}$ で規定。スイッチング仕様はCMOS信号レベルでテスト。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DD1(Q)}$		1.4	2.4	mA	
Output Supply Current, Per Channel, Quiescent	$I_{DDO(Q)}$		2.3	3.2	mA	
Supply Current at 1 MHz						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.6	2.5	mA	Up to 1 MHz, no load
V_{DDA}/V_{DDB} Supply Current	$I_{DDA(Q)}/I_{DDB(Q)}$		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	I_{IA}, I_{IB}	-1	+0.01	+1	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
Logic High Input Threshold	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 \times V_{DD}$	V	
Logic High Output Voltages	V_{OAH}, V_{OBH}	$V_{DDA}/V_{DDB} - 0.1$	V_{DDA}/V_{DDB}		V	$I_{Ox} = -20\text{ mA}, V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OAL}, V_{OBL}		0.0	0.15	V	$I_{Ox} = +20\text{ mA}, V_{Ix} = V_{IxL}$
Undervoltage Lockout, V_{DDA}/V_{DDB} Supply						
A Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		4.1	4.4	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	3.2	3.6		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.5		V	
B Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		6.9	7.4	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	5.7	6.2		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.7		V	
C Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		10.5	11.1	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	8.9	9.6		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.9		V	
Output Short-Circuit Pulsed Current ¹	$I_{OA(SC)}, I_{OB(SC)}$	2.0	4.0		A	$V_{DDA}/V_{DDB} = 12\text{ V}$
Output Pulsed Source Resistance	R_{OA}, R_{OB}	0.3	1.1	3.0	Ω	$V_{DDA}/V_{DDB} = 12\text{ V}$
Output Pulsed Sink Resistance	R_{OA}, R_{OB}	0.3	0.6	3.0	Ω	$V_{DDA}/V_{DDB} = 12\text{ V}$
SWITCHING SPECIFICATIONS						
Pulse Width ²	PW	50			ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
Maximum Data Rate ³		1			MHz	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$
Propagation Delay ⁴						$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$; see Figure 20
ADuM3224A/ADuM4224A	t_{DHL}, t_{DLH}	31	43	54	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$; see Figure 20
Propagation Delay Skew ⁵	t_{PSK}			12	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$; see Figure 20
Channel-to-Channel Matching ⁶	t_{PSKCD}		1	5	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 12\text{ V}$; see Figure 20
Output Rise/Fall Time (10% to 90%)	t_R/t_F	6	12	18	ns	$C_L = 2\text{ nF}, V_{DDA}/V_{DDB} = 4.5\text{ V}$; see Figure 20
Dynamic Input Supply Current Per Channel	$I_{DD1(D)}$		0.05		mA/Mb	$V_{DDA}/V_{DDB} = 12\text{ V}$
Dynamic Output Supply Current Per Channel	$I_{DDO(D)}$		1.65		mA/Mb	$V_{DDA}/V_{DDB} = 12\text{ V}$
Refresh Rate	f_r		1.2		ps	
					Mbps	

¹ 短絡時間は 1 μs 以下。平均電力は、絶対最大定格のセクションに示す規定値を満たす必要があります。

² 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅。

³ 最大データレートは、規定のタイミング・パラメータが保証される最高速のデータレートです。

⁴ t_{DLH} 伝搬遅延は、入力立上がりロジック・ハイ・スレッシュヨールド V_{IH} と V_{Ox} 信号の出力立上がり 10%スレッシュヨールドとの間の時間として測定しています。 t_{DHL} 伝搬遅延は、入力立下がりロジック・ロー・スレッシュヨールド V_{IL} と V_{Ox} 信号の出力立下がり 90%スレッシュヨールドとの間の時間として測定しています。伝搬遅延パラメータの波形については図 20 を参照してください。

⁵ t_{PSK} は、 t_{DLH} および/または t_{DHL} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。伝搬遅延パラメータの波形については図 20 を参照してください。

⁶ チャンネル間マッチングは、2つのチャンネル間の伝搬遅延の差の絶対値を表します。

電気的特性—3.3 V 動作

すべての電圧はそれぞれのグラウンドを基準とします。特に指定がない限り、 $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ 、 $4.5\text{ V} \leq V_{DDA} \leq 18\text{ V}$ 、 $4.5\text{ V} \leq V_{DDB} \leq 18\text{ V}$ 。すべての最小/最大仕様は、 $T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用。すべての typ 仕様は、 $T_J = 25^\circ\text{C}$ 、 $V_{DD1} = 3.3\text{ V}$ 、 $V_{DDA} = V_{DDB} = 12\text{ V}$ で規定。スイッチング仕様は CMOS 信号レベルでテスト。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
DC SPECIFICATIONS						
Input Supply Current, Quiescent	$I_{DDI(Q)}$		0.87	1.4	mA	
Output Supply Current, Per Channel, Quiescent	$I_{DDO(Q)}$		2.3	3.2	mA	
Supply Current at 1 MHz						
V_{DD1} Supply Current	$I_{DD1(Q)}$		1.1	1.5	mA	Up to 1 MHz, no load
V_{DDA}/V_{DDB} Supply Current	$I_{DDA(Q)}/I_{DDB(Q)}$		5.6	8.0	mA	Up to 1 MHz, no load
Input Currents	I_{IA}, I_{IB}	-10	+0.01	+10	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
Logic High Input Threshold	V_{IH}	$0.7 \times V_{DD1}$			V	
Logic Low Input Threshold	V_{IL}			$0.3 \times V_{DD1}$	V	
Logic High Output Voltages	V_{OAH}, V_{OBH}	$V_{DDA}/V_{DDB} - 0.1$	V_{DDA}/V_{DDB}		V	$I_{Ox} = -20\text{ mA}$, $V_{Ix} = V_{IxH}$
Logic Low Output Voltages	V_{OAL}, V_{OBL}		0.0	0.15	V	$I_{Ox} = +20\text{ mA}$, $V_{Ix} = V_{IxL}$
Undervoltage Lockout, V_{DDA}/V_{DDB} Supply						
A Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		4.1	4.4	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	3.2	3.6		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.5		V	
B Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		6.9	7.4	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	5.7	6.2		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.7		V	
C Grade						
Positive Going Threshold	V_{DDAUV+}, V_{DDBUV+}		10.5	11.1	V	
Negative Going Threshold	V_{DDAUV-}, V_{DDBUV-}	8.9	9.6		V	
Hysteresis	V_{DDAUVH}, V_{DDBUVH}		0.9		V	
Output Short-Circuit Pulsed Current ¹	$I_{OA(SC)}, I_{OB(SC)}$	2.0	4.0		A	$V_{DDA}/V_{DDB} = 12\text{ V}$
Output Pulsed Source Resistance	R_{OA}, R_{OB}	0.3	1.1	3.0	Ω	$V_{DDA}/V_{DDB} = 12\text{ V}$
Output Pulsed Sink Resistance	R_{OA}, R_{OB}	0.3	0.6	3.0	Ω	$V_{DDA}/V_{DDB} = 12\text{ V}$
SWITCHING SPECIFICATIONS						
Pulse Width ²	PW	50			ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$
Maximum Data Rate ³		1			MHz	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$
Propagation Delay ⁴	t_{DHL}, t_{DLH}	35	47	59	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$, see Figure 20
ADuM3224A/ADuM4224A	t_{DHL}, t_{DLH}	37	51	65	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 4.5\text{ V}$, see Figure 20
Propagation Delay Skew ⁵	t_{PSK}			12	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$, see Figure 20
Channel-to-Channel Matching ⁶	t_{PSKCD}		1	5	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$, see Figure 20
	t_{PSKCD}		1	7	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 4.5\text{ V}$, see Figure 20
Output Rise/Fall Time (10% to 90%)	t_R/t_F	6	12	22	ns	$C_L = 2\text{ nF}$, $V_{DDA}/V_{DDB} = 12\text{ V}$, see Figure 20
Dynamic Input Supply Current Per Channel	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
Dynamic Output Supply Current Per Channel	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DDA}/V_{DDB} = 12\text{ V}$
Refresh Rate	f_r		1.1		Mbps	

¹ 短絡時間は $1\mu\text{s}$ 以下。平均電力は、絶対最大定格のセクションに示す規定値を満たす必要があります。

² 最小パルス幅は、規定のタイミング・パラメータが保証される最小のパルス幅。

³ 最大データレートは、規定のタイミング・パラメータが保証される最高速のデータレートです。

⁴ t_{DHL} 伝搬遅延は、入力立上がりロジック・ハイ・スレッショールド V_{IH} と V_{Ox} 信号の出力立上がり 10%スレッショールドとの間の時間として測定しています。 t_{DLH} 伝搬遅延は、入力立下がりロジック・ロー・スレッショールド V_{IL} と V_{Ox} 信号の出力立下がり 90%スレッショールドとの間の時間として測定しています。伝搬遅延パラメータの波形については図 20 を参照してください。

⁵ t_{PSK} は、 t_{DLH} および/または t_{DHL} におけるワーストケースの差であり、推奨動作条件下で同一の動作温度、電源電圧、出力負荷で動作する複数のユニット間で測定されます。伝搬遅延パラメータの波形については図 20 を参照してください。

⁶ チャンネル間マッチングは、2つのチャンネル間の伝搬遅延の差の絶対値を表します。

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
Resistance (Input-to-Output)	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input-to-Output)	C _{I-O}		2.0		pF	
Input Capacitance	C _I		4.0		pF	
IC Junction-to-Ambient Thermal Resistance						
ADuM3224	θ _{JA}		76		°C/W	
ADuM4224	θ _{JA}		45		°C/W	
IC Junction-to-Case Thermal Resistance						
ADuM3224	θ _{JC}		42		°C/W	
ADuM4224	θ _{JC}		29		°C/W	

絶縁および安全性関連の仕様

ADuM3224 の仕様

表 4.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		3000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	4.0 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.0 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

ADuM4224 の仕様

表 5.

Parameter	Symbol	Value	Unit	Test Conditions/Comments
Rated Dielectric Insulation Voltage		5000	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	8.0 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	7.6 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>400	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		II		Material Group (DIN VDE 0110, 1/89, Table 1)

適用規格

ADuM3224 は、表 6 に記載する組織の認定を申請中です。

表 6.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 ²
Single/Protection 3000 V rms Isolation Voltage	Basic insulation per CSA 60950-1-07 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage	Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 3,600 V rms 以上を 1 秒間加えて各 ADuM3224 を確認テストします(リーク電流検出規定値 = 6 μ A)。

² DIN V VDE V 0884-10 に従い、各 ADuM3224 に 1,050 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

ADuM4224 は、表 7 に記載する組織の認定を申請中です。

表 7.

UL (Pending)	CSA (Pending)	VDE (Pending)
Recognized under UL 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice 5A	Certified according to DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12 ²
Single/Protection 5000 V rms Isolation Voltage	Reinforced insulation per CSA 60950-1-07 and IEC 60950-1, 400 V rms (565 V peak) maximum working voltage Basic insulation per CSA 60950-1-07 and IEC 60950-1, 800 V rms (1131 V peak) maximum working voltage	Reinforced insulation, 849 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 6,000 V rms 以上を 1 秒間加えて各 ADuM4224 を確認テストします(リーク電流検出規定値 = 10 μ A)。

² DIN V VDE V 0884-10 に従い、各 ADuM4224 に 1,590 Vpeak 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

これらのアイソレータは、安全性制限値データ以内でのみのアイソレーション強化に適します。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ表面の(*)マークは、560 V_{peak} 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 8.ADuM3224 VDE 特性 (Pending)

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} , 100% production test, t _{ini} = t _m = 1 sec, partial discharge < 5 pC	V _{pd(m)}	1050	V peak
Input-to-Output Test Voltage, Method A	V _{IORM} × 1.5 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}		
After Environmental Tests Subgroup 1			896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	672	V peak
Highest Allowable Overvoltage		V _{IOTM}	4000	V peak
Surge Isolation Voltage		V _{IOSM}	6000	V peak
Safety-Limiting Values	V _{PEAK} = 10 kV, 1.2 μs rise time, 50 μs, 50% fall time Maximum value allowed in the event of a failure (see Figure 2)			
Maximum Junction Temperature		T _S	150	°C
Safety Total Dissipated Power		P _S	1.64	W
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

表 9.ADuM4224 VDE 特性 (申請中)

Description	Test Conditions/Comments	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	849	V peak
Input-to-Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{pd(m)} , 100% production test, t _{ini} = t _m = 1 sec, partial discharge < 5 pC	V _{pd(m)}	1592	V peak
Input-to-Output Test Voltage, Method A	V _{IORM} × 1.5 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}		
After Environmental Tests Subgroup 1			1273	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{pd(m)} , t _{ini} = 60 sec, t _m = 10 sec, partial discharge < 5 pC	V _{pd(m)}	1018	V peak
Highest Allowable Overvoltage		V _{IOTM}	6000	V peak
Surge Isolation Voltage		V _{IOSM}	6000	V peak
Safety Limiting Values	V _{PEAK} = 10 kV, 1.2 μs rise time, 50 μs, 50% fall time Maximum value allowed in the event of a failure (see Figure 3)			
Maximum Junction Temperature		T _S	150	°C
Safety Total Dissipated Power		P _S	2.77	W
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

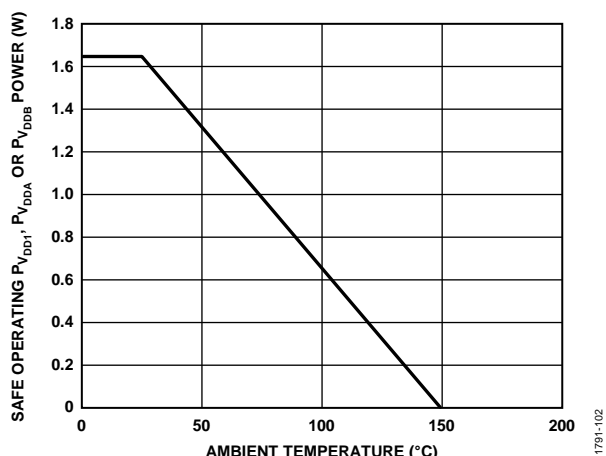


図 2.ADuM3224 の温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

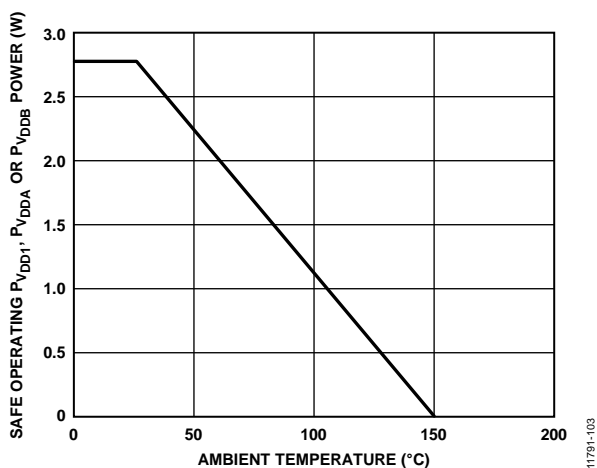


図 3.ADuM4224 の温度ディレーティング・カーブ、DIN V VDE V 0884-10 による安全な規定値のケース温度に対する依存性

推奨動作条件

表 10.

Parameter	Symbol	Rating
Operating Junction Temperature	T_J	-40°C to +125°C
Supply Voltages ¹		
V_{DD1}		3.0 V to 5.5 V
V_{DDA}, V_{DDB}		4.5 V to 18 V
V_{DD1} Rise Time	t_{VDD1}	1 V/ μ s
V_{DDA}, V_{DDB} Rise Time	t_{VDDA}, t_{VDDB}	10 V/ μ s
Maximum Input Signal Rise and Fall Times	t_{VIA}, t_{VIB}	1 ms
Common-Mode Transient, Static ²		-50 kV/ μ s to +50 kV/ μ s
Common-Mode Transient Immunity, Dynamic ³		-25 kV/ μ s to +25 kV/ μ s

¹ すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性については、アプリケーション情報のセクションを参照してください。

² 静的同相モード過渡電圧耐性は、出力電圧が $V_{IA}/V_{IB} = \text{ハイ}$ ・レベルに対して $0.8 \times V_{DDA}/V_{DDB}$ 以上を維持するか、または $V_{IA}/V_{IB} = \text{ロー}$ ・レベルに対して 0.8 V 以上を維持するように、入力をハイ・レベルまたはロー・レベルに維持したときの GND_I と GND_A/GND_B の間の最大 dv/dt として定義されます。上記推奨レベルを超える過渡電圧下での動作では、一時的なデータの反転が発生することがあります。

³ 動的同相モード過渡電圧耐性は、スイッチング・エッジが過渡電圧テスト・パルスと一致したときの GND_I と GND_A/GND_B の間の最大 dv/dt として定義されます。上記推奨レベルを超える過渡電圧下での動作では、一時的なデータの反転が発生することがあります。

絶対最大定格

特に指定のない限り、周囲温度は 25 °C です。

表 11.

Parameter	Rating
Storage Temperature (T _{ST})	-55°C to +150°C
Operating Junction Temperature (T _J)	-40°C to +150°C
Supply Voltages ¹	
V _{DDI}	-0.5 V to +7.0 V
V _{DDA} , V _{DDB}	-0.5 V to +20 V
Input Voltage (V _{IA} , V _{IB} , DISABLE) ¹	-0.5 V to V _{DDI} + 0.5 V
Output Voltage ¹	
V _{OA}	-0.5 V to V _{DDA} + 0.5 V
V _{OB}	-0.5 V to V _{DDB} + 0.5 V
Average Output Current, per Pin (I _O) ²	-35 mA to +35 mA
Common-Mode Transients (CM _H , CM _L) ³	-100 kV/μs to +100 kV/μs

¹すべての電圧はそれぞれのグラウンドを基準とします。

²種々の温度に対する最大許容電流については、図 2 と図 3 を参照してください。

³絶縁バリアにまたがる同相モード過渡電圧を表します。絶対最大定格を超える同相モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

表 12.最大連続動作電圧¹

Parameter	Max	Unit	Constraint
AC Voltage, Bipolar Waveform	565	V peak	50-year minimum lifetime
AC Voltage, Unipolar Waveform	1131	V peak	50-year minimum lifetime
DC Voltage	1131	V peak	50-year minimum lifetime

¹アイソレーション・バリアに加わる連続電圧の大きさを意味します。詳細については、絶縁寿命のセクションを参照してください。

表 13.ADuM3224/ADuM4224 (正論理) の真理値表¹

DISABLE	V _{IA} Input	V _{IB} Input	V _{DDI} State	V _{DDA} /V _{DDB} State	V _{OA} Output	V _{OB} Output	Notes
L	L	L	Powered	Powered	L	L	Outputs return to the input state within 1 μs of DISABLE = L assertion.
L	L	H	Powered	Powered	L	H	Outputs return to the input state within 1 μs of DISABLE = L assertion.
L	H	L	Powered	Powered	H	L	Outputs return to the input state within 1 μs of DISABLE = L assertion.
L	H	H	Powered	Powered	H	H	Outputs return to the input state within 1 μs of DISABLE = L assertion.
H	X	X	Powered	Powered	L	L	Outputs take on default low state within 3 μs of DISABLE = H assertion.
L	L	L	Unpowered	Powered	L	L	Outputs return to the input state within 1 μs of V _{DDI} power restoration.
X	X	X	Powered	Unpowered	L	L	Outputs return to the input state within 50 μs of V _{DDA} /V _{DDB} power restoration.

¹ X = don't care, L = ロー・レベル、H = ハイ・レベル。

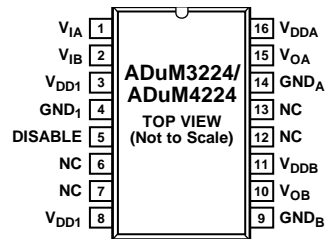
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. NC = NO CONNECT. NOT INTERNALLY CONNECTED.

11791-003

図 4. ピン配置

表 14. ADuM3224/ADuM4224 のピン機能説明

ピン番号 ¹	記号	説明
1	V _{IA}	ロジック入力 A。
2	V _{IB}	ロジック入力 B。
3、8	V _{DD1}	入力電源電圧。
4	GND ₁	入力ロジック信号のグラウンド基準電位。
5	DISABLE	入力のディスエーブル。アイソレータ入力とリフレッシュ回路をディスエーブルします。DISABLE をハイ・レベルにしてから 3 μs 以内に、出力はデフォルトのロー・レベル状態になります。DISABLE をロー・レベルにしてから 1 μs 以内に出力は入力レベルの状態に戻ります。
6、7、12、13	NC	未接続。これらのピンは内部で接続されていません。
9	GND _B	出力 B のグラウンド基準電位。
10	V _{OB}	出力 B。
11	V _{DDB}	出力 B 電源電圧。
14	GND _A	出力 A のグラウンド基準電位。
15	V _{OA}	出力 A。
16	V _{DDA}	出力 A 電源電圧。

¹ ピン 3 とピン 8 は内部で接続されています。両ピンを電源 V_{DD1} へ接続することが推奨されます。

代表的な性能特性

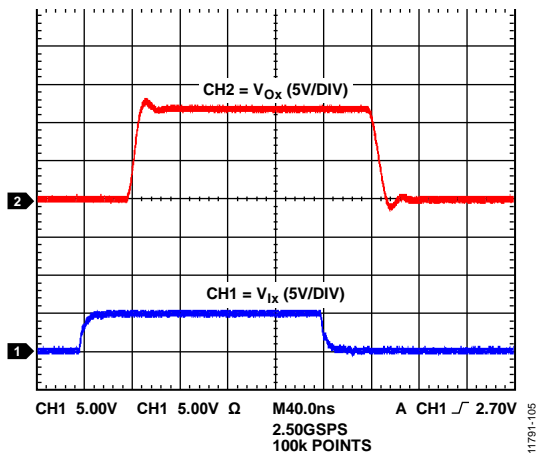


図 5. 2 nF 負荷での出力波形、12 V 出力電源

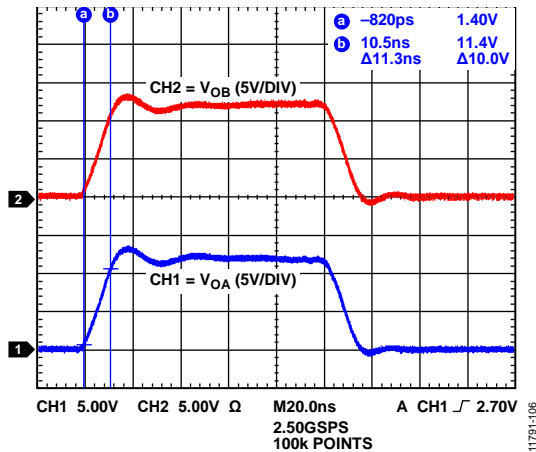


図 6. 出力マッチングと立ち上がり時間波形、2 nF 負荷
12 V 出力電源

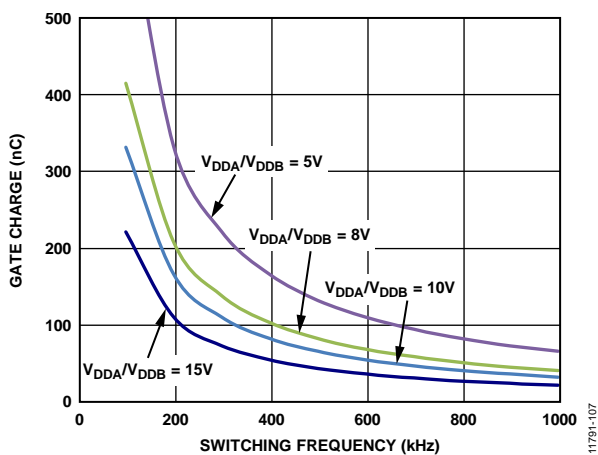


図 7. ADuM4223 のスイッチング周波数対最大負荷 ($R_G = 1 \Omega$)

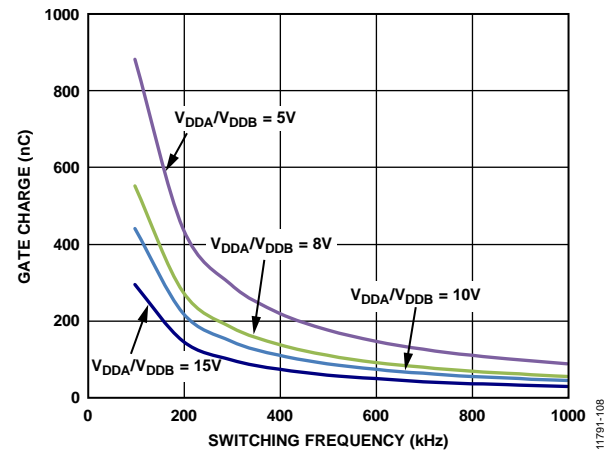


図 8. ADuM4224 のスイッチング周波数対最大負荷 ($R_G = 1 \Omega$)

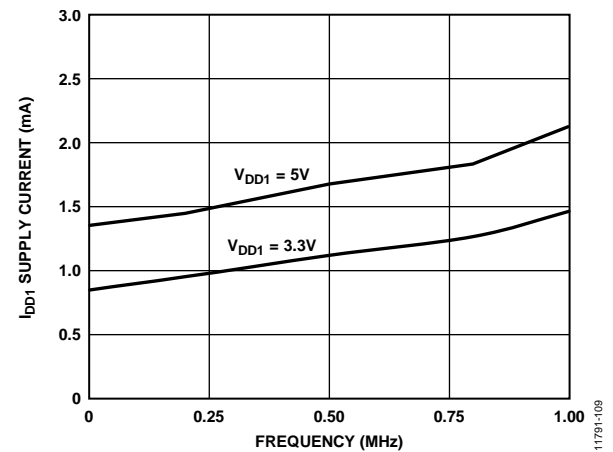


図 9. I_{DD1} 電源電流の周波数特性

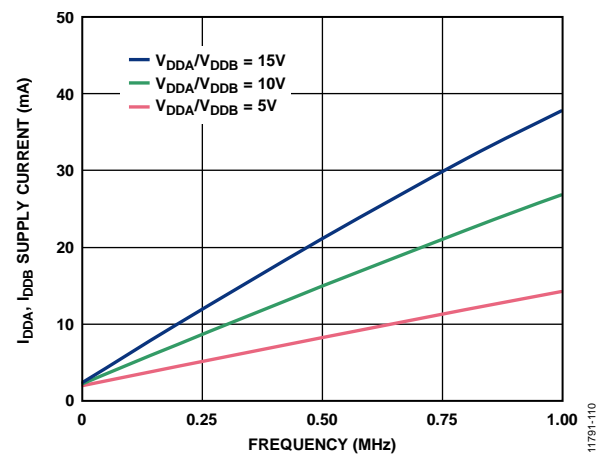


図 10. I_{DDA} 、 I_{ddb} 電源電流の周波数特性、2 nF 負荷

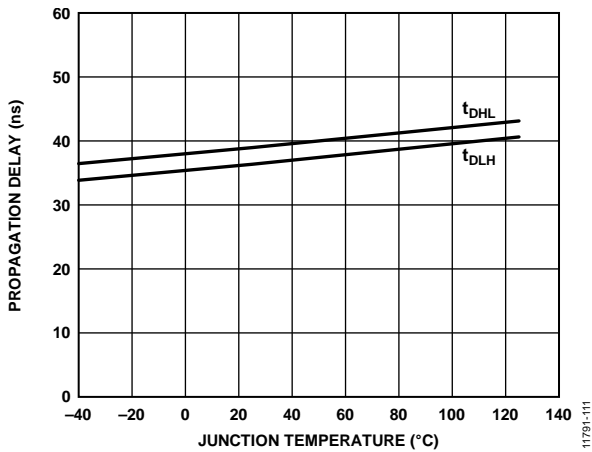


図 11. ジャンクション温度対伝搬遅延

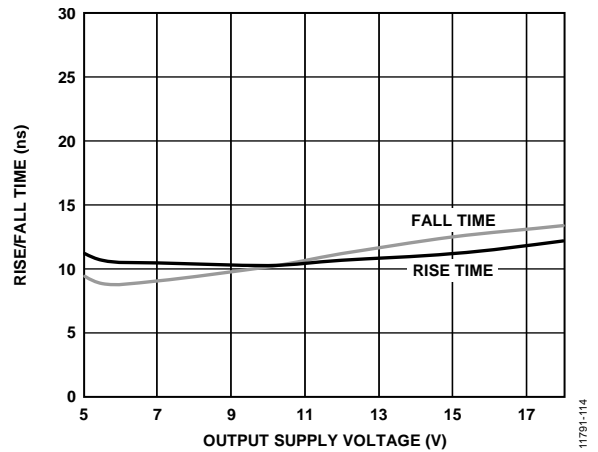


図 14. 出力電源電圧対立上がり/立下がり時間の変動

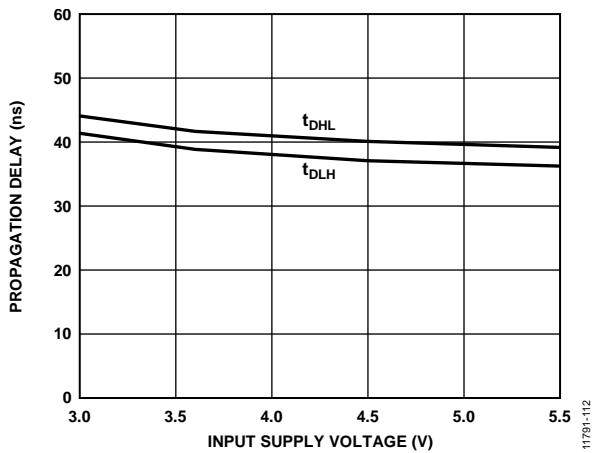


図 12. 入力電源電圧対伝搬遅延、 V_{DDA} 、 $V_{DDB} = 12\text{ V}$

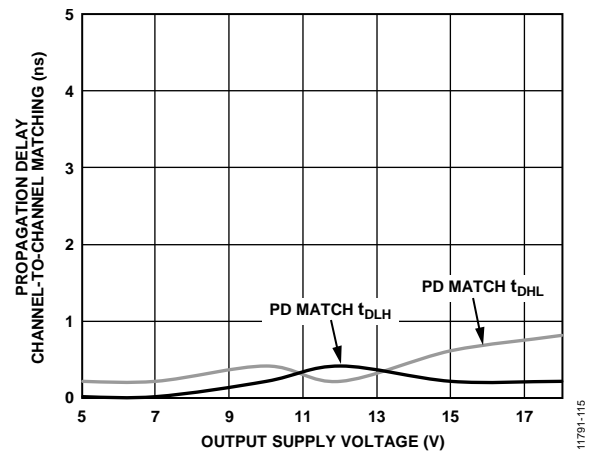


図 15. 出力電源電圧対伝搬遅延(PD)チャンネル間マッチング

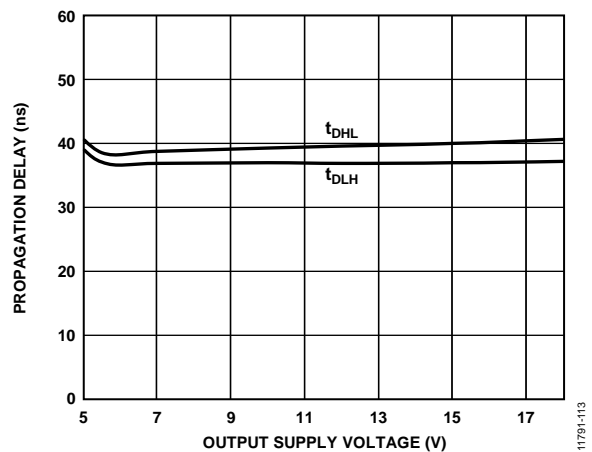


図 13. 出力電源電圧対伝搬遅延、 $V_{DD1} = 5\text{ V}$

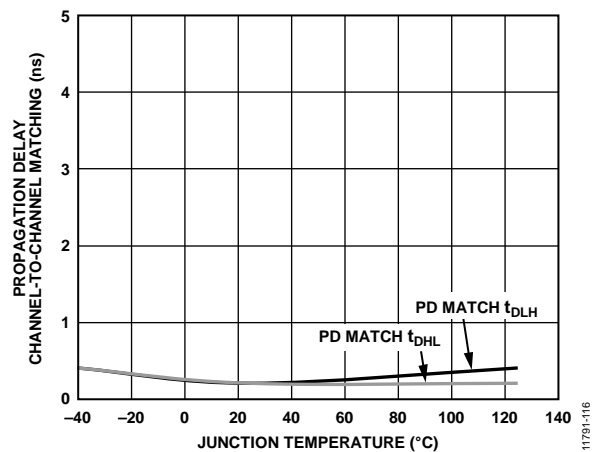


図 16. 伝搬遅延(PD)チャンネル間マッチングの温度特性
 V_{DDA} 、 $V_{DDB} = 12\text{ V}$

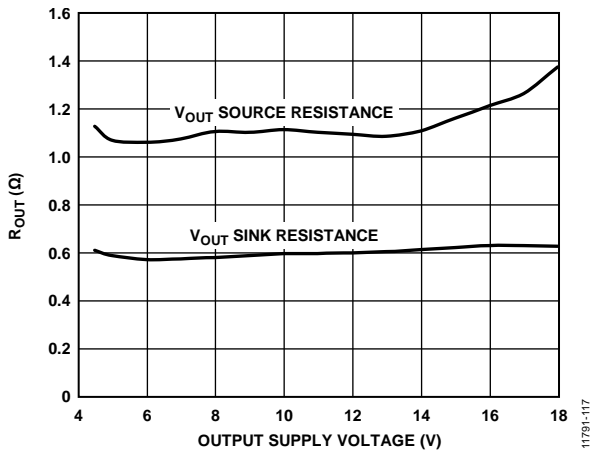


図 17.出力電源電圧対出力抵抗(R_{OUT})

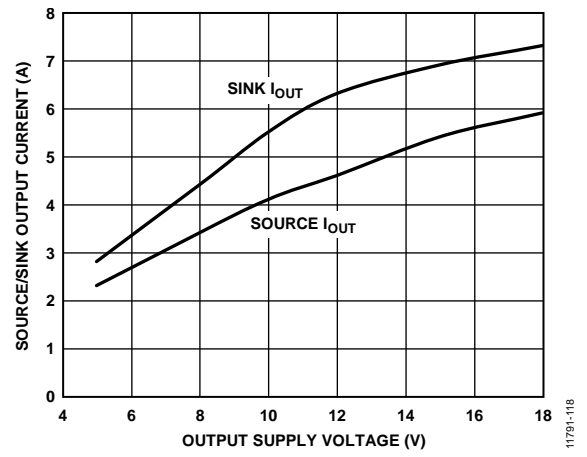


図 18.出力電源電圧対ソース/シンク出力電流

アプリケーション情報

プリント回路ボードのレイアウト

ADuM3224/ADuM4224 デジタル・アイソレータには、ロジック・インターフェース用の外付けインターフェース回路は不要です。入力電源ピンと出力電源ピンには電源バイパスが必要で、図 19 参照。0.01 μF ~ 0.1 μF の小型セラミック・コンデンサを使用して高周波バイパスを設けてください。出力電源ピン V_{DDA} または V_{DDB} にも、10 μF のコンデンサを接続して、ADuM3224/ADuM4224 出力のゲート容量を駆動するために必要な電荷を供給することが推奨されます。出力電源ピンでは、バイパス・コンデンサでのビアの使用を避けるか、または複数のビアを使用してバイパス点でのインダクタンスを小さくしてください。小型コンデンサの両端と入力/出力電源ピンとの間の合計リード長は 5 mm 以下にする必要があります。特定のレイアウト・ガイドラインについては、AN-1109 アプリケーション・ノート「Recommendations for Control of Radiated Emissions with iCoupler Devices」をご覧ください。

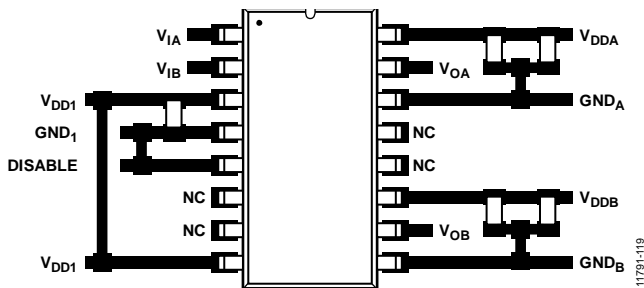


図 19. 推奨 PCB レイアウト

低電圧ロックアウト機能

ADuM3224/ADuM4224 のチャンネル出力が有効となるためには、 V_{DD1} 電源および V_{DDA} 電源、または V_{DDB} 電源が立上っていて低電圧ロックアウト (UVLO) スレッシュホールドより高い必要があります。動作中に、電源電圧が低下して UVLO スレッシュホールドを下回ると、出力がロー・レベルになってスイッチが下に駆動されないように保護します。 V_{DD1} スレッシュホールドは約 2.5 V です。2 次側電源スレッシュホールドに対しては 3 つのオプションがあり、異なるグレードにより選択することができます (オーダー・ガイド参照)。各出力チャンネルの UVLO は、互いに独立に機能しますが、 V_{DD1} UVLO の場合は、両チャンネルがロー・レベルになります。

伝搬遅延に関するパラメータ

伝搬遅延時間は、ロジック信号がデバイスを通しての要する時間を表すパラメータです。ロジック・ロー・レベル出力までの伝搬遅延は、ロジック・ハイ・レベル出力までの伝搬遅延と異なることがあります。ADuM3224/ADuM4224 では t_{DLH} (図 20 参照) を立上がり入力ハイ・ロジック・スレッシュホールド V_{IH} と出力立上がり 10% スレッシュホールドとの間の時間として規定しています。同様に、立下がり伝搬遅延 t_{DHL} を入力立下がりロジック・ロー・スレッシュホールド V_{IL} と出力立下がり 90% スレッシュホールドとの間の時間として規定しています。立上がり時間と立下がり時間は負荷条件に依存し、伝搬遅延に含まれません。これはゲート・ドライバの業界では標準的な表現です。

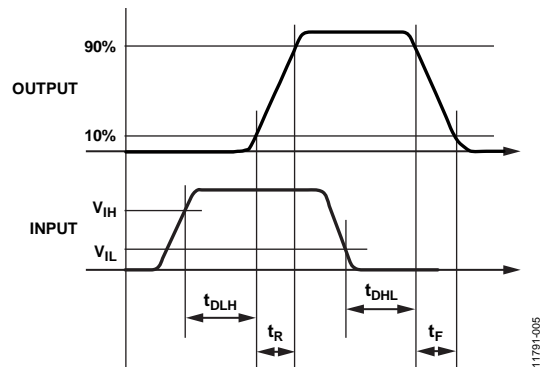


図 20. 伝搬遅延パラメータ

チャンネル間マッチングとは、1 つの ADuM3224/ADuM4224 デバイス内にある複数のチャンネル間の伝搬遅延差の最大値を意味します。

伝搬遅延スキューは、同じ条件で動作する複数の ADuM3224/ADuM4224 デバイス間での伝搬遅延差の最大値を表します。

熱的制約とスイッチ負荷特性

絶縁型ゲート・ドライバの場合、入力回路と出力回路との間に電気的分離が必要なため、デバイスの底部にサーマル・パッドを使用できません。このため熱は主にパッケージ・ピンを経由して放熱されます。

パッケージの熱放散の影響により、図 7 と図 8 に示すように最大負荷容量に対するスイッチング周波数対出力負荷の性能が制限されます。この最大負荷容量は、様々な出力電圧値に対して 1 Ω の直列ゲート抵抗で駆動することができます。例えば、図 7 では、代表的な ADuM3224 が約 300 kHz までの周波数で 8 V 出力 (17 nF 負荷と等価) で 140 nC のゲート電荷を持つ大型の MOSFET を駆動できることを示しています。

ADuM3224/ADuM4224 の内部ジャンクション温度が最大ジャンクション温度 150°C を超えないようにしてください。この値を超えて動作させるとデバイスが損傷を受けます。ADuM3224/ADuM4224 を保護する内部サーマル・シャットダウンはありません。サーマル・シャットダウンを必要とする場合は、ADuM3223/ADuM4223 のデータ・シートを参照してください。

出力負荷特性

ADuM3224/ADuM4224 出力信号は、出力負荷 (一般に N チャンネル MOSFET) の特性に依存します。N チャンネル MOSFET 負荷に対するドライバ出力応答は、スイッチ出力抵抗 (R_{sw})、プリント回路ボード・パターンに起因するインダクタンス (L_{TRACE})、直列ゲート抵抗 (R_{GATE})、ゲートソース間容量 (C_{GS}) でモデル化することができます (図 21 参照)。

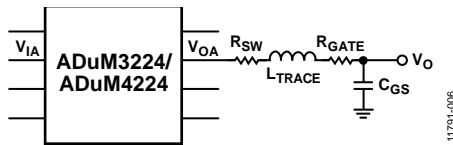


図 21. N チャンネル MOSFET ゲートの RLC モデル

R_{SW} は内部 ADuM3224/ADuM4224 ドライバ出力のスイッチ抵抗であり、約 1.1Ω です。 R_{GATE} は MOSFET の固有ゲート抵抗と外部直列抵抗です。 4 A のゲート・ドライバ電流を必要とする MOSFET は、約 1Ω の固有ゲート抵抗と $2 \text{ nF} \sim 10 \text{ nF}$ のゲートソース間容量 C_{GS} を持っています。 L_{TRACE} はプリント回路ボード・パターンのインダクタンスであり、ADuM3224/ADuM4224 出力から MOSFET ゲートまで非常に短い太いパターンで接続された良好なデザインのレイアウトでは、 5 nH 以下です。

次式は抵抗/インダクタ/コンデンサ(RLC)回路の Q ファクタを決定し、ADuM3224/ADuM4224 出力のステップ変化に対する応答を示します。良く制動 (ダンピング) された出力では、 Q は 1 以下です。直列ゲート抵抗を接続すると出力応答の制動能力が大きくなります。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

図 5 に、 $C_{GS} = 2 \text{ nF}$ での 12 V 出力に対する ADuM3224/ADuM4224 出力波形を示します。 $C_{GS} = 2 \text{ nF}$ 、 $R_{SW} = 1.1 \Omega$ 、 $R_{GATE} = 0 \Omega$ 、 Q ファクタ計算値 $= 0.75$ の場合、図 5 に示すように出力のリングングが小さいことに注意してください(優れた制動には Q は 1 より小さい必要があります)。

応答の制動力を大きくするために直列ゲート抵抗を接続して、出力リングングを小さくすることができます。 1 nF より小さい負荷を持つアプリケーションの場合、 $2 \Omega \sim 5 \Omega$ の直列ゲート抵抗を接続することが推奨されます。

ブートストラップ・ハーフ・ブリッジ動作

ADuM3224/ADuM4224 は、ハーフ・ブリッジ構成の場合のように、別々のグラウンドを基準とする 2 つの出力ゲート信号の動作に適しています。絶縁型補助電源は高価であるため、電源を減らすことはコスト的に有益です。これを実現する 1 つの方法は、ADuM3224/ADuM4224 のハイサイド電源に対してブートストラップ構成を使うことです。この回路では、デカップリング・コンデンサ C_A がハイサイド電源に対するエネルギー・ストレージとして機能し、ローサイド・スイッチが閉じるたびに充

電され、 GND_A を GND_B にします。 C_A の充電中は、 V_{DDA} 電圧の dv/dt を制御して、出力でグリッチが生ずる危険性を小さくする必要があります。ADuM3224/ADuM4224 に対しては、 dv/dt を $10 \text{ V}/\mu\text{s}$ より小さくすることが推奨されます。これは、直列抵抗 R_{BOOT} を C_A の充電パスに接続することにより制御することができます。一例として、 $V_{AUX} = 12 \text{ V}$ の場合、 C_A の合計容量は $10 \mu\text{F}$ になり、ブートストラップ・ダイオードの順方向電圧降下は 1 V になります。

$$V_{BOOT} = \frac{V_{AUX} - V_{D_{BOOT}}}{C_A \times \frac{dv}{dt}_{MAX}} = \frac{12 \text{ V} - 1 \text{ V}}{10 \mu\text{F} \times 10 \text{ V}/\mu\text{s}} = 0.11 \Omega$$

DC レベル保証と磁界耐性

アイソレータ入力での正および負のロジック変化により、狭いパルス(約 1 ns)がトランスを経由してデコーダに送られます。デコーダは双安定であるため、パルスによるセットまたはリセットにより入力ロジックの変化が表されます。 $1 \mu\text{s}$ 以上入力にロジック変化がない場合、該当する入力状態を表す周期的な一連の更新パルスが出力の DC レベルを保証するために送出されます。

デコーダが約 $3 \mu\text{s}$ 間以上内部パルスを受信しないと、入力側が電源オフであるか非動作状態にあると見なされ、ウォッチドッグ・タイマ回路によりアイソレータ出力が強制的にデフォルトのロー・レベル状態にされます。さらに、電源立ち上りの際、UVLO スレッシュホールドを通過するまでは、出力がロー・レベルのデフォルト状態になります。

ADuM3224/ADuM4224 は、外部磁界に対して高い耐性を持っています。ADuM3224/ADuM4224 の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作の発生により決まります。この状態が発生する条件を以下の解析により求めます。ADuM3224/ADuM4224 の 3 V 動作は最も磁界に敏感な動作モードであるため、この条件について調べます。トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

ここで、

β は磁束密度 (gauss)。

r_n は受信側コイルの巻数 n 回目の半径 (cm)。

N は受信側コイルの巻き数。

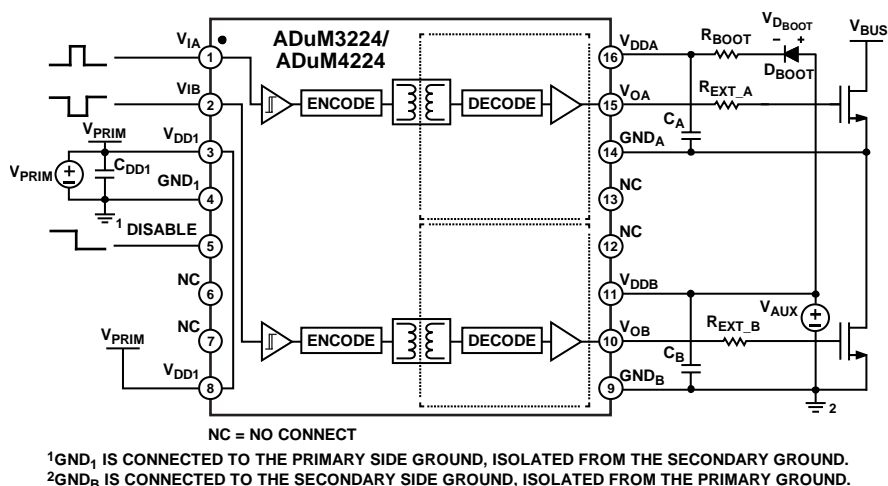


図 22. ブートストラップ・ハーフ・ブリッジ動作の回路

ADuM3224/ ADuM4224 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50%であるという条件が与えられると、最大許容磁界は図 23 のように計算されます。

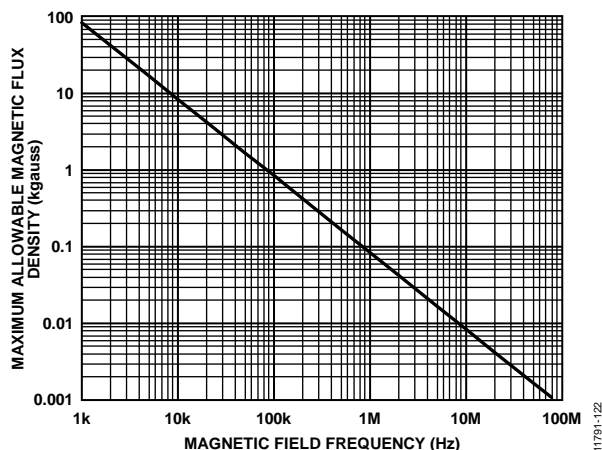


図 23. 最大許容外部磁束密度

例えば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.08 Kgauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50%であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても(さらにワーストケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM3224/ADuM4224 トランスから、条件として与えられた距離だけ離れた特定の電流値に対応します。図 24 に、周波数の関数としての許容電流値を、与えられた距離に対して示します。図 24 から読み取れるように、ADuM3224/ADuM4224 の耐性は高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.2 kA の電流を ADuM3224/ADuM4224 から 5 mm の距離まで近づける必要があります。

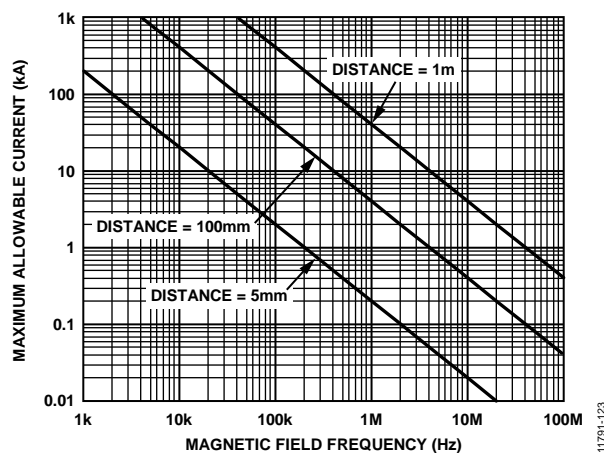


図 24. 様々な電流値と ADuM3224/ADuM4224 までの距離に対する最大許容電流

消費電力

ADuM3224/ ADuM4224 アイソレータ内にあるチャンネルの電源電流は、電源電圧、チャンネルのデータレート、チャンネルの出力負荷の関数になっています。

各入力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DD1} = I_{DD1(Q)} \quad f \leq 0.5f_r$$

$$I_{DD1} = I_{DD1(D)} \times (2f - f_r) + I_{DD1(Q)} \quad f > 0.5f_r$$

各出力チャンネルに対して、電源電流は次式で与えられます。

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$

$$I_{DDO} = (I_{DDO(D)} + (0.5) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

ここで、

$I_{DD1(D)}$ と $I_{DDO(D)}$ は、それぞれチャンネル当たりの入力ダイナミック電源電流と出力ダイナミック電源電流です(mA/Mbps)。

C_L は出力負荷容量(pF)。

V_{DDO} は出力電源電圧(V)。

f は入力ロジック信号周波数(MHz、入力データレートの 1/2、NRZ 信号)。

f_r は入力ステージのリフレッシュ・レート(Mbps)。

$I_{DD1(Q)}$ と $I_{DDO(Q)}$ は、それぞれ指定された入力静止電源電流と出力静止電源電流です(mA)。

総合電源電流を計算するために、 I_{DD1} 、 I_{DDA} 、 I_{DDB} に対応する各入力チャンネルと各出力チャンネルの電源電流を計算して合計します。

図 9 に、データレートの関数としての両入力チャンネルの総合入力 I_{DD1} 電源電流を示します。図 10 に、2 nF コンデンサを両出力の負荷とした場合に、データレートの関数としての総合 I_{DDA} または I_{DDB} 電源電流を示します。

絶縁寿命

すべての絶縁構造は、必要以上長い時間電圧ストレスを受けるとブレイクダウンします。絶縁性能の低下率は、絶縁に加えらる電圧波形の特性にも依存します。アナログ・デバイセズは、規制当局が行うテストの他に、広範囲な組み合わせの評価を実施して ADuM3224/ ADuM4224 の絶縁構造の寿命を測定しています。

アナログ・デバイセズは、定格連続動作電圧より高い電圧レベルを使った加速寿命テストを実施しています。複数の動作条件に対して、寿命を縮める要因を求めました。これらのファクタを使うと、実際の動作電圧での故障までの時間を計算することができます。

表 12 に、バイポーラ AC 動作条件での 50 年のサービス寿命に対するピーク電圧と最大 CSA/VDE 認定動作電圧を示します。

多くのケースで実証された動作電圧は、50 年サービス寿命の電圧より高くなっています。これらの高い動作電圧での動作は、場合によって絶縁寿命を短くすることがあります。

ADuM3224/ADuM4224 の絶縁寿命は、アイソレーション・バリアに加えらる電圧波形のタイプにも依存します。iCoupler 絶縁構造の性能は、波形がバイポーラ AC、ユニポーラ AC、DC のいずれであるかに応じて、異なるレートで低下します。図 25、図 26、図 27 に、これらの様々なアイソレーション電圧波形を示します。

バイポーラ AC 電圧環境は、iCoupler 製品と相性が悪いものの、最大動作電圧に対してアナログ・デバイセズが推奨する 50 年の動作寿命時間を満たしています。ユニポーラ AC またはユニポーラ DC 電圧の場合、絶縁バリアに加わるストレスは大幅に少なくなります。このために高い動作電圧での動作が可能になり、さらに 50 年のサービス寿命を実現することができます。図 26 または図 27 に適合しない絶縁電圧波形は、バイポーラ AC 波形として扱う必要があります、ピーク電圧は表 12 に示す 50 年のサービス寿命の電圧値に制限する必要があります。

図 26 に示す電圧は、説明目的のためにのみ正弦波としています。すなわち、0 V とある規定値との間で変化する任意の電圧波形とすることができます。規定値は正または負となることができますが、電圧は 0 V と交差してはいけません。

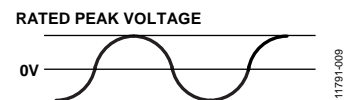


図 25.バイポーラ AC 波形

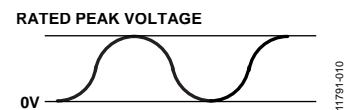


図 26.ユニポーラ AC 波形

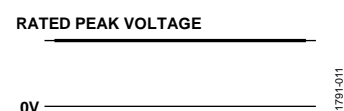
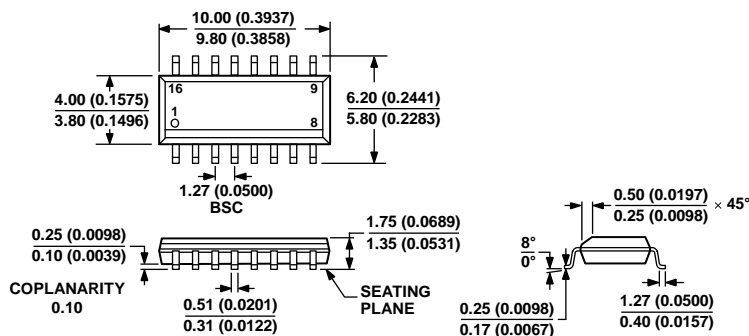


図 27.DC 波形

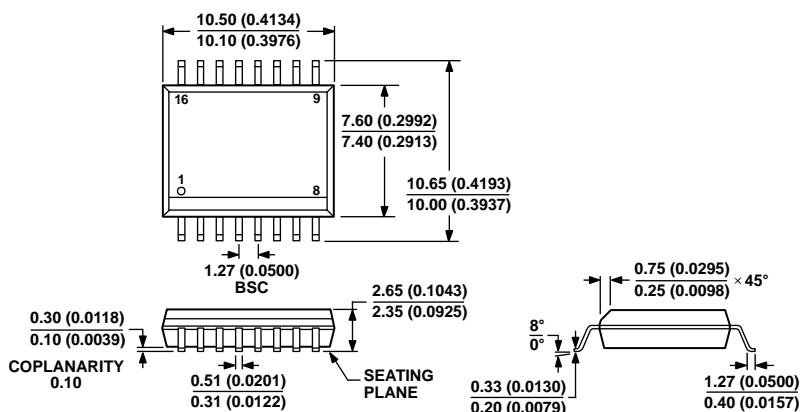
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AC
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

060606-A

図 28.16 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-16)
 寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MS-013-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

03-27-2007-B

図 29.16 ピン標準スモール・アウトライン・パッケージ[SOIC_W]
 ワイド・ボディ
 (RW-16)
 寸法: mm (インチ)

オーダー・ガイド

Model ^{1, 2}	No. of Channels	Output Peak Current (A)	Minimum Output Voltage (V)	Temperature Range	Package Description	Package Option	Ordering Quantity
ADuM3224WARZ	2	4	4.5	-40°C to +125°C	16-Lead SOIC_N	R-16	
ADuM3224WARZ-RL7	2	4	4.5	-40°C to +125°C	16-Lead SOIC_N, 7" Tape and Reel	R-16	1,000
ADuM3224WBRZ	2	4	7.5	-40°C to +125°C	16-Lead SOIC_N	R-16	
ADuM3224WBRZ-RL7	2	4	7.5	-40°C to +125°C	16-Lead SOIC_N, 7" Tape and Reel	R-16	1,000
ADuM3224WCRZ	2	4	11.5	-40°C to +125°C	16-Lead SOIC_N	R-16	
ADuM3224WCRZ-RL7	2	4	11.5	-40°C to +125°C	16-Lead SOIC_N, 7" Tape and Reel	R-16	1,000
ADuM4224WARWZ	2	4	4.5	-40°C to +125°C	16-Lead SOIC_W	RW-16	
ADuM4224WARWZ-RL	2	4	4.5	-40°C to +125°C	16-Lead SOIC_W, 13" Tape and Reel	RW-16	1,000
ADuM4224WBRWZ	2	4	7.5	-40°C to +125°C	16-Lead SOIC_W	RW-16	
ADuM4224WBRWZ-RL	2	4	7.5	-40°C to +125°C	16-Lead SOIC_W, 13" Tape and Reel	RW-16	1,000
ADuM4224WCRWZ	2	4	11.5	-40°C to +125°C	16-Lead SOIC_W	RW-16	
ADuM4224WCRWZ-RL	2	4	11.5	-40°C to +125°C	16-Lead SOIC_W, 13" Tape and Reel	RW-16	1,000

¹ Z = RoHS 準拠製品。

² W = 車載アプリケーション用に認定済み。

車載製品

ADuM3224W モデルと ADuM4224W モデルは、車載アプリケーションの品質と信頼性の要求をサポートするため管理した製造により提供しています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重にレビューしてください。表示した車載グレード製品のみを、車載アプリケーション用として提供しています。特定製品のオーダー情報とこれらのモデルの特定の車載信頼性レポートについては最寄りのアナログ・デバイセズ販売代理店へご連絡ください。