

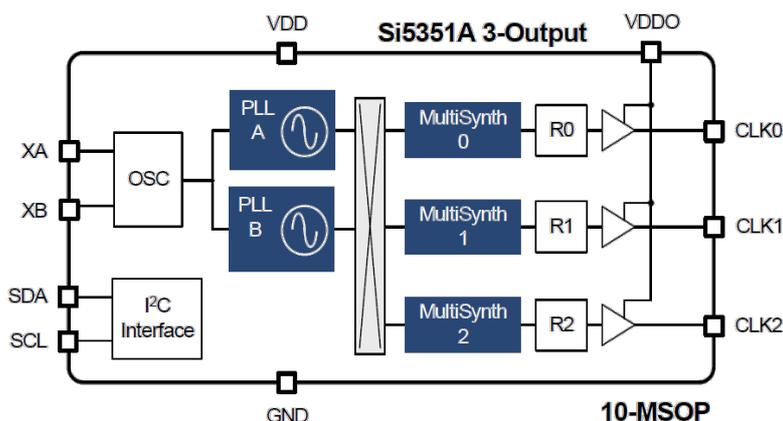
# Si5351A使用3ch出力 クロックジェネレータモジュール

## ●概要

- ・ Silicon Laboratories社製Si5351Aを使用したクロックジェネレータモジュールです。
- ・ 2.5kHz~200MHzの周波数を出力することができます。
- ・ 3チャンネル出力があり、それぞれ異なる周波数を出力することができます。  
(PLL回路が2回路なので、完全に独立ではありません。)
- ・ 出力周波数はI<sup>2</sup>Cで設定します。
- ・ 出力波形は矩形波 (方形波) です。

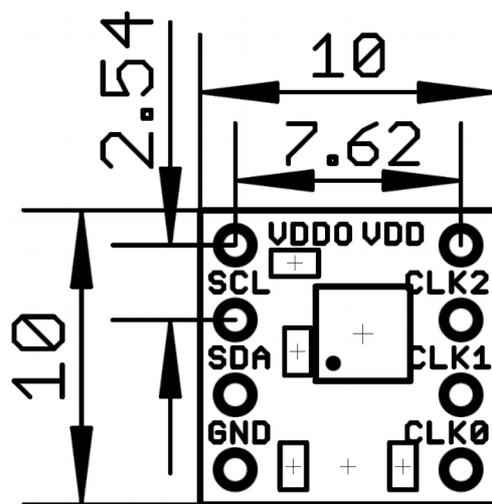
## ●仕様

- ・ 電源電圧
  - コア電圧 (VDD) 2.5V~3.3V
  - 出力部電圧 (VDDO) 1.8V~3.3V
- ・ 消費電流 (最大)
  - コア消費電流 35mA
  - 出力部消費電流 5.6mA
- ・ 出力周波数 2.5kHz~200MHz
- ・ 出力波形 矩形波
- ・ デューティ比 50%
- ・ I<sup>2</sup>Cスレーブアドレス 0b1100 000 (固定)
- ・ 原発振 25MHz (FA-128 25.000000MHz 8.0pF +10.0-10.0)

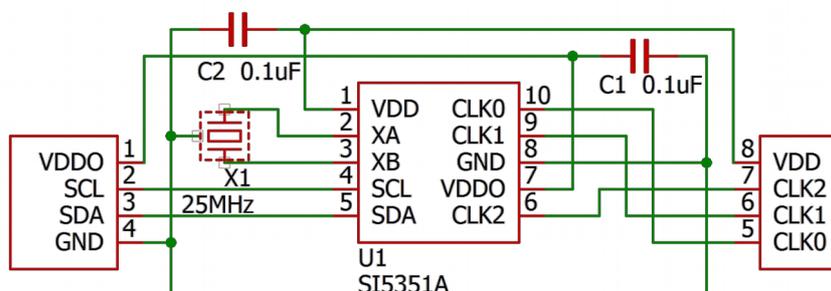


## ●端子説明

端子番号	名称	機能
1	VDDO	出力バッファ用電源入力
2	SCL	I <sup>2</sup> Cクロック入力
3	SDA	I <sup>2</sup> Cデータ入出力
4	GND	GND
5	CLK0	発振器出力
6	CLK1	
7	CLK2	
8	VDD	コア電源入力



## ●回路図



(単位 : mm)

# レジスタ値の設定方法（詳しくはAN619をご覧ください）

## 1.PLLの入力元

<https://www.silabs.com/Support Documents/TechnicalDocs/AN619.pdf>

Si5351A-B-GTなので、入力は水晶振動子のみです。

レジスタ15のPLLx\_SRCを0にします。

レジスタ183でSi5351A内蔵の水晶振動子の負荷容量(CL)を変更することができます。

デフォルトで10pFに設定されているので、8pFに変更します。

## 2.PLL周波数の計算

PLL周波数は

$$fvco = fxtal \times ( a + ( b / c ) )$$

により与えられます。

aは15~90,bは0~1048575,cは1~1048575の値を使用することができます。（いずれも整数）

これらを設定用パラメータP1, P2, P3, に変換します。

$$MSNxP1[17:0] = 128 \times a + \text{Floor}( 128 \times ( b / c ) ) - 512$$

$$MSNxP2[19:0] = 128 \times b - c \times \text{Floor}( 128 \times ( b / c ) )$$

$$MSNxP3[19:0] = c$$

以上のレジスタMSNA\_P1~MSNB\_P3をI<sup>2</sup>Cで転送します。

## 3.出力分周器の設定

レジスタMSx\_SRCでPLLAもしくはPLLBのどちらを使用するか決めることができます。

デフォルトでPLLAを使用するようになっています。

出力周波数は

$$f_{out} = fvco / ( a + ( b / c ) )$$

により与えられます。（ただし(a + (b / c))の結果は6~1800の間であること）

これらを設定用パラメータP1, P2, P3, に変換します。

変換の計算はPLL周波数の計算と同じなので省略します。レジスタはMSxPxです。

以上のレジスタMS0\_P1~MS2\_P3をI<sup>2</sup>Cで転送します。

例:PLL400MHz,出力20MHz

PLL周波数の計算

$$fvco = 25 \times ( 15 + ( 1 / 1 ) ) = 400$$

$$MSNA_P1 = 128 \times 15 + ( 128 \times ( 1 / 1 ) ) - 512 = 1,536$$

$$MSNB_P2 = 128 \times 1 - 1 \times ( 128 \times ( 1 / 1 ) ) = 0$$

$$MSNB_P3 = 1$$

$$\therefore P1=600, P2=0, P3=1(\text{HEX})$$

出力分周器の設定

$$f_{out} = 400 / ( 15 + ( 5 / 1 ) ) = 20$$

$$MS0_P1 = 128 \times 15 + ( 128 \times ( 5 / 1 ) ) - 512 = 2,048$$

$$MS0_P2 = 128 \times 5 - 1 \times ( 128 \times ( 5 / 1 ) ) = 0$$

$$MS0_P3 = 1$$

$$\therefore P1=800, P2=0, P3=1(\text{HEX})$$

$$Rx\_DIV = 1$$

Register	7	6	5	4	3	2	1	0	Register	7	6	5	4	3	2	1	0
0	SYS_INIT	LOL_B	LOL_A	LOS	Reserved			REVID[1:0]	53	MS1_P1[15:8]							
1	SYS_INIT_STKY	LOS_B_STKY	LOL_A_STKY	LOS_STKY	Reserved				54	MS1_P1[7:0]							
2	SYS_INIT_MASK	LOS_B_MASK	LOL_A_MASK	LOS_MASK	Reserved				55	MS1_P3[19:16]				MS1_P2[19:16]			
3					CLK2_EN		CLK1_EN	CLK0_EN	56	MS1_P2[15:8]							
4-8	Reserved								57	MS1_P2[7:0]							
9					OEB_MASK2	OEB_MASK1	OEB_MASK0		58	MS2_P3[15:8]							
10-14	Reserved								59	MS2_P3[7:0]							
15	CLKIN_DIV[2:0]		0	0	PLL_SRC	PLLA_SRC	0	0	60	Reserved	R2_DIV[2:0]		MS2_DIVBY4[1:0]		MS2_P1[17:16]		
16	CLK0_PDN	MS0_INT	MS0_SRC	CLK0_INV	CLRK0_SRC[1:0]		CLK0_IDRV[1:0]		61	MS2_P2[15:8]							
17	CLK1_PDN	MS1_INT	MS1_SRC	CLK1_INV	CLK1_SRC[1:0]		CLK1_IDRV[1:0]		62	MS2_P1[7:0]							
18	CLK2_PDN	MS2_INT	MS2_SRC	CLK2_INV	CLK2_SRC[1:0]		CLK2_IDRV[1:0]		63	MS2_P3[19:16]				MS2_P2[19:16]			
24	CLK2_DIS_STATE				CLK1_DIS_STATE		CLK0_DIS_STATE		64	MS2_P2[15:8]							
26	MSNA_P3[15:8]								65	MS2_P2[7:0]							
27	MSNA_P3[7:0]								149	SSC_EN	SSDN_P2[14:8]						
28	Reserved								150	SSDN_P2[14:8]							
29	MSNA_P1[15:8]								151	SSC_MODE	SSDN_P3[14:8]						
30	MSNA_P1[7:0]								152	SSDN_P3[7:0]							
31	MSNA_P3[19:16]				MSNA_P2[19:16]				153	SSDN_P1[7:0]							
32	MSNA_P2[15:8]								154	SSUDP[11:8]				SSDN_P1[11:8]			
33	MSNA_P2[7:0]								155	SSUDP[7:0]							
34	MSNB_P3[15:8]								156	SSUP_P2[14:8]							
35	MSNB_P3[7:0]								157	SSUP_P2[7:0]							
36	MSNB_P2[17:16]				Reserved				158	SSUP_P3[14:8]							
37	MSNB_P1[15:8]								159	SSUP_P3[7:0]							
38	MSNB_P1[7:0]								160	SSUP_P1[7:0]							
39	MSNB_P3[19:16]				MSNB_P2[19:16]				161	SS_NCLK[3:0]				SSUP_P1[11:8]			
40	MSNB_P2[15:8]								162	VCXO_Param[7:0]							
41	MSNB_P2[7:0]								163	VCXO_Param[15:8]							
42	MS0_P3[15:8]								164	Reserved	VCXO_Param[21:16]						
43	MS0_P3[7:0]								165	Reserved	CLK0_PHOFF[6:0]						
44	Reserved	R0_DIV[2:0]		MS0_DIVBY4[1:0]		Reserved	MS0_P1[17:16]		166	Reserved	CLK1_PHOFF[6:0]						
45	MS0_P1[15:8]								167	Reserved	CLK2_PHOFF[6:0]						
46	MS0_P1[7:0]								171-176	Reserved							
47	MS0_P3[19:16]				MS0_P2[19:16]				177	PLL_RST	Reserved	PLLA_RST	Reserved				
48	MS0_P2[15:8]								178-182	Reserved							
49	MS0_P2[7:0]								183	XTAL_CL				Reserved			
50	MS1_P3[15:8]								184-186	Reserved							
51	MS1_P3[7:0]								187	CLKIN_FANOUT_EN	XO_FANOUT_EN	Reserved	MS_FANOUT_EN	Reserved			
52	Reserved	R1_DIV[2:0]		MS1_DIVBY4[1:0]		MS1_P1[17:16]		188-255	Reserved								