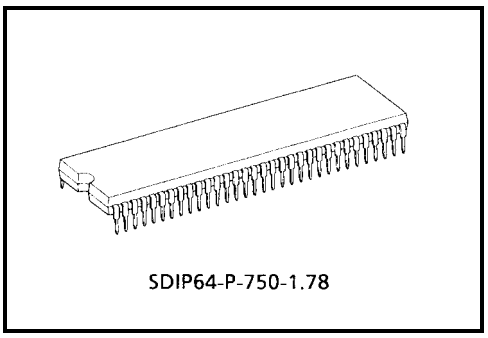
東芝 CMOS デジタル集積回路　シリコン　モノリシック

TC6367AN

I/O エキスパンダ

TC6367AN は、0.6 μ プロセスの CMOS シリコンゲート技術で作られた Z80 系 CPU のデータバスの拡張機能をもつ IC です。
8 ビットの出力ポートが最大 4 系統、チップセレクト信号を最大 13 本（ライト: 9、リード: 4）と入力アドレスフルデコード回路を内蔵した I/O エキスパンダです。



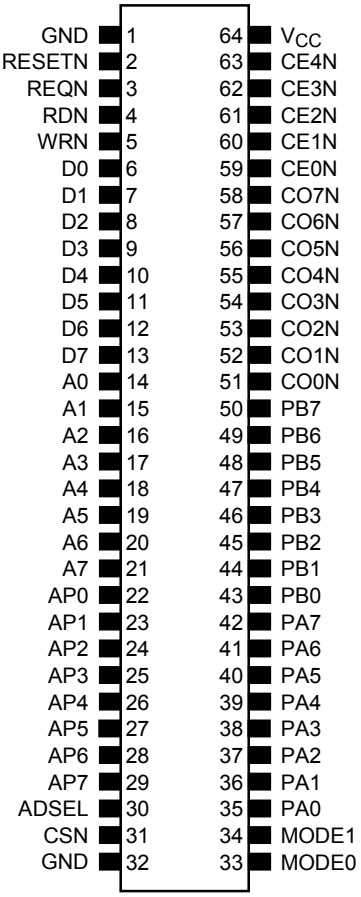
質量: 8.6 g (標準)

特　長

- 5 V 単一電源で動作し、動作範囲は 5.0 V ± 10%と広範囲です。
- データバス、アドレスバスにプルアップ抵抗内蔵
- アドレスセレクトの切り替えによりアドレス値の変更機能
- モード切り替えにより出力ポート数、外部 I/O チップセレクト本数の変更が可能
- 64 ピンプラスティックシュリンク DIP64 (SDIP64-P-750-1.78)

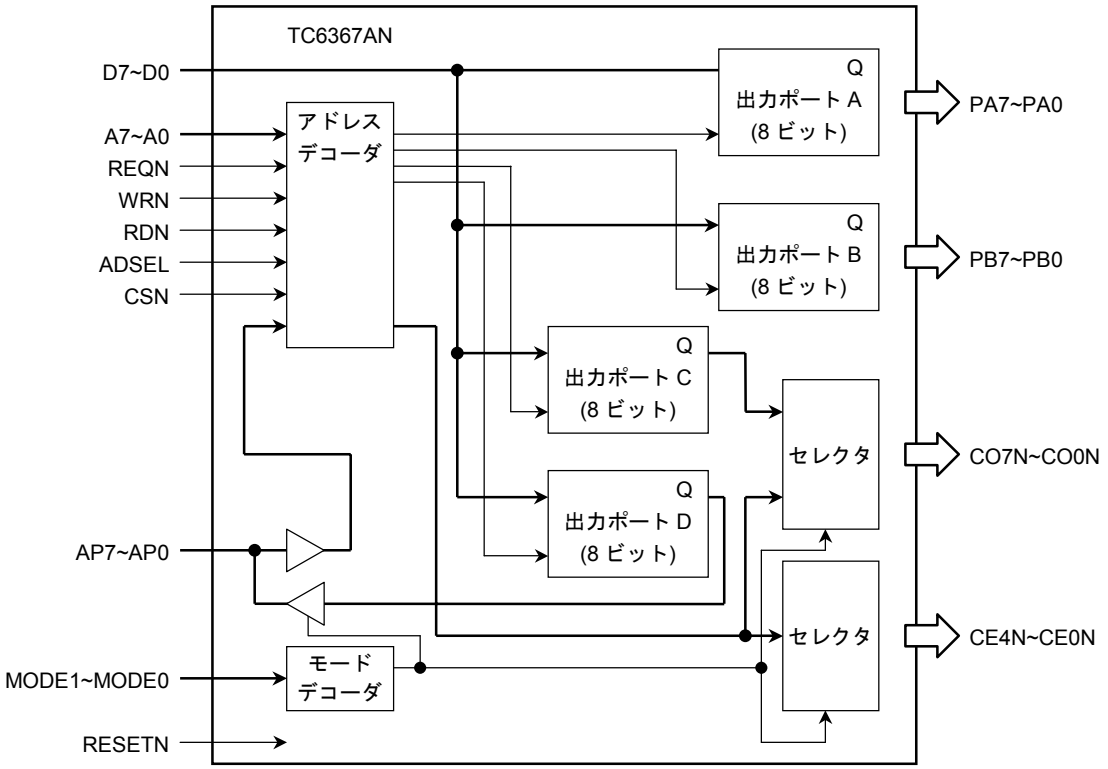
注 1:　Z80 は米国ザイログ社の商標です。

ピン接続図 (top view)



システム構成

TC6367AN ブロック図



端子名称および機能

端子名称	端子番号	入/出力	機　　能
GND	1	—	電源端子 (0 V)
RESETN	2	入力	全出力ポートのリセット用信号 “L” レベルでリセット状態
REQN	3	入力	リクエスト信号 (MREQ または IORQ) で出力ポートおよび外部 I/O チップセレクトの選択に使用
RDN	4	入力	リード信号 “L” レベルでリード状態
WRN	5	入力	ライト信号 “L” レベルでライト状態
D0	6	入力	8 ビットの入力データバス
D1	7		
D2	8		
D3	9		
D4	10		
D5	11		
D6	12		
D7	13		

注 2: 「負論理」となる端子には、端子名称末尾にすべて N を付けて「負論理」端子として区別しています。

端子名称	端子番号	入/出力	機　　能
A0	14	入力	アドレス信号で出力ポートおよび外部 I/O チップセレクト信号のアドレスの選択に使用
A1	15		
A2	16		
A3	17		
A4	18		
A5	19		
A6	20		
A7	21		
AP0	22		機能兼用端子 MODE0、MODE1 信号の組み合わせにより以下の状態となる 動作モード 0、2 時　　アドレス信号入力 動作モード 1、3 時　　8 ビット出力ポート (機能説明　モード別動作参照)
AP1	23		
AP2	24		
AP3	25		
AP4	26		
AP5	27		
AP6	28		
AP7	29		
ADSEL	30	入力	アドレスデコード値を 2 系統に切り替える (機能説明　アドレス選択参照)
CSN	31	入力	チップセレクト信号 モード 1､3 では IC 外部アドレスデコーダよりの信号または直接基板にて GND を接続してください。 モード 0、2 では本信号は動作に無関係ですので直接基板にて GND を接続してください。
GND	32	—	電源端子 (0 V)
MODE0	33	入力	モード切替信号 (機能説明　モード別動作参照)
MODE1	34	入力	
PA0	35	出力	8 ビット出力ポート機能、出力ラッチバッファをもっており RESETN 信号入力時は “L” が出力される
PA1	36		
PA2	37		
PA3	38		
PA4	39		
PA5	40		
PA6	41		
PA7	42		
PB0	43	出力	8 ビット出力ポート機能、出力ラッチバッファをもっており RESETN 信号入力時は “L” が出力される
PB1	44		
PB2	45		
PB3	46		
PB4	47		
PB5	48		
PB6	49		
PB7	50		

注 3: 「負論理」となる端子には、端子名称末尾にすべて N を付けて「負論理」端子として区別しています。

端子名称	端子番号	入/出力	機　　能
CO0N	51	出力	機能兼用端子 MODE0、MODE1 信号の組み合わせにより以下の状態となる 動作モード 0、1 時　　ライト用チップイネーブル信号 動作モード 2、3 時　　8 ビット出力ポート (機能説明　モード別動作参照)
CO1N	52		
CO2N	53		
CO3N	54		
CO4N	55		
CO5N	56		
CO6N	57		
CO7N	58		
CE0N	59	出力	機能兼用端子 チップイネーブルとして機能 MODE0、MODE1 信号の組み合わせによりリード用またはライト用チップイネーブルとなる (機能説明　モード別動作参照)
CE1N	60		
CE2N	61		
CE3N	62		
CE4N	63		
V_{CC}	64	—	電源端子 (5 V)

注 4:　「負論理」となる端子には、端子名称末尾にすべて N を付けて「負論理」端子として区別しています。
(ただし CO0N~CO7N に関しては本端子をチップイネーブルとして使用するときに「負論理」となります。)

機能説明

TC6367AN には、モード切り替えによる出力ポート数、チップセレクト数の選択機能、アドレスメモリマップを切り替える機能が内蔵されており、これら機能を外部端子にて直接制御することにより変えることが可能です（機能兼用端子使用)。
(モード設定信号およびアドレスマップ切り替え信号は、基板に直接 V_{CC} もしくは GND を接続することを推薦します。)

- 動作モード

動作モード（4 モード）の設定および動作は以下のとおりとなります。

使用端子名称: MODE0、MODE1

MODE1 端子	MODE0 端子	動作モード	アドレス入力	出力ポート数
0	0	モード 0	AP7~AP0、A7~A0 の 16 本	8 ビット ×2 ポート
0	1	モード 1	A7~A0 の 8 本	8 ビット ×3 ポート
1	0	モード 2	AP7~AP0、A7~A0 の 16 本	8 ビット ×3 ポート
1	1	モード 3	A7~A0 の 8 本	8 ビット ×4 ポート

モード 0: 16 ビットの出力ポートと 13 本の外部 I/O チップセレクト（ライト 9 本、リード 4 本）として動作するモード。
モード 1: 24 ビットの出力ポートと 13 本の外部 I/O チップセレクト（ライト 9 本、リード 4 本）として動作するモード。
モード 2: 24 ビットの出力ポートと 5 本の外部 I/O チップセレクト（ライト 3 本、リード 2 本）として動作するモード。
モード 3: 32 ビットの出力ポートと 5 本の外部 I/O チップセレクト（ライト 3 本、リード 2 本）として動作するモード。

- アドレス選択

本 TC6367AN を 2 個使用する場合、アドレスデコーダなしにアドレスデコード範囲が重複するのを回避させることが可能です。
アドレスマップ切り替え設定および動作は以下のとおりとなります。

使用端子名称: ADSEL

モード 0		モード 1		モード 2		モード 3	
ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲	ADSEL = 0 時の デコード範囲	ADSEL = 1 時の デコード範囲
FE00~FE0F	FE20~FE2F	00~0F	20~2F	FE10~FE18	FE30~FE38	10~18	30~38

アドレスは Hex 表示

- モード別動作

(1) モード 0

モード 0 時の機能兼用端子の機能

端子名称	入/出力	機　　能
AP0	入力	アドレス信号で出力ポートおよび外部 I/O チップ セレクト信号のアドレスの選択に使用 上位アドレス 8 ビットに対応し、A7~A0 と併せて 16 ビットアドレス入力となる
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に "L" が出力される (ライト用チップイネーブル信号 9 ビット) 注: RESETN 信号とは無関係に動作
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N		
CE1N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に "L" が出力される (リード用チップイネーブル信号 4 ビット) 注: RESETN 信号とは無関係に動作
CE2N		
CE3N		
CE4N		

アドレスマップおよび動作（REQN が正常なタイミングにて “L” 入力されている状態）

1) ADSEL = 0 のとき

アドレス上位 AP7~AP0	アドレス下位 A7~A0	選択ポート･チップセレクト	動　　作
FE	00	出力ポート PA [7:0]	ライト動作
FE	01	出力ポート PB [7:0]	ライト動作
FE	03	外部 I/O チップセレクト CO0N	ライト動作
FE	04	外部 I/O チップセレクト CO1N	ライト動作
FE	05	外部 I/O チップセレクト CO2N	ライト動作
FE	06	外部 I/O チップセレクト CO3N	ライト動作
FE	07	外部 I/O チップセレクト CO4N	ライト動作
FE	08	外部 I/O チップセレクト CO5N	ライト動作
FE	09	外部 I/O チップセレクト CO6N	ライト動作
FE	0A	外部 I/O チップセレクト CO7N	ライト動作
FE	0B	外部 I/O チップセレクト CE0N	ライト動作
FE	0C	外部 I/O チップセレクト CE1N	リード動作
FE	0D	外部 I/O チップセレクト CE2N	リード動作
FE	0E	外部 I/O チップセレクト CE3N	リード動作
FE	0F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

2) ADSEL = 1 のとき

アドレス上位 AP7~AP0	アドレス下位 A7~A0	選択ポート･チップセレクト	動　　作
FE	20	出力ポート PA [7:0]	ライト動作
FE	21	出力ポート PB [7:0]	ライト動作
FE	23	外部 I/O チップセレクト CO0N	ライト動作
FE	24	外部 I/O チップセレクト CO1N	ライト動作
FE	25	外部 I/O チップセレクト CO2N	ライト動作
FE	26	外部 I/O チップセレクト CO3N	ライト動作
FE	27	外部 I/O チップセレクト CO4N	ライト動作
FE	28	外部 I/O チップセレクト CO5N	ライト動作
FE	29	外部 I/O チップセレクト CO6N	ライト動作
FE	2A	外部 I/O チップセレクト CO7N	ライト動作
FE	2B	外部 I/O チップセレクト CE0N	ライト動作
FE	2C	外部 I/O チップセレクト CE1N	リード動作
FE	2D	外部 I/O チップセレクト CE2N	リード動作
FE	2E	外部 I/O チップセレクト CE3N	リード動作
FE	2F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

(2) モード 1

モード 1 時の機能兼用端子の機能

端子名称	入/出力	機　　能
AP0	出力	8 ビット出力ポート機能、出力ラッチバッファをもっており RESETN 信号入力時は “L” が出力される
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	チップイネーブルとして機能､外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に “L” が出力される (ライト用チップイネーブル信号 9 ビット) 注: RESETN 信号とは無関係に動作
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N		
CE1N	出力	チップイネーブルとして機能､外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に “L” が出力される (リード用チップイネーブル信号 4 ビット) 注: RESETN 信号とは無関係に動作
CE2N		
CE3N		
CE4N		

アドレスマップおよび動作（REQN·CSN が正常なタイミングにて “L” 入力されている状態）

1) ADSEL = 0 のとき

アドレス A7~A0	選択ポート·チップセレクト	動　　作
00	出力ポート PA [7:0]	ライト動作
01	出力ポート PB [7:0]	ライト動作
02	出力ポート AP [7:0]	ライト動作
03	外部 I/O チップセレクト CO0N	ライト動作
04	外部 I/O チップセレクト CO1N	ライト動作
05	外部 I/O チップセレクト CO2N	ライト動作
06	外部 I/O チップセレクト CO3N	ライト動作
07	外部 I/O チップセレクト CO4N	ライト動作
08	外部 I/O チップセレクト CO5N	ライト動作
09	外部 I/O チップセレクト CO6N	ライト動作
0A	外部 I/O チップセレクト CO7N	ライト動作
0B	外部 I/O チップセレクト CE0N	ライト動作
0C	外部 I/O チップセレクト CE1N	リード動作
0D	外部 I/O チップセレクト CE2N	リード動作
0E	外部 I/O チップセレクト CE3N	リード動作
0F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

2) ADSEL = 1 のとき

アドレス A7~A0	選択ポート·チップセレクト	動　　作
20	出力ポート PA [7:0]	ライト動作
21	出力ポート PB [7:0]	ライト動作
22	出力ポート AP [7:0]	ライト動作
23	外部 I/O チップセレクト CO0N	ライト動作
24	外部 I/O チップセレクト CO1N	ライト動作
25	外部 I/O チップセレクト CO2N	ライト動作
26	外部 I/O チップセレクト CO3N	ライト動作
27	外部 I/O チップセレクト CO4N	ライト動作
28	外部 I/O チップセレクト CO5N	ライト動作
29	外部 I/O チップセレクト CO6N	ライト動作
2A	外部 I/O チップセレクト CO7N	ライト動作
2B	外部 I/O チップセレクト CE0N	ライト動作
2C	外部 I/O チップセレクト CE1N	リード動作
2D	外部 I/O チップセレクト CE2N	リード動作
2E	外部 I/O チップセレクト CE3N	リード動作
2F	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

(3) モード 2

モード 2 時の機能兼用端子の機能

端子名称	入/出力	機　　能
AP0	入力	アドレス信号で出力ポートおよび外部 I/O チップセレクト信号のアドレスの選択に使用 上位アドレス 8 ビットに対応し、A7~A0 と併せて 16 ビットアドレス入力となる
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	8 ビット出力ポート機能、出力ラッチバッファをもっており RESETN 信号入力時は "L" が出力される
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に "L" が出力される (ライト用チップイネーブル信号 3 ビット) 注: RESETN 信号とは無関係に動作
CE1N		
CE2N		
CE3N	出力	チップイネーブルとして機能、外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に "L" が出力される (リード用チップイネーブル信号 2 ビット) 注: RESETN 信号とは無関係に動作
CE4N		

アドレスマップおよび動作 (REQN が正常なタイミングにて "L" 入力されている状態)

1) ADSEL = 0 のとき

アドレス上位 AP7~AP0	アドレス下位 A7~A0	選択ポート·チップセレクト	動　　作
FE	10	出力ポート PA [7:0]	ライト動作
FE	11	出力ポート PB [7:0]	ライト動作
FE	12	出力ポート CO [7:0] N	ライト動作
FE	14	外部 I/O チップセレクト CE0N	ライト動作
FE	15	外部 I/O チップセレクト CE1N	ライト動作
FE	16	外部 I/O チップセレクト CE2N	ライト動作
FE	17	外部 I/O チップセレクト CE3N	リード動作
FE	18	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

2) ADSEL = 1 のとき

アドレス上位 AP7~AP0	アドレス下位 A7~A0	選択ポート･チップセレクト	動　　作
FE	30	出力ポート PA [7:0]	ライト動作
FE	31	出力ポート PB [7:0]	ライト動作
FE	32	出力ポート CO [7:0] N	ライト動作
FE	34	外部 I/O チップセレクト CE0N	ライト動作
FE	35	外部 I/O チップセレクト CE1N	ライト動作
FE	36	外部 I/O チップセレクト CE2N	ライト動作
FE	37	外部 I/O チップセレクト CE3N	リード動作
FE	38	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

(4) モード 3

モード 3 時の機能兼用端子の機能

端子名称	入/出力	機　　能
AP0	出力	8 ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は “L” が出力される
AP1		
AP2		
AP3		
AP4		
AP5		
AP6		
AP7		
CO0N	出力	8 ビット出力ポート機能、出力ラッチバッファを持っており RESETN 信号入力時は “L” が出力される
CO1N		
CO2N		
CO3N		
CO4N		
CO5N		
CO6N		
CO7N		
CE0N	出力	チップイネーブルとして機能､外部 I/O チップセレクト信号で REQN 信号および WRN 信号がイネーブルになると (ライト動作) アドレス値に対応した端子に “L” が出力される (ライト用チップイネーブル信号 3 ビット) 注: RESETN 信号とは無関係に動作
CE1N		
CE2N		
CE3N	出力	チップイネーブルとして機能､外部 I/O チップセレクト信号で REQN 信号および RDN 信号がイネーブルになると (リード動作) アドレス値に対応した端子に “L” が出力される (リード用チップイネーブル信号 2 ビット) 注: RESETN 信号とは無関係に動作
CE4N		

アドレスマップおよび動作（REQN·CSN が正常なタイミングにて “L” 入力されている状態）

1) ADSEL = 0 のとき

アドレス A7~A0	選択ポート·チップセレクト	動　　作
10	出力ポート PA [7:0]	ライト動作
11	出力ポート PB [7:0]	ライト動作
12	出力ポート CO [7:0] N	ライト動作
13	出力ポート AP [7:0]	ライト動作
14	外部 I/O チップセレクト CE0N	ライト動作
15	外部 I/O チップセレクト CE1N	ライト動作
16	外部 I/O チップセレクト CE2N	ライト動作
17	外部 I/O チップセレクト CE3N	リード動作
18	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

2) ADSEL = 1 のとき

アドレス A7~A0	選択ポート·チップセレクト	動　　作
30	出力ポート PA [7:0]	ライト動作
31	出力ポート PB [7:0]	ライト動作
32	出力ポート CO [7:0] N	ライト動作
33	出力ポート AP [7:0]	ライト動作
34	外部 I/O チップセレクト CE0N	ライト動作
35	外部 I/O チップセレクト CE1N	ライト動作
36	外部 I/O チップセレクト CE2N	ライト動作
37	外部 I/O チップセレクト CE3N	リード動作
38	外部 I/O チップセレクト CE4N	リード動作

アドレスは Hex 表示

絶対最大定格

項　　目	記　号	定　　格	単位
電源電圧	V_{CC}	−0.3~+7.0	V
入力電圧	V_{IH}	−0.3~V_{CC} + 0.3	V
出力電圧	V_{OUT}	−0.3~V_{CC} + 0.3	V
入力保護ダイオード電流	I_{IK}	±10	mA
出力寄生ダイオード電流	I_{OK}	±10	mA
出力電流	I_{OUT}	±20	mA
電源/GND電流	I_{CC}	100	mA
許容損失	P_D	440	mW
保存温度	T_{stg}	−40~+125	°C

推奨動作条件

項　　目	記　号	定　　格	単位
電　源　電　圧	V_{CC}	4.5~5.5	V
入　力　電　圧	V_{IH}	0~V_{CC}	V
出　力　電　圧	V_{OUT}	0~V_{CC}	V
動　作　温　度	T_{opr}	0~85	°C
入力上昇、下降時間	tr, tf	0~500	ns

DC 電気的特性 (V_{CC} = 5.0 V ± 10% GND = 0 V Ta = 0~85°C)

項　　目	記　号	適　用　端　子	条　件	最小	最大	単位
高レベル入力電圧	V_{IH}	REQN, A7~A0, AP7~AP0, ADSEL, MODE0	—	3.5	—	V
高レベル入力電圧(シュミット付き)	V_{IH}	RESETN, RDN, WRN, D7~D0, CSN, MODE1	—	4.0	—	V
低レベル入力電圧	V_{IL}	REQN, A7~A0, AP7~AP0, ADSEL, MODE0	—	—	1.5	V
低レベル入力電圧(シュミット付き)	V_{IL}	RESETN, RDN, WRN, D7~D0, CSN, MODE1	—	—	1.0	V
高レベル入力電流	I_{IH}	すべての入力端子	V_{IN} = V_{CC}	−10	10	μA
低レベル入力電流	I_{IL}	ADSEL, CSN, MODE0	V_{IN} = GND	−10	10	μA
低レベル入力電流(プルアップ付き)	I_{IL}	RESETN, REQN, RDN, WRN, D7~D0, A7~A0, AP7~AP0, MODE1	V_{IN} = GND	−200	−10	μA
高レベル出力電圧	V_{OH}	すべての出力端子	I_{OH} = −2 mA	V_{CC} − 0.4	—	V
			I_{OH} = −8 mA	2.4	—	
低レベル出力電圧	V_{OL}	すべての出力端子	I_{OL} = 8 mA	—	0.4	V
プルアップ抵抗値	R_{IN}	RESETN, REQN, RDN, WRN, D7~D0, A7~A0, AP7~AP0, MODE1	—	25	150	kΩ
静的消費電流	I_{DD}		V_{IN} = GND	—	4.3	mA
			V_{IN} = V_{CC}	—	100	μA

AC 電気的特性
(V_{CC} = 5.0 V ± 10% GND = 0 V Ta = 0~85°C 端子負荷容量 (CL) = 50 pF 動作モード共通)

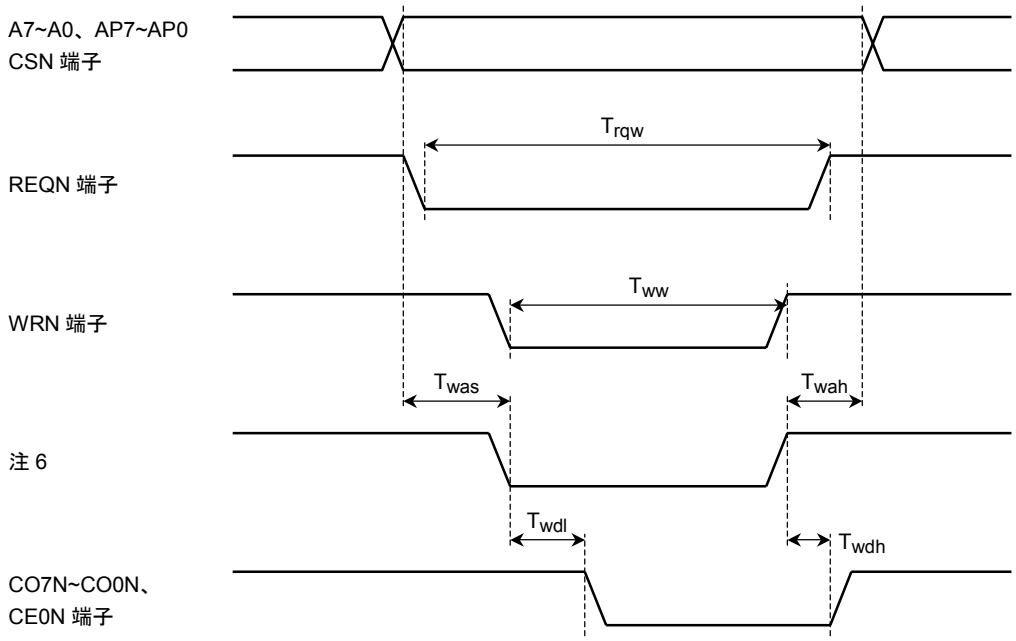
記　号	項　　目	最小	標準	最大	単位
T_{was}	REQN と WRN のどちらか後に立ち下がる信号に対するアドレス·CSN セットアップ時間	20	—	—	ns
T_{wah}	REQN と WRN のどちらか先に立ち上がる信号に対するアドレス·CSN ホールド時間	0	—	—	ns
T_{wdl}	REQN と WRN のどちらか後に立ち下がる信号からライトチップイネーブル信号が "L" になるまでの遅延時間	3	—	23	ns
T_{wdh}	REQN と WRN のどちらか先に立ち上がる信号からライトチップイネーブル信号が "H" になるまでの遅延時間	2	—	17	ns
T_{ras}	REQN と RDN のどちらか後に立ち下がる信号に対するアドレス·CSN セットアップ時間	0	—	—	ns
T_{rah}	REQN と RDN のどちらか先に立ち上がる信号に対するアドレス·CSN ホールド時間	0	—	—	ns
T_{rdl}	REQN と RDN のどちらか後に立ち下がる信号からリードチップイネーブル信号が "L" になるまでの遅延時間	13	—	65	ns
T_{rdh}	REQN と RDN のどちらか先に立ち上がる信号からリードチップイネーブル信号が "H" になるまでの遅延時間	2	—	17	ns
T_{wdas}	REQN と WRN のどちらか後に立ち下がる信号に対するアドレス·CSN セットアップ時間	20	—	—	ns
T_{wdah}	REQN と WRN のどちらか先に立ち上がる信号に対するアドレス·CSN ホールド時間	0	—	—	ns
T_{ds}	REQN と WRN のどちらか先に立ち上がる信号に対する入力データセットアップ時間	15	—	—	ns
T_{dh}	REQN と WRN のどちらか先に立ち上がる信号に対する入力データホールド時間	0	—	—	ns
T_{wdd}	REQN と WRN のどちらか先に立ち上がる信号に対する出力データの遅延時間	2	—	24	ns
T_{rstw}	RESETN の "L" パルス幅	10	—	—	ns
T_{ww}	WRN の "L" パルス幅	40	—	—	ns
T_{rw}	RDN の "L" パルス幅	40	—	—	ns
T_{rqw}	REQN の "L" パルス幅	40	—	—	ns
T_{rstd}	RESETN の立ち下がりに対する出力データの遅延時間	3	—	20	ns
C_{IN}	入力容量 (Ta = 25°C 時)	—	10	—	pF
	入力容量	—	—	20	
C_{OUT}	出力容量 (Ta = 25°C 時)	—	10	—	pF
C_{PD}	等価内部容量 (Ta = 25°C 時) (注 5)	—	190	—	pF

注 5: C_{PD} は、無負荷時の動作消費電流より計算した IC 内部の等価容量です。無負荷時の平均動作時消費電流は、次式より求められます。

$I_{DD\ (opr)} = f_{IN} \cdot C_{PD} \cdot V_{CC}/gate + I_{DD}$

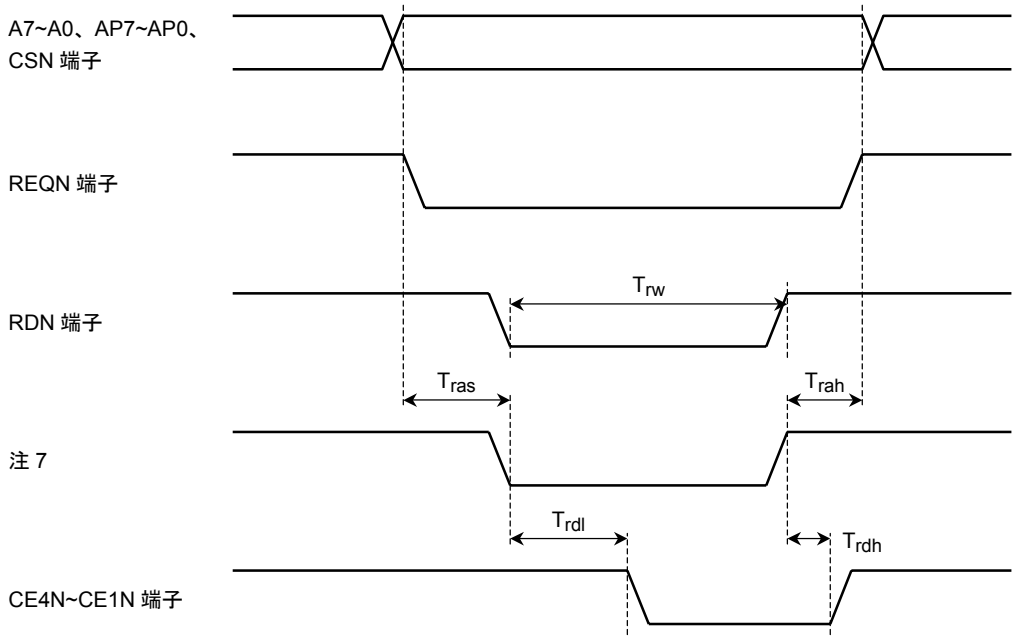
モード別タイミング図

(1) モード 0
ライト動作タイミング



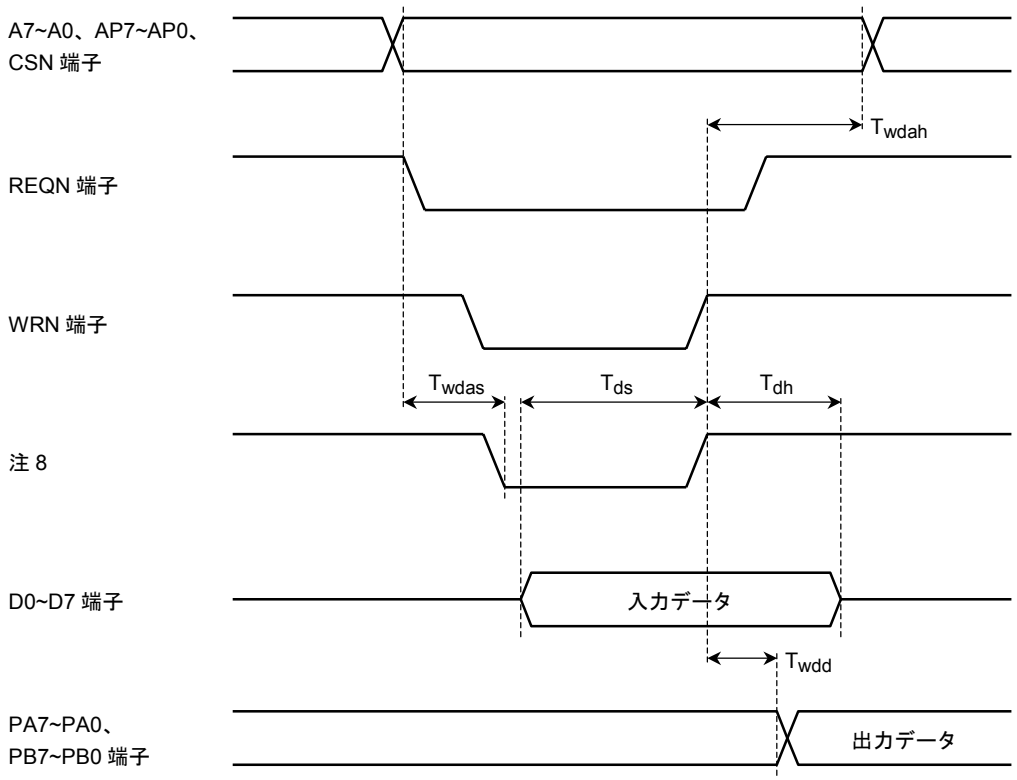
注 6: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



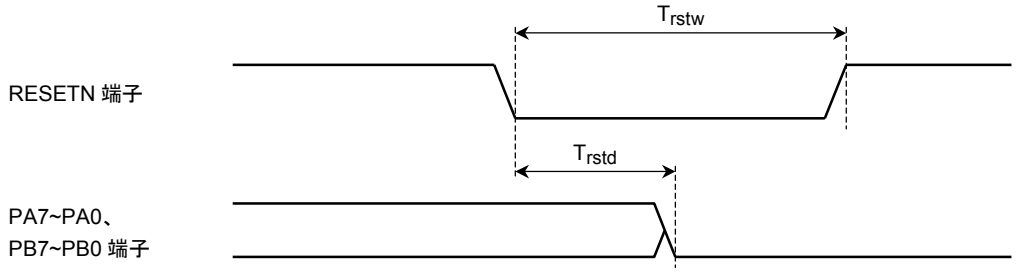
注 7: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング

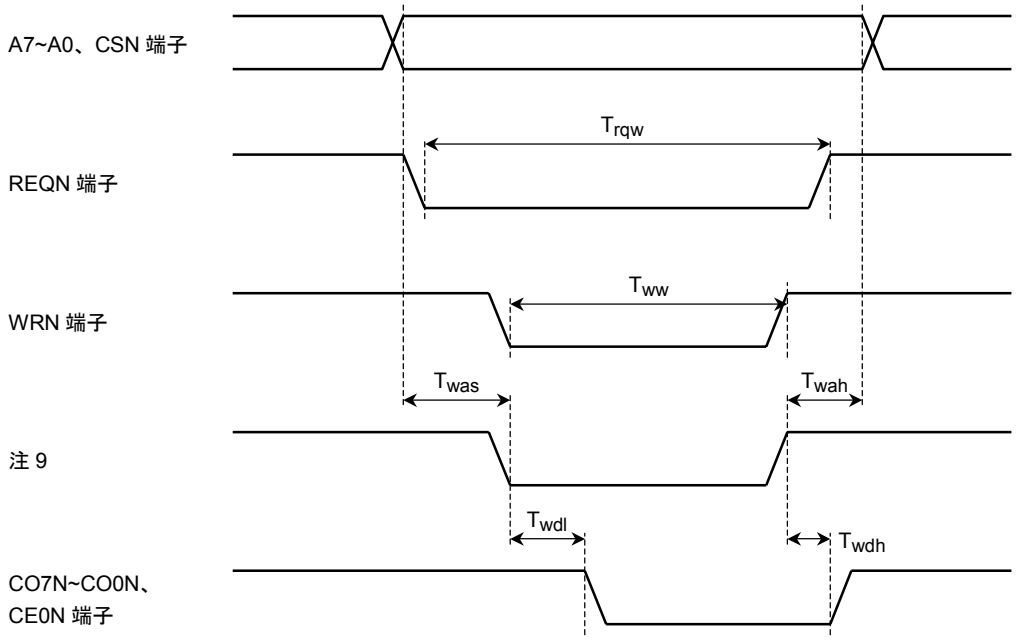


注 8: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅

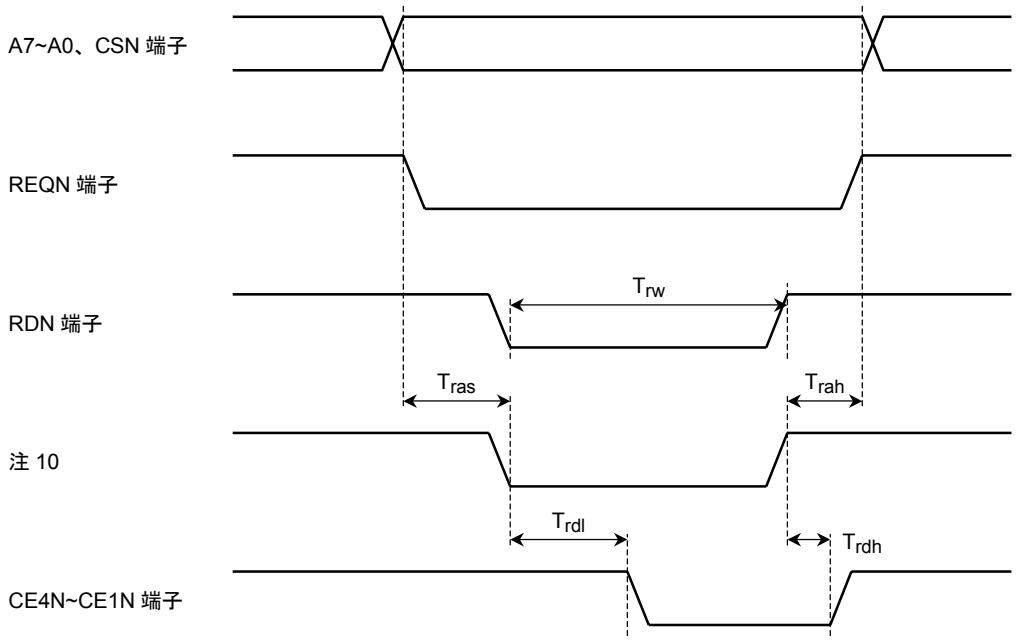


(2) モード 1
ライト動作タイミング



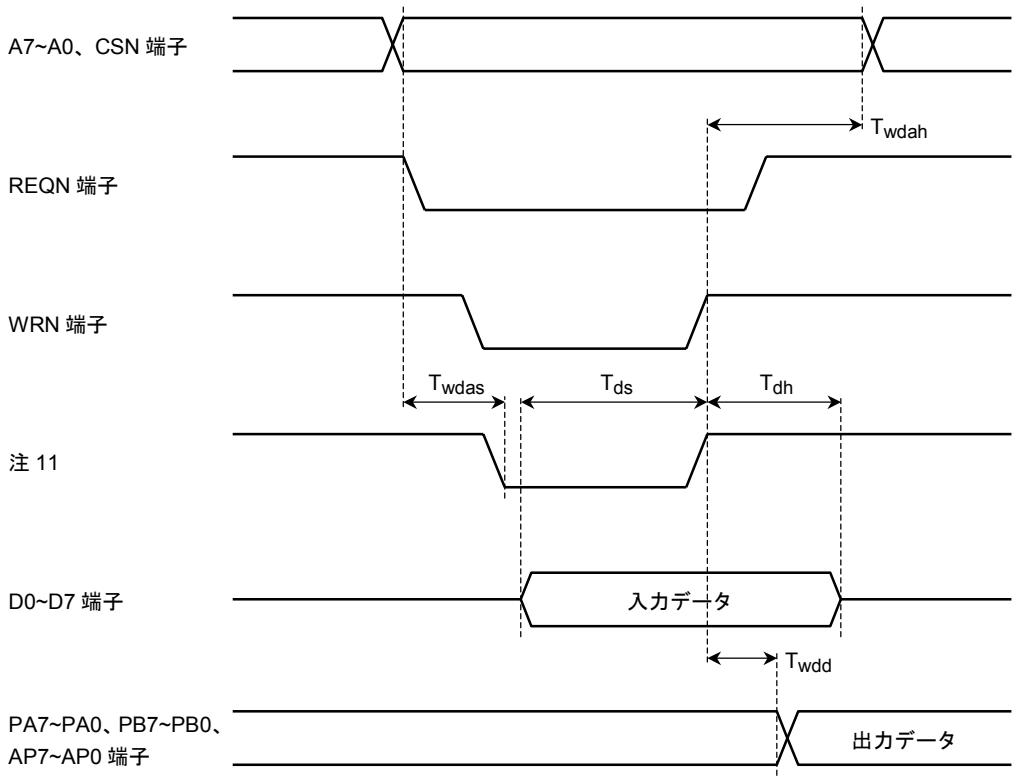
注 9: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



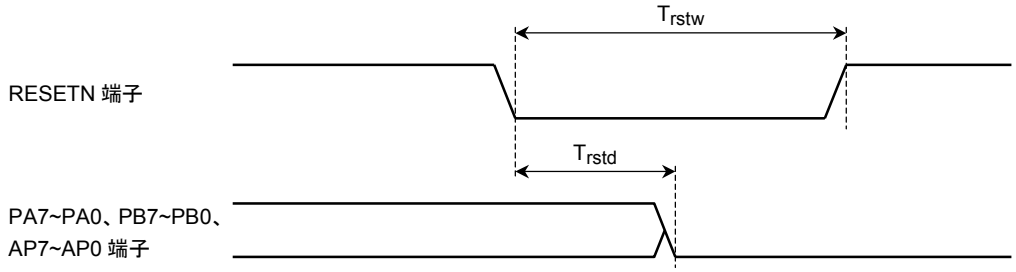
注 10: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング

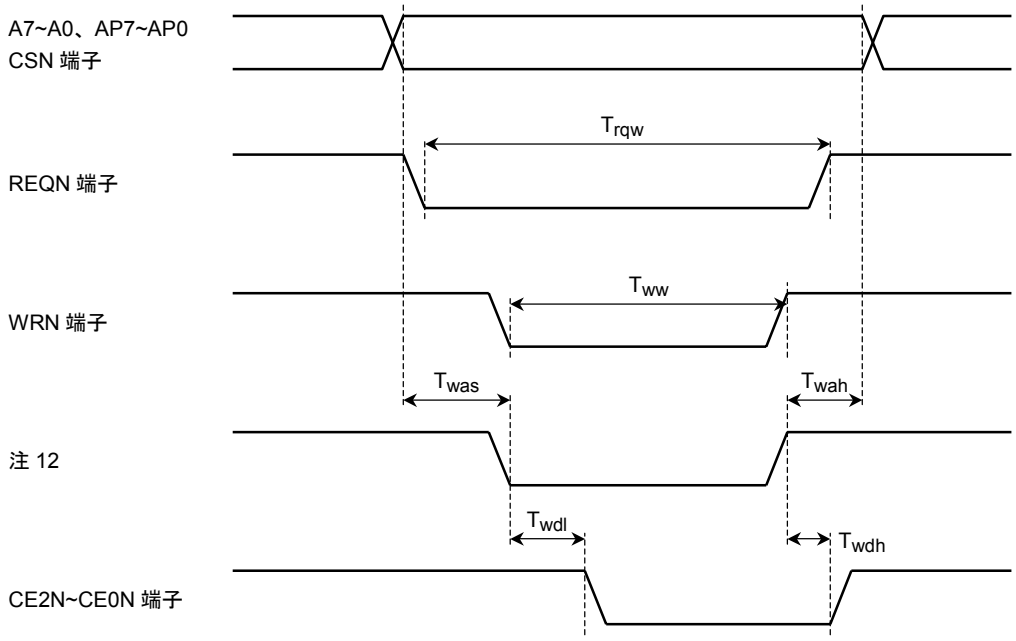


注 11: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅

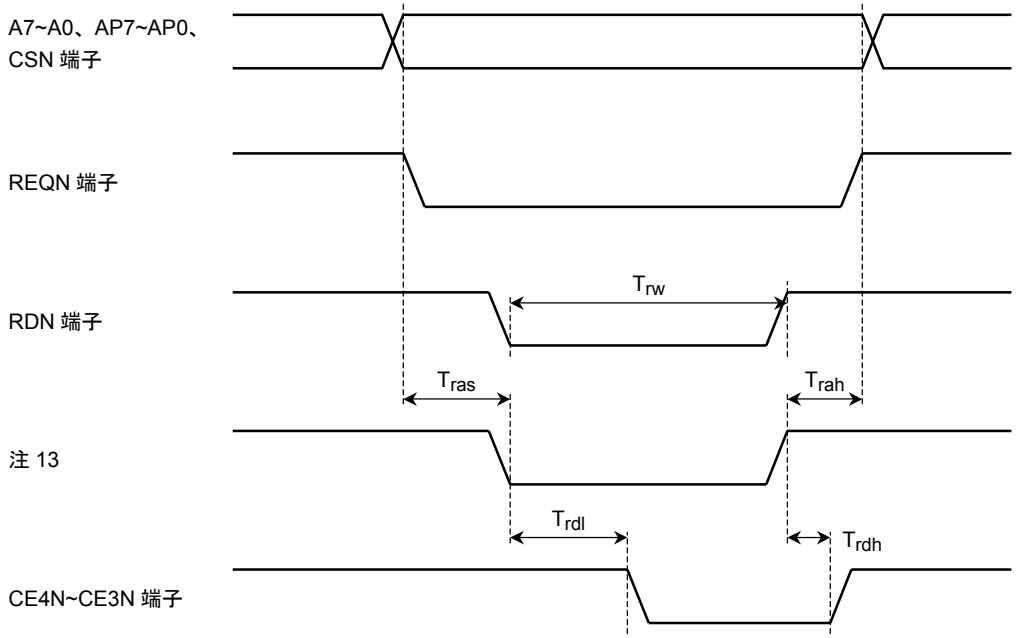


(3) モード 2
ライト動作タイミング



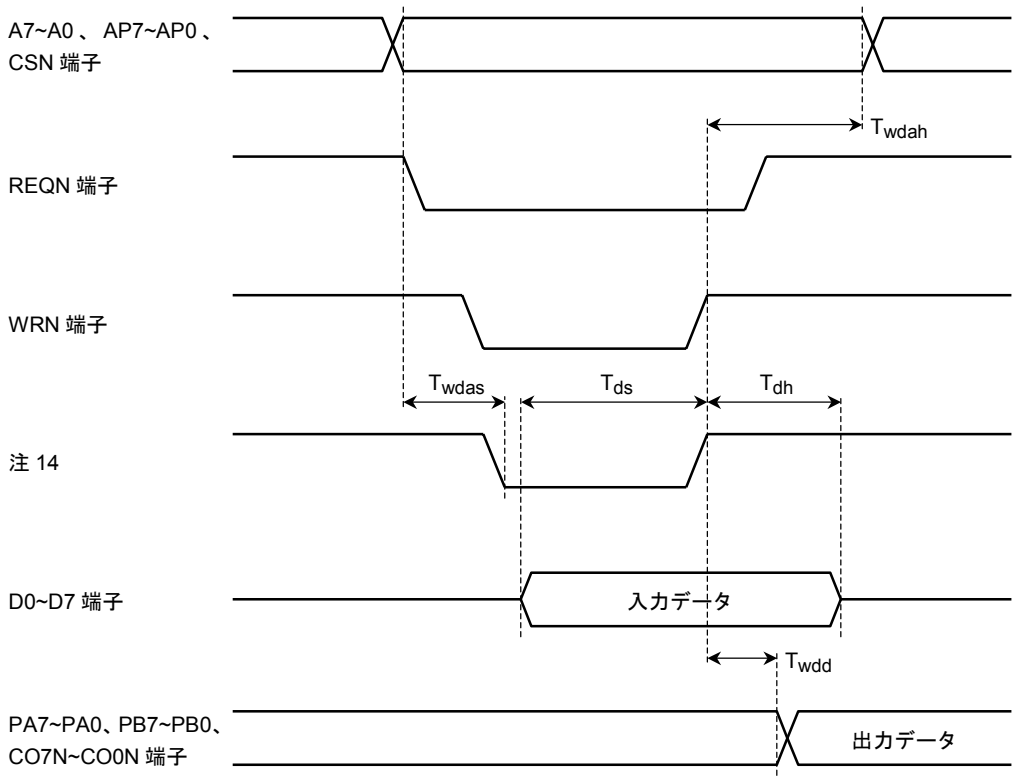
注 12: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



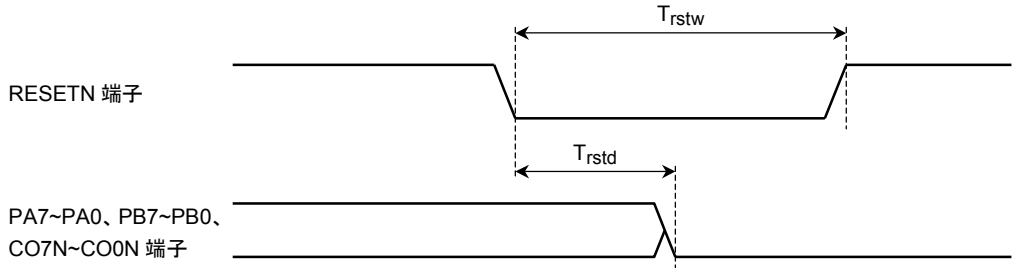
注 13: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング

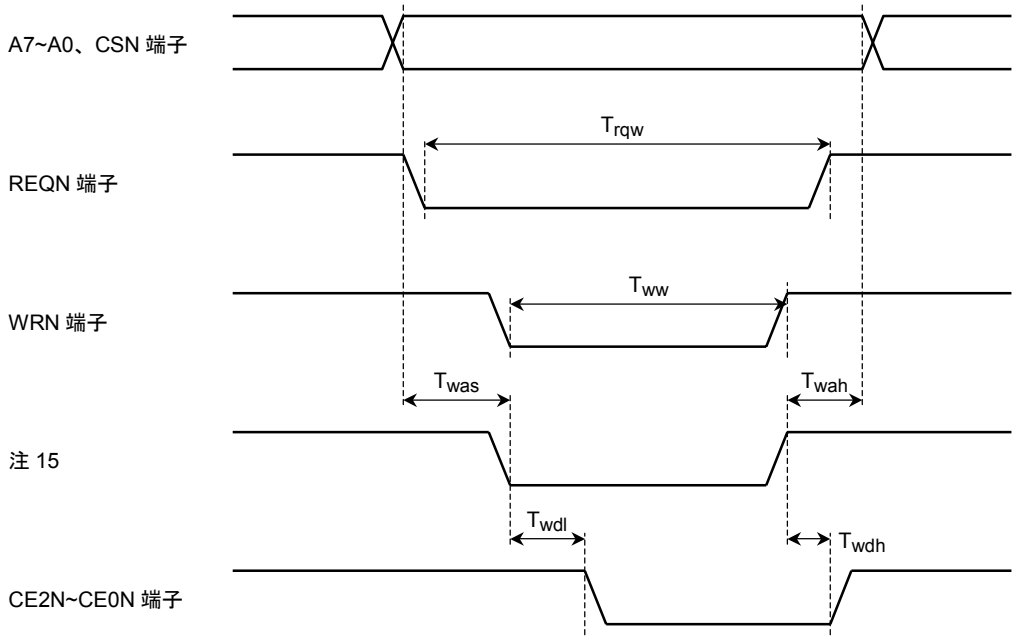


注 14: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅

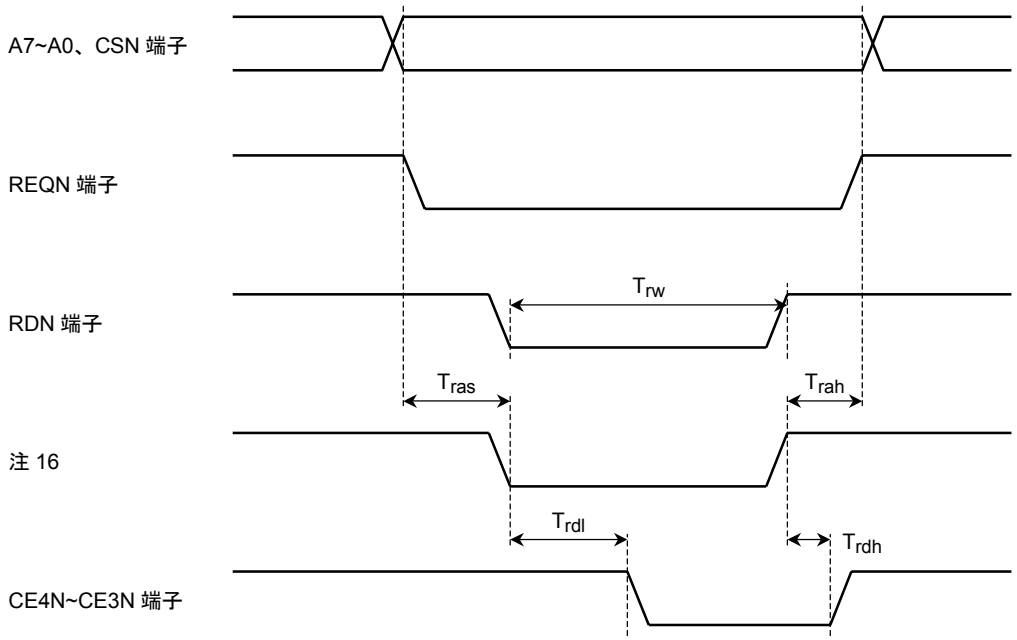


(4) モード 3
ライト動作タイミング



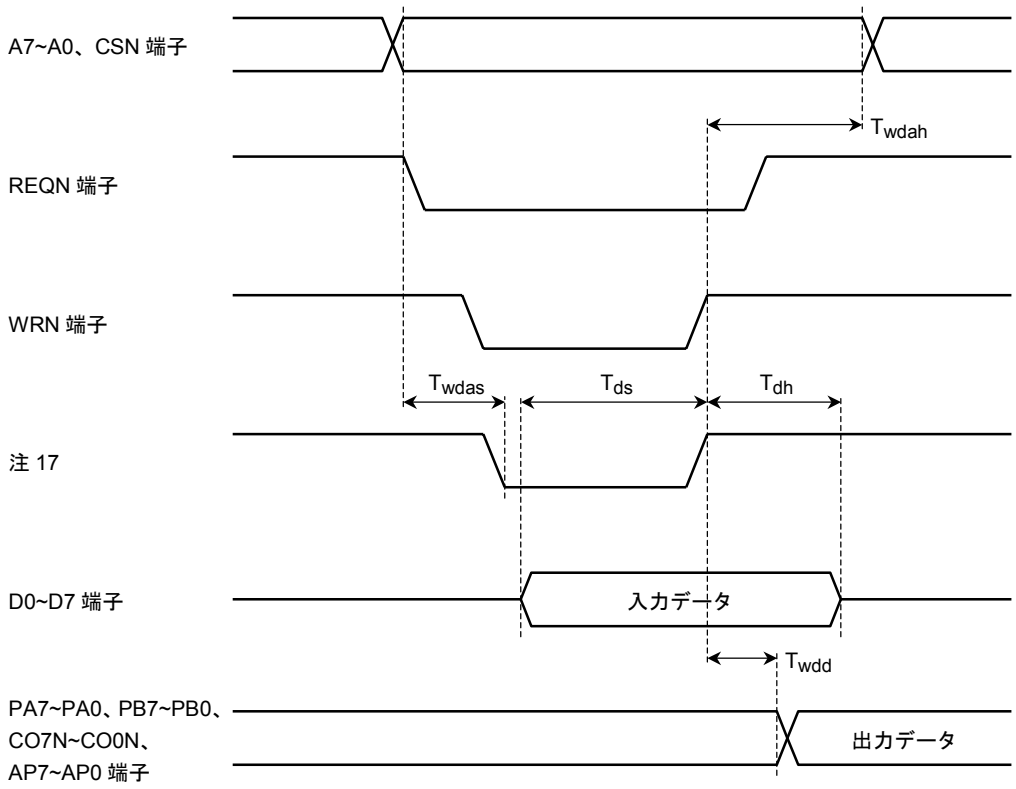
注 15: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リード動作タイミング



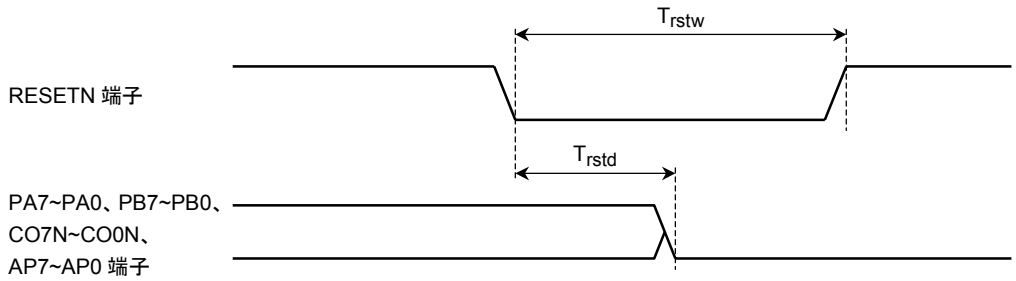
注 16: RDN または REQN のどちらか後に LOW に立ち下がった時点、および RDN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

出力ポートデータタイミング



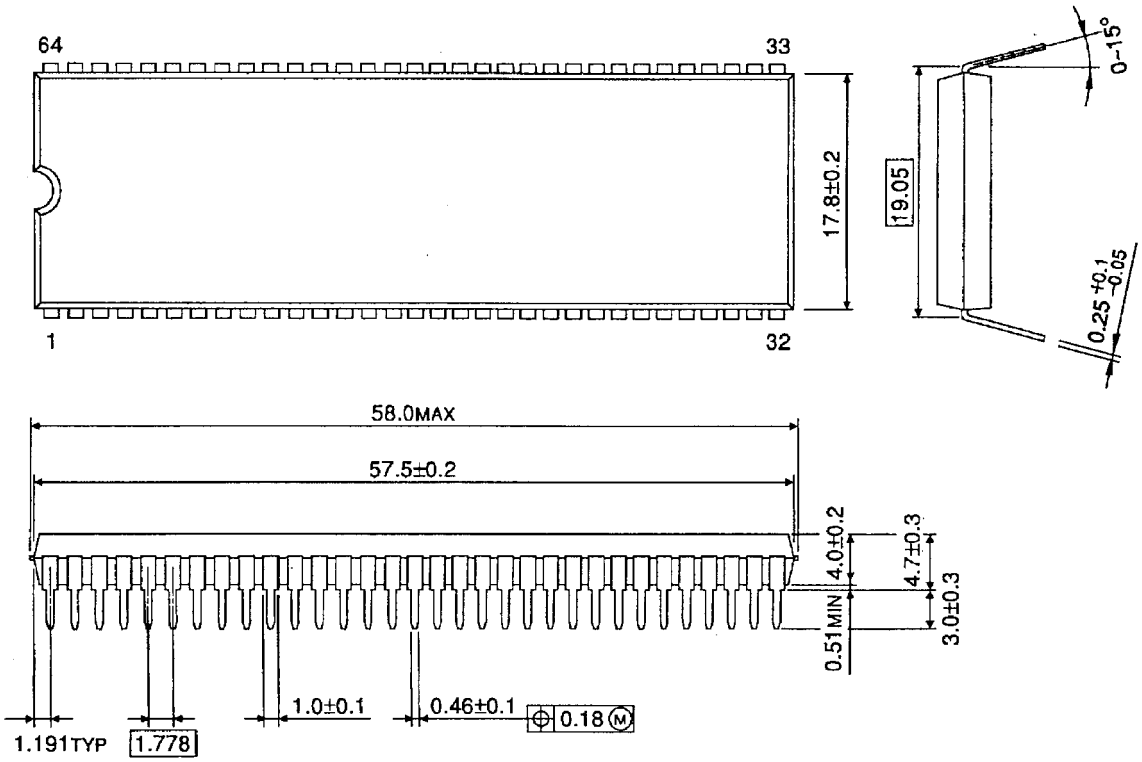
注 17: WRN または REQN のどちらか後に LOW に立ち下がった時点、および WRN または REQN のどちらか先に HIGH に立ち上がった時点を示す信号です。

リセットパルス幅



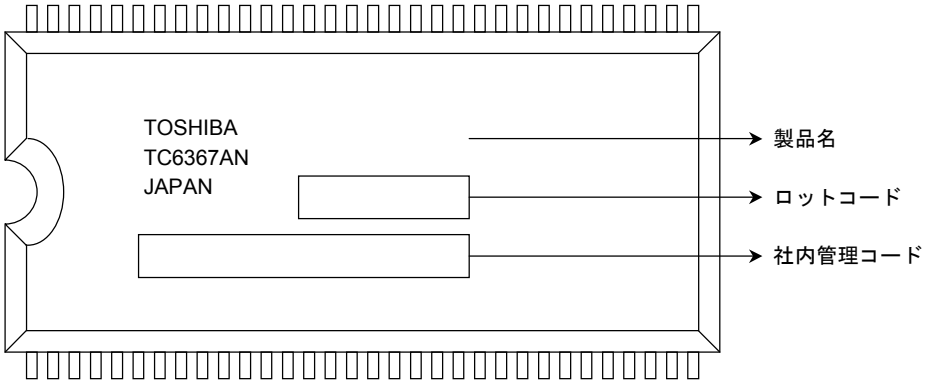
外形図

SDIP64-P-750-1.78 Unit : mm



質量: 8.6 g (標準)

マーキング関連



マーキング方法は、レーザーを使用する。

当社半導体製品取り扱い上のお願い

000629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命･身体･財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
  なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質･信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下 “特定用途” という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- 本資料に掲載されている技術情報は、製品の代表的動作･応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。