



注意：この日本語版文書は参考資料としてご利用ください。
最新情報は必ずオリジナルの英語版をご参照願います。

AT21CS01/AT21CS11

単線式、I/O 給電、1Kbit (128 x 8 bit) シリアル EEPROM (64 ビット一意シリアル番号付き)

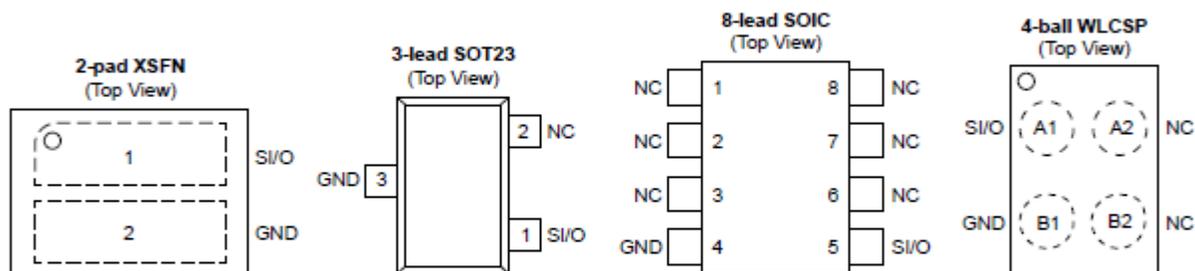
特長

- 低電圧動作
 - AT21CS01: SI/O ライン上の 1.7~3.6 V プルアップ電圧による自己給電
 - AT21CS11: SI/O ライン上の 2.7~4.5V プルアップ電圧による自己給電
- 8 ビット x 128 ワード (1Kbit) の内部メモリ構成
- I²C プロトコル構造の単線式シリアル インターフェイス
 - 1 本の I/O ピンによるデバイス通信
- 標準速モードと高速モード
 - 標準速モード: 最大ビットレート = 15.4 kbps (AT21CS01 のみ)
 - 高速モード: 最大ビットレート = 125 kbps (AT21CS01、AT21CS11)
- 8 バイトのページ書き込みと 1 バイト書き込みが可能
- 探索応答機能によりバス上のデバイスを迅速に検出
- ROM ゾーンをサポート
 - デバイスを 4 つの 256 ビットゾーンに分割し、各ゾーンを恒久的に読み出し専用(ROM)として使用可能
- 256 ビットセキュリティ レジスタ
 - 最下位の 8 バイトは読み出し専用の工場書き込み済み 64 ビット シリアル番号(Microchip 社製の全単線式製品に対して一意)を格納
 - 次の 8 バイトは将来のために予約済み(読み値は FFh)
 - 最上位の 16 バイトはユーザ書き込みと恒久的ロックが可能
- 自己タイミング書き込みサイクル(最大 5 ms)
- メーカーID レジスタ
 - メーカーID (Microchip 社に割り当てられた一意コード)と容量およびビジョン情報を格納
- 高信頼性
 - 書き込み耐性: 1,000,000 サイクル
 - データ保持寿命: 100 年
 - IEC 61000-4-2 Level 4 ESD に準拠(接触放電: ±8 kV、気中放電: ±15 kV)
- 低環境負荷(鉛フリー/ハロゲンフリー/RoHS 準拠) のパッケージ オプション
- ダイ供給オプション (ウェハ形態、テープ&リール)

パッケージ

2 ピン XSFN、3 ピン SOT23、8 ピン SOIC、4 ボール thin WLCSP

パッケージタイプ(縮尺不定)

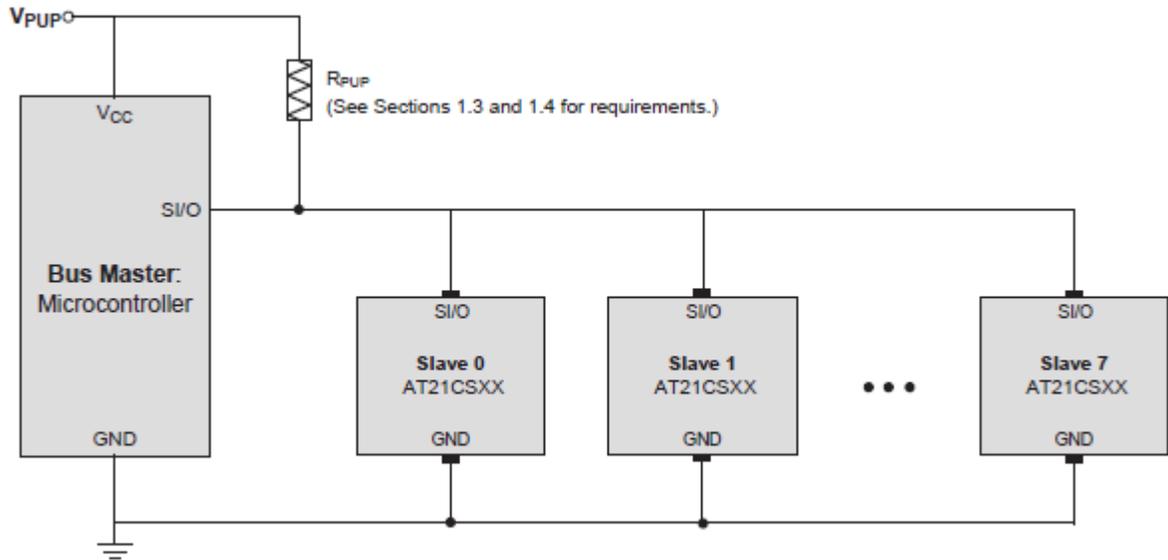


概要

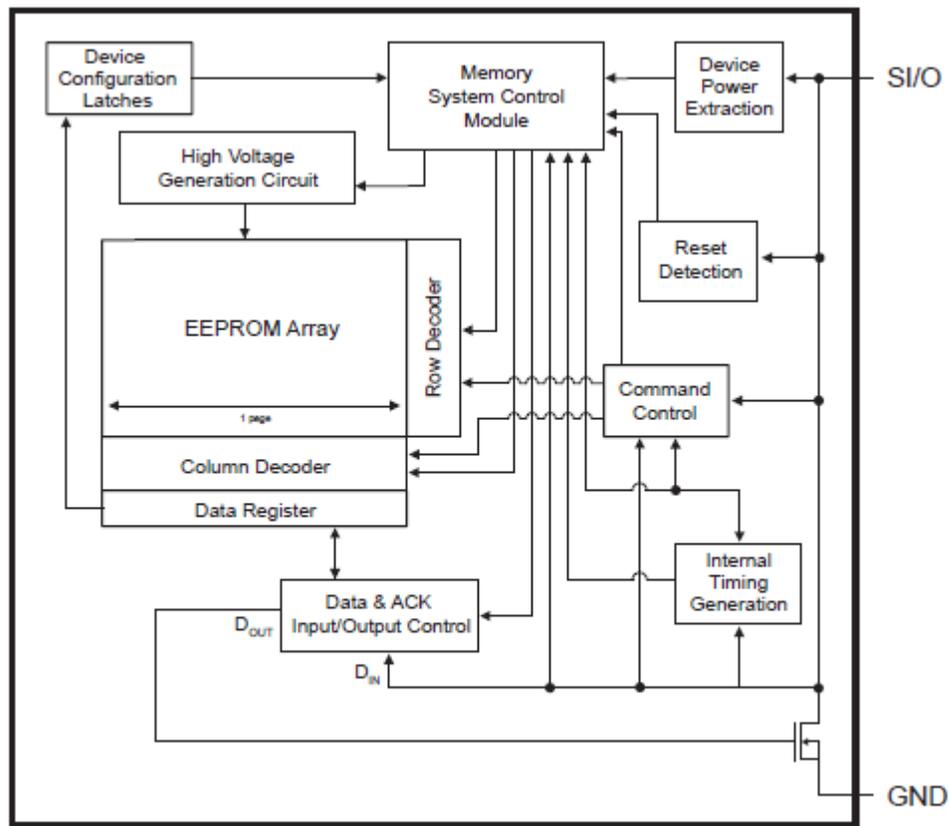
AT21CS01/11 は、信号ピンから IC に給電する 2 ピン(SI/O ピンと GND ピン) のメモリです。本デバイスは、8 ビット x 128 ワードで構成された 1024 ビットの SEEPROM (Serial Electrically Erasable and Programmable Read Only Memory)を提供します。

本デバイスは、2 接点(信号(SI/O)とグラウンド) の機械的コネクタを使う無電源アタッチメント向けに最適化されています。本デバイスを使うと、それらのアタッチメントに設定を追加したり、アタッチメント内部に保存された情報を利用する事ができます。そのようなアタッチメント向けの応用例として、アナログセンサ校正データの保存、プリンタ用インク/トナー カートリッジの識別、アフターマーケット消耗品の管理等があります。ソフトウェア アドレス指定方式により、最大で 8 個のデバイスが 1 つの単線式バスを共有できます。また、省スペースの小型パッケージ オプションが選べます。本デバイスは SI/O ライン上の 1.7~3.6 V (AT21CS01)または 2.7~4.5 V (AT21CS11) からの外部プルアップ電圧で動作します。

単線式シリアル EEPROM を使ったシステム構成



ブロック図



目次

特長	1
パッケージ.....	1
パッケージタイプ(縮尺不定).....	2
概要	2
単線式シリアル EEPROM を使ったシステム構成	3
ブロック図.....	3
1. 電気的特性.....	6
1.1. 絶対最大定格 ⁽¹⁾	6
1.2. AT21CS01/11 の DC/AC 動作レンジ	6
1.3. AT21CS01 の DC 特性 ⁽¹⁾	6
1.4. AT21CS11 の DC 特性 ⁽¹⁾	7
1.5. AT21CS01/11 の AC 特性.....	8
2. ピンの説明.....	11
2.1. 未接続(NC)ピン.....	11
2.2. シリアル入出力(SI/O)ピン	11
3. デバイスの動作と通信.....	12
3.1. 単線式バスのトランザクション	12
4. デバイスアドレス指定と I ² C プロトコル エミュレーション.....	18
4.1. メモリ構成	18
5. 利用可能オペコード.....	20
5.1. EEPROM Access (オペコード: Ah).....	20
5.2. Security Register Access (オペコード: Bh).....	20
5.3. Lock Security Register (オペコード: 2h)	20
5.4. ROM Zone Register Access (オペコード: 7h).....	20
5.5. Freeze ROM Zone State (オペコード: 1h).....	21
5.6. Manufacturer ID Read (オペコード: Ch)	21
5.7. Standard Speed Mode (オペコード: Dh).....	21
5.8. High-Speed Mode (オペコード: Eh).....	21
6. 書き込み動作	22
6.1. 内部書き込みサイクル中のデバイス動作.....	22
6.2. バイト書き込み	22

6.3.	ページ書き込み	23
6.4.	セキュリティレジスタへの書き込み	23
6.5.	セキュリティレジスタのロック	24
6.6.	デバイス動作速度の設定	25
7.	読み出し動作	27
7.1.	EEPROMからの現在アドレス読み出し	27
7.2.	EEPROMからのランダム読み出し	28
7.3.	EEPROMからのシーケンシャル読み出し	28
7.4.	セキュリティレジスタからの読み出し動作	29
7.5.	メーカーIDの読み出し	30
8.	ROMゾーン	32
8.1.	ROMゾーンの容量とROMゾーンレジスタ	32
8.2.	ROMゾーンレジスタの読み書き	32
8.3.	有効なROMゾーンへの書き込みコマンドに対するデバイス応答	34
9.	Microchip社によるデバイスの既定値条件	36
10.	パッケージ情報	37
10.1.	パッケージのマーキング情報	37
11.	改訂履歴	42
	Microchip社のウェブサイト	43
	顧客変更通知サービス	43
	カスタマサポート	43
	製品識別システム	44
	Microchip社のデバイスコード保護について	45
	法律上の注意点	45
	商標	45
	DNVによる品質管理システム認証	46
	各国の営業所とサービス	47

1. 電気的特性

1.1 絶対最大定格⁽¹⁾

動作温度	-55~+125 °C
保管温度	-65~+150 °C
グラウンドを基準とする各ピンの電圧	-0.6 V~V _{PUP} +0.5 V
DC 出力電流	15.0 mA

Note:

- ここに記載した「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じさせる可能性があります。これはストレス定格です。本書の動作表に示す条件外でのデバイスの運用は想定していません。絶対最大定格条件を超えて長期間曝露させるとデバイスの信頼性に影響が及ぶ可能性があります。

1.2 AT21CS01/11 の DC/AC 動作レンジ

		AT21CS01	AT21CS11
動作温度(°C)	産業用温度レンジ	-40~+85 °C	-40~+85 °C
SI/O からの V _{PUP} 電圧	電圧レンジ	1.7~3.6 V	2.7~4.5 V

1.3 AT21CS01 の DC 特性⁽¹⁾

パラメータ	記号	Min.	Typ. ⁽²⁾	Max.	単位	試験条件
プルアップ電圧	V _{PUP}	1.7	—	3.6	V	高速モード
		2.7	—	3.6	V	標準速モード
プルアップ抵抗	R _{PUP}	130	—	200	Ω	V _{PUP} = 1.7 V
		0.2	—	1.8	kΩ	V _{PUP} = 2.7 V
		0.33	—	4	kΩ	V _{PUP} = 3.6 V
動作電流、読み出し	I _{A1}	—	0.08	0.3	mA	V _{PUP} = 3.6 V、 SI/O = V _{PUP}
動作電流、書き込み	I _{A2}	—	0.20	0.5	mA	V _{PUP} = 3.6 V
スタンバイ電流	I _{SB}	—	0.6	1.5	μA	V _{PUP} = 1.8 V ⁽³⁾ 、 SI/O = V _{PUP}
		—	0.7	2.5	μA	V _{PUP} = 3.6 V
入力 LOW レベル ⁽³⁾⁽⁴⁾	V _{IL}	-0.6	—	0.5	V	
入力 HIGH レベル ⁽³⁾⁽⁴⁾	V _{IH}	V _{PUP} × 0.7	—	V _{PUP} + 0.5	V	

パラメータ	記号	Min.	Typ. ⁽¹⁾	Max.	単位	試験条件
S/O ヒステリシス ⁽³⁾⁽⁴⁾⁽⁵⁾	V _{HYS}	0.128	–	1.17	V	
出力 LOW レベル	V _{OL}	0	–	0.4	V	I _{OL} = 4 mA
バス静電容量	C _{BUS}	–	–	1000	pF	

Note:

- 特に明記しない限り、パラメータ値は「AT21CS01/11のDC/AC動作レンジ」に記載した動作レンジに適用可能です。
- 特に明記しない限り、Typ.値はT_A = +25 °Cでの特性です。
- このパラメータは特性評価で検証していますが、製造時の検査は実施していません。
- V_{IH}、V_{IL}、V_{HYS} は内部電源電圧によって決まり、内部電源電圧はV_{PUP}、R_{PUP}、C_{BUS} とタイミングによって決まります(V_{IH}、V_{IL}、V_{HYS} はV_{PUP}が低いほど低下し、R_{PUP}/C_{BUS}が高いほど低下し、tr_{CV}が短いほど低下します)。
- S/O の立ち上がりエッジで電圧がV_{IH}を一度超えた後に論理「0」として検出されるには、S/O 電圧が少なくともV_{HYS}だけ低下する必要があります。

1.4 AT21CS111 の DC 特性⁽¹⁾

パラメータ	記号	Min.	Typ. ⁽¹⁾	Max.	単位	試験条件
プルアップ電圧	V _{PUP}	2.7	–	4.5	V	高速モード
プルアップ抵抗	R _{PUP}	0.2	–	1.8	kΩ	V _{PUP} = 2.7 V
		0.4	–	5.4	kΩ	V _{PUP} = 4.5 V
動作電流、読み出し	I _{A1}	–	0.08	0.3	mA	V _{PUP} = 4.5 V S/O = V _{PUP}
動作電流、書き込み	I _{A2}	–	0.20	0.5	mA	V _{PUP} = 4.5 V
スタンバイ電流	I _{SB}	–	0.6	1.5	μA	V _{PUP} = 2.7 V ⁽³⁾ S/O = V _{PUP}
		–	0.7	3.0	μA	V _{PUP} = 4.5 V、 S/O = V _{PUP}
入力 LOW レベル ⁽³⁾⁽⁴⁾	V _{IL}	-0.6	–	0.5	V	
入力 HIGH レベル ⁽³⁾⁽⁴⁾	V _{IH}	V _{PUP} × 0.7	–	V _{PUP} + 0.5	V	
S/O ヒステリシス ⁽³⁾⁽⁴⁾⁽⁵⁾	V _{HYS}	0.128	–	1.4	V	
出力 LOW レベル	V _{OL}	0	–	0.4	V	I _{OL} = 4 mA
バス静電容量	C _{BUS}	–	–	1000	pF	

Note:

- 特に明記しない限り、パラメータ値は「AT21CS01/11のDC/AC動作レンジ」に記載した動作レンジに適用可能です。
- 特に明記しない限り、Typ.値はT_A = +25 °Cでの特性です。
- このパラメータは特性評価で検証していますが、製造時の検査は実施していません。

- V_{IH} , V_{IL} , V_{HYS} は内部電源電圧によって決まり、内部電源電圧は V_{PUP} , R_{PUP} , C_{BUS} とタイミングによって決まります(V_{IH} , V_{IL} , V_{HYS} は V_{PUP} が低いほど低下し、 R_{PUP}/C_{BUS} が高いほど低下し、 $trcV$ が短いほど低下します)。
- SI/O の立ち上がりエッジで電圧が V_{IH} を一度超えた後に論理「0」として検出されるには、SI/O 電圧が少なくとも V_{HYS} だけ低下する必要があります。

1.5 AT21CS01/11 の AC 特性

1.5.1 リセットおよび探索応答時間

パラメータと条件 ⁽¹⁾⁽²⁾	記号	標準速 ⁽³⁾⁽⁴⁾		高速		単位
		Min.	Max.	Min.	Max.	
リセットのための LOW 時間、デバイスは非アクティブ状態	t_{RESET}	480	–	48	–	μs
放電のための LOW 時間、デバイスは書き込みサイクル(t_{WR})で動作中	t_{DSCHG}	150	–	150	–	μs
リセットからの復帰時間	t_{RRT}	N/A	N/A	8	–	μs
探索応答要求時間	t_{DRR}	N/A	N/A	1	$2 - t_{PUP}^{(5)}$	μs
探索応答 ACK 時間	t_{DACK}	N/A	N/A	8	24	μs
マスタストロブ探索応答時間	t_{MSDR}	N/A	N/A	2	6	μs
スタート/ストップ条件のための SI/O HIGH 時間	t_{HTSS}	N/A	N/A	150	–	μs

Note:

- 特に明記しない限り、パラメータ値は「AT21CS01/11 の DC/AC 動作レンジ」に記載した動作レンジに適用可能です。
- 上表の AC 計測条件
 - SI/O の負荷容量: 100 pF
 - R_{PUP} (V_{PUP} へのバスライン プルアップ抵抗): 1 k Ω , V_{PUP} : 2.7 V
- 本デバイスはリセット時に既定値の高速モードに設定されるため、 t_{RESET} 後のリセットおよび探索応答タイミングは標準速モードには適用されません。高速モードのタイミングは t_{RESET} 後の全てのケースに適用されます。
- AT21CS11 では標準速モードは使えません。
- t_{PUP} は、SI/O ラインを解放して V_{IL} から V_{IH} へプルアップするために必要な時間です。この値は SI/O ライン上の負荷容量と R_{PUP} の値によって決まります(従ってアプリケーションに固有です)。これらの値に対する制限は、「AT21CS01 の DC 特性⁽¹⁾」と「AT21CS11 の DC 特性⁽¹⁾」に記載しています。

1.5.2 データ通信のタイミング

パラメータと条件 ⁽¹⁾⁽²⁾	記号	フレームタイプ	標準速 ⁽³⁾		高速		単位
			Min.	Max.	Min.	Max.	
ビットフレーム期間	t _{BIT}	入出力	40	100	t _{LOW0} + t _{PUP} ⁽⁴⁾ + t _{RCV}	25	μs
スタート/ストップ条件の SI/O HIGH 時間	t _{HTSS}	入力	600	–	150	–	μs
論理「0」条件の SI/O LOW 時間	t _{LOW0}	入力	24	64	6	16	μs
論理「1」条件の SI/O LOW 時間	t _{LOW1}	入力	4	8	1	2	μs
読み出し時の マスタ SI/O LOW 時間	t _{RD}	出力	4	8 - t _{PUP} ⁽⁴⁾	512/1K	2 - t _{PUP} ⁽⁴⁾	μs
マスタ読み出しストロブ時間	t _{MRS}	出力	t _{RD} + t _{PUP} ⁽⁴⁾	8	t _{RD} + t _{PUP} ⁽⁴⁾	2	μs
データ出力保持時間 (論理「0」)	t _{HLD0}	出力	8	24	2	6	μs
スレーブリカバリ時間	t _{RCV}	入出力	8	–	2 ⁽⁵⁾	–	μs
SI/O のノイズフィルタ能力	t _{NOISE}	入力	0.5	–	–	–	μs

Note:

- 特に明記しない限り、パラメータ値は「AT21CS01/11 の DC/AC 動作レンジ」に記載した動作レンジに適用可能です。
- 上表の AC 計測条件:
 - SI/O の負荷容量: 100 pF
 - R_{PUP} (V_{PUP} へのバスライン プルアップ抵抗): 1 kΩ、V_{PUP}: 2.7 V
- AT21CS11 では標準速モードは使えません。
- t_{PUP} は、SI/O ラインを解放して V_{IL} から V_{IH} へプルアップするために必要な時間です。この値は SI/O ライン上の負荷容量と R_{PUP} の値によって決まります(従ってアプリケーションに固有です)。これらの値に対する制限は、「AT21CS01 の DC 特性⁽¹⁾」に記載しています。
- 最小 t_{RCV} 条件が満たせるように R_{PUP}、C_{BUS}、t_{BIT} を選定する必要があります。ビットフレームと t_{RCV} の関係は下式により表せます。

$$t_{BIT} = t_{LOW0} + t_{PUP} + t_{RCV}$$

1.5.3 EEPROM セルの性能特性

動作	Min.	Max.	単位	試験条件
書き込みサイクル時間(t_{WR})	–	5	ms	$V_{PUP}(\text{min.}) < V_{PUP} < V_{PUP}(\text{max.})$ $T_A = 25\text{ }^\circ\text{C}$ バイトまたはページ書き込みモード
書き込み耐性 ⁽¹⁾	1,000,000	–	書き込み サイクル	$V_{PUP}(\text{min.}) < V_{PUP} < V_{PUP}(\text{max.})$ $T_A = 25\text{ }^\circ\text{C}$ バイトまたはページ書き込みモード
データ保持寿命 ⁽²⁾	100	–	年	$V_{PUP}(\text{min.}) < V_{PUP} < V_{PUP}(\text{max.})$ $T_A = 55\text{ }^\circ\text{C}$

Note:

1. 書き込み耐性は、特性計測と検査プロセスにより決定しています。
2. データ保持能力は検査プロセスを通じてデバイスごとに評価されています。

2. ピンの説明

ピンの説明を表 2-1 に示します。

表 2-1. ピン割り当て表

名称	2 ピン XSFN	3 ピン SOT23	8 ピン SOIC	4 ボール WLCSP	機能
NC	–	–	1	–	未接続
NC	–	–	2	–	未接続
NC	–	2	3	–	未接続
GND	2	3	4	B1	グラウンド
SI/O	1	1	5	A1	シリアル入出力
NC	–	–	6		未接続
NC	–	–	7	–	未接続
NC	–	–	8	–	未接続

2.1 未接続(NC)ピン

NC ピンは内部で接続されていません。これらのピンは GND に接続するか、フローティング状態に保ちます。

2.2 シリアル入出力(SI/O)ピン

SI/O ピンはオープンドレインの双方向(入出力)ピンであり、シリアルデータ転送用に使います。

SI/O ピンは外付けプルアップ抵抗(4 kΩ 以下)を使って HIGH へプルアップする必要があります。このピンは、同一バス上の他のデバイスのオープンドレインピンまたはオープンコレクタピンと並列に接続(wire-ORed)できます。

本デバイスは SI/O ピンを電源としても使います。すなわち、このピンが HIGH (1.7~3.6 V (AT21CS01) または 2.7~4.5 V (AT21CS11)の電圧レベル)にプルアップされている期間中に電力を内部にチャージします。

3. デバイスの動作と通信

AT21CS01/11 はスレーブデバイスとして動作し、単線式デジタルシリアル インターフェイスを介してホスト コントローラ (通常バスマスタと呼ぶ) と通信します。マスタは、シリアルバス上のスレーブデバイスに対する全ての読み書き動作を制御します。本デバイスには 2 通りの動作速度モード(標準速と高速)があります。標準速モードは AT21CS01 のみで使え、高速モードは AT21CS01 と AT21CS11 の両方で使えます。

本デバイスは 8 ビットのデータ構造を使います。データは、デバイスのシリアル入出力(SI/O)ピンを使って単線式シリアル インターフェイス経由で双方向に転送されます。SI/O ピンは、本デバイスへの給電用にも使われます。従って、本デバイスの動作には SI/O ピンと GND ピンだけが必要です。単線式バスを介して本デバイスへ送信されたデータは、特定の期間(時間スロット)中の SI/O ピンの状態に基づいて解釈されます。1つの時間スロットはビットフレームと呼ばれ、その長さは t_{BIT} です。マスタは、SI/O ラインを LOW に駆動する事によって各ビットフレームを開始します。全てのコマンドとデータ情報は、最上位ビット(MSb)から順番に送信されます。

本デバイスへ送信されるソフトウェア シーケンスは、I²C シリアル EEPROM へ送信されるシーケンスをエミュレートします。ただし、デバイスアドレス内の最上位 4 ビット(標準ではデバイスタイプ ID(1010b)を格納)は、4 ビット オペコード用に使われます。このようなアーキテクチャを採用する事で、本製品はお客様の製品に迅速に展開でき、既存 I²C ファームウェアを大幅に再使用できます。デバイスの動作の詳細は、「[デバイスのアドレス指定と I²C プロトコル エミュレーション](#)」を参照してください。

バス通信中に、各ビットフレーム内で 1 個のデータビットが送信されます。8 ビット (1 バイト)のデータが送信された後の 9 番目のビットウィンドウ中に、受信デバイスは肯定応答(ACK)または否定応答(NACK)ビットで応答する必要があります。

読み書き動作中は、全てのクロックサイクルが途切れる事なく使われます。従って、各データバイトの転送中と ACK/NACK クロックサイクル中に割り込みまたはブレークが発生しない事が必要です。システム割り込みが避けられない場合、「[通信の割り込み](#)」に記載した要件を参照してください。

3.1 単線式バスのトランザクション

SI/O ライン上で転送されるデータのタイプ

- リセットおよび探索応答
- 論理「0」または肯定応答(ACK)
- 論理「1」または否定応答(NACK)
- スタート コンディション
- ストップ コンディション

リセットおよび探索応答は、デバイスへのデータストリームの一部とは見なされません。その他の全てのデータタイプは、デバイスとのデータ送受信に必要です。データタイプごとに、ビットフレーム内で SI/O が LOW に駆動される期間が異なります。

3.1.1 デバイスのリセット/電源投入および探索応答

3.1.1.1 デバイスのリセット

マスタは、リセットおよび探索応答シーケンスを使って、デバイスをリセットすると共に、バス上にデバイスが存在するかどうか判別するためのジェネラル バスコールを実行します。

このシーケンスのリセット部を開始するために、マスタは SI/O を決められた最小時間 LOW に駆動する必要があります。デバイスが他の動作を実行中(ビジー)ではない場合、マスタは SI/O LOW を t_{RESET} の間駆動する事でデバイスをリセットできます。 t_{RESET} の長さは、標準速モードと高速モードで異なります。

しかし、デバイスがビジーである場合、マスタは SI/O を t_{DSCHG} よりも長く駆動する事で、「**アクティブ動作中のデバイスへの割り込み**」に記載した通りにデバイスをリセットする必要があります。このリセット時間により、デバイス内に蓄えられた電荷(デバイス内部の残りのスタンバイ電力)を全て消費させます。

SI/O が十分に長く解放されて AT21CS01/11 が起動/初期化された後、マスタはコマンドをデバイスへ送信する前に探索応答 ACK を返すようデバイスに要求する必要があります。マスタは、AT21CS01/11 からの探索応答 ACK をサンプリングする事により、デバイスがバス上に存在しているかどうか判断できます。

3.1.1.2 リセットまたは電源投入時のデバイス応答

デバイスに電源が投入された後(またはマスタが SI/O ラインを t_{RESET} または t_{DSCHG} の間 LOW に保持する事によってデバイスをリセットした後)、マスタは SI/O ラインを解放する必要があります。これにより SI/O ラインは外付けプルアップ抵抗によって HIGH へプルアップされます。マスタは、デバイスに対して探索応答 ACK を要求する前に、追加の最小時間(t_{RRT})が過ぎるまで待機する必要があります。

探索応答 ACK シーケンスは、マスタが SI/O ラインを LOW に駆動する事によって始まります。これにより、AT21CS01/11 内部のタイミング回路が起動します。マスタは、 t_{DRR} の間ラインを LOW に駆動し続ける必要があります。

t_{DRR} 期間中に、AT21CS01/11 はマスタと同時に SI/O を LOW に駆動する事によって応答します。デバイスは、 t_{DACK} の終了時点まで SI/O を LOW に駆動し続けます。 t_{DRR} の終了後、マスタは t_{MSDR} の終了時点まで SI/O ラインの状態をサンプリングします。既定値により、 t_{DACK} の最小時間は t_{MSDR} の最大時間より長く設定されるため、マスタは常に V_{IL} を下回る SI/O レベルを正しくサンプリングできます。 t_{DACK} が終了した時点で AT21CS01/11 は SI/O を解放します。これにより、SI/O は外付けプルアップ抵抗によって HIGH へプルアップされます。

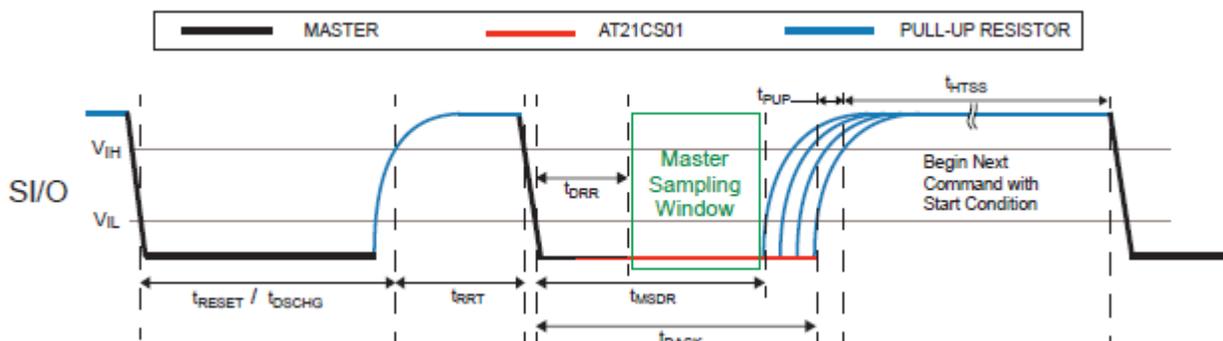
その後、マスタは最初のコマンドを送信する前に、 t_{HTSS} の間待機する事でスタート条件を生成する必要があります(スタート条件の詳細は「**スタート/ストップ条件**」参照)。既定値により、デバイスはリセット後に高速モードで動作します。標準速モードへの変更については「**Standard Speed Mode (オペコード: Dh)**」を参照してください。AT21CS01/11 は、内部アドレスポインタが 0 に設定された状態で起動します。

標準速モードと高速モードにおけるリセットおよび探索応答シーケンスのタイミング要件は「**AT21CS01/11 の AC 特性**」に記載しています。

3.1.2 アクティブ動作中のデバイスへの割り込み

動作電流を最小化して内部電源システムに蓄えられたエネルギーを節約するため、AT21CS01/11 は直前に送信されたコマンドの実行中は SI/O ライン上の次のコマンドを監視しません。結果として、デバイスは SI/O ラインが特定の状態に保持された長さを検出できません。マスタがアクティブ動作中のデバイスに割り込む必要がある場合、デバイスは蓄えられた残りの電力を全て使い果たすまで SI/O を LOW に駆動する必要があります。この時間は t_{DSCHG} として定義され、この時間が過ぎた後に SI/O ラインを解放する事により、正常な探索応答を開始できます。

図 3-1. リセットおよび探索応答の波形



3.1.3 データ入出力ビットフレーム

AT21CS01/11 との通信は、ビットフレームと呼ぶ期間内(長さは t_{BIT})で行われます。各ビットフレームは1つの2進データ値を格納します。入力ビットフレームはマスタから AT21CS01/11 へのデータ送信用に使われ、論理「0」または「1」を格納します。出力ビットフレームは、AT21CS01/11 からマスタへのデータを搬送します。全ての入出力動作において、マスタは SI/O ラインを LOW に駆動する事によってビットフレームを開始します。SI/O が V_{IL} より低レベルに駆動されている事を AT21CS01/11 が検出すると、内部タイミング回路が動作を開始します。

ビットフレーム長のビットごとの変動は、 t_{BIT} の最小値と最大値(「AT21CS01/11 の AC 特性」参照)を超えない限り許容されます。 t_{BIT} 要件は、標準速モードと高速モードで異なります。

デバイスの速度モードの設定については、「デバイス動作速度の設定」を参照してください。

3.1.3.1 データ入力ビットフレーム

マスタは、データ入力ビットフレームを使って論理「0」または「1」のデータビットを AT21CS01/11 へ送信できます。入力ビットフレームは、マスタが SI/O ラインを LOW に駆動した時に始まります。マスタがそのビットフレームを使って送信する値(論理「0」または「1」)は、マスタが論理 SI/O ラインを LOW に保持する期間の長さによって決まります。論理「0」を入力するために必要な SI/O ラインの LOW 保持期間は t_{LOW0} として定義されます。同様に、論理「1」を入力するために必要な SI/O ラインの LOW 保持期間は t_{LOW1} として定義されます。

SI/O が V_{IL} しいき値より低レベルに駆動された後、AT21CS01/11 は最大 t_{LOW1} が過ぎてから最小 t_{LOW0} に達するまでの間に SI/O ラインの状態をサンプリングする事で、入力されたデータの値(論理「0」または「1」)を判定します。

サンプリング時点でマスタが SI/O ラインを LOW に駆動し続けていた場合、SI/O の電圧は V_{IL} を下回るため、AT21CS01/11 はそのビットフレームを論理「0」としてデコードします。サンプリング時点でマスタが SI/O ラインを既に解放していた場合、外付けプルアップ抵抗によって SI/O の電圧レベルは V_{IH} 以上となるため、AT21CS01/11 はそのビットフレームを論理「1」としてデコードします。これらのパラメータに対するタイミング要件は、「AT21CS01/11 の AC 特性」に記載しています。

I²C エミュレーション シーケンスにおいて、論理「0」条件は「0」データビットを示すために使われる他、肯定応答(ACK)用にも使われます。論理「1」条件も、「1」データビットの他に否定応答(NACK)用に使われます。

図 3-2 と 図 3-3 に、論理「0」と論理「1」の入力ビットフレームを示します。

図 3-2. 論理「0」入力条件の波形

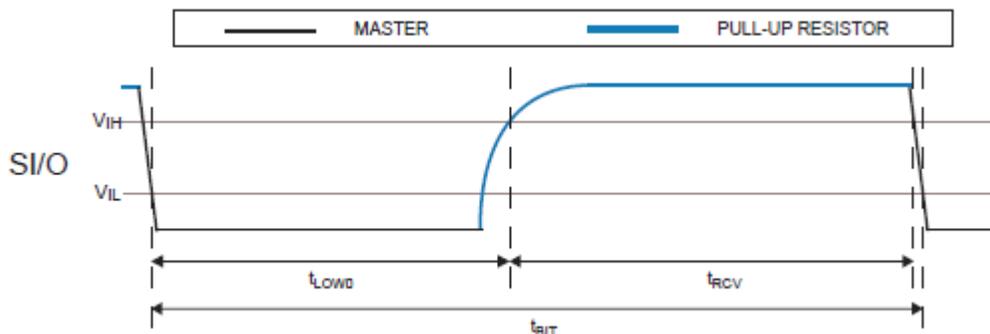
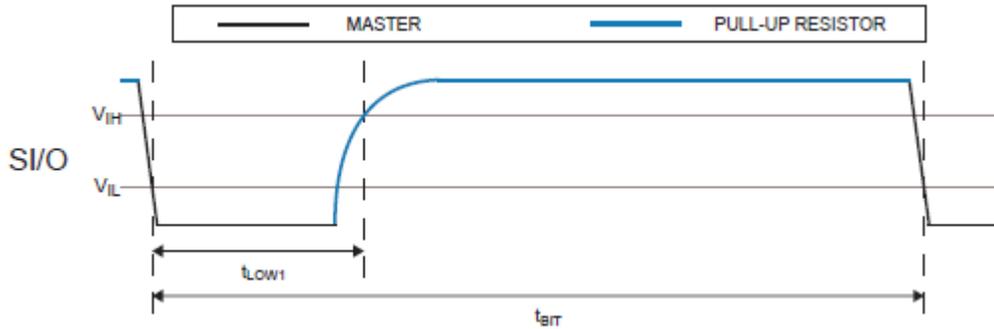


図 3-3. 論理「1」入力条件の波形



3.1.3.2 スタート/ストップ条件

AT21CS01/11 に対する全てのトランザクションはスタート条件で始まります。従って、スタート条件は必ずマスタからスレーブへ送信されます。同様に、全てのトランザクションはストップ条件で終了します。ストップ条件も必ずマスタからスレーブへ送信されます。

スタート条件とストップ条件は、どちらも S/I/O ラインの電圧を t_{HTSS} の間 V_{PUP} に保持する事によって生成します。タイミングの最小値と最大値は、「AT21CS01/11 の AC 特性」を参照してください。

図 3-4 と 図 3-5 に、スタート条件とストップ条件を示します。

図 3-4. スタート条件の波形

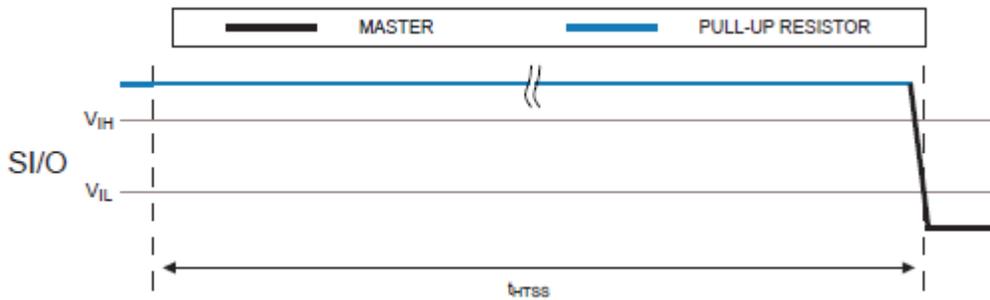
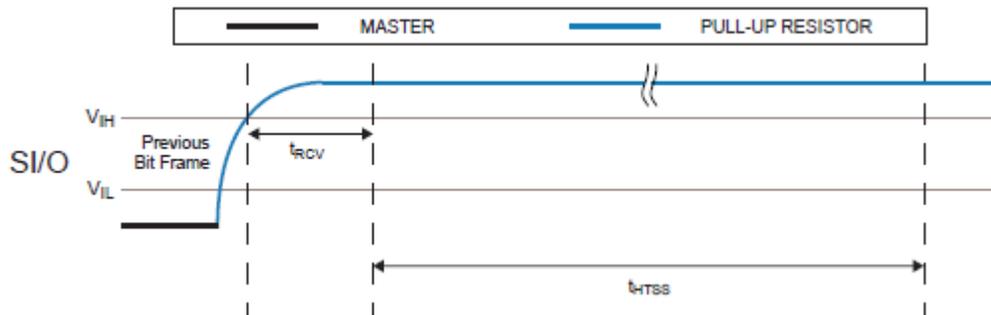


図 3-5. ストップ条件の波形



3.1.3.3 通信の割り込み

プロトコル シーケンスが途中で割り込まれた場合、動作の中断時間(S/I/O のアイドル期間)が最大 t_{BIT} より短ければ、割り込まれた位置からそのシーケンスを再開できます。

この最大許容値は、高速モードと標準速モードで異なります(「デバイス動作速度の設定」参照)。

Note: 書き込みシーケンス中のデータ送信時において、ACK 応答(論理「0」)の後でマスタ側プロトコルに対する割り込みを発生させない必要があります。発生して t_{HTSS} の間 V_{PUP} になる場合、その割り込みはストップ条件として解釈され、内部書き込みサイクルが始まります。するとデバイスは t_{WR} の間ビジーになり、コマンドに一切応答しません。

Note: 割り込みの発生を正確に監視できないシステムでは、最小割り込み時間がデバイスの最長ビジー動作(t_{WR})と一致するよう監視する事を推奨します。デバイスが内部書き込みサイクル中である時にマスタが S/I/O を LOW に駆動する事によってデバイスと通信すると、書き込み中のバイトが破損する可能性があります。書き込みサイクル中のデバイスの動作については、「内部書き込みサイクル中のデバイス動作」で詳しく説明します。

シーケンスが最大 t_{BIT} より長く割り込まれた場合、シーケンスを再開する前にマスタは最小 t_{HTSS} 以上の間待機する必要があります。最小 t_{HTSS} の待機により、新しいスタート条件が生成され、デバイスは新しいコマンドを受信可能になります。マスタは途中で割り込まれたトランザクションをもう一度やり直す事を推奨します。

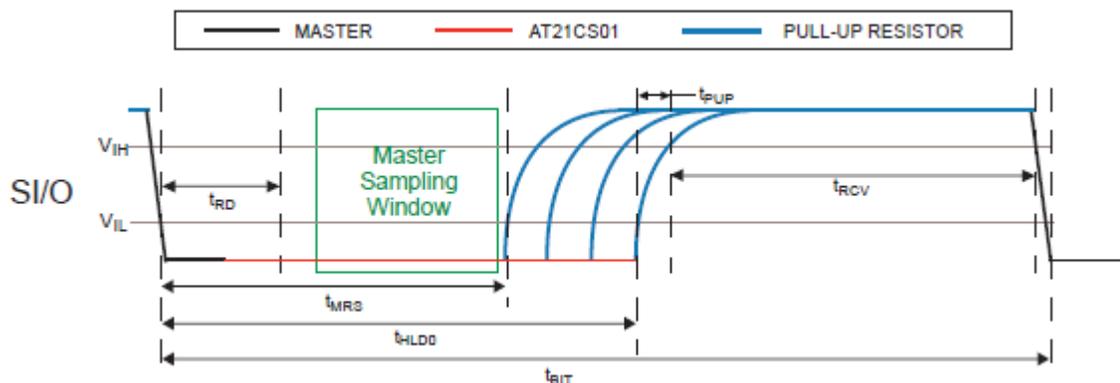
3.1.3.4 データ出力ビットフレーム

マスタは、AT21CS01/11 からの応答を受信するためにデータ出力ビットフレームを使います。データ出力ビットフレームは、マスタが本デバイスからデータ読み出す時と、ACK または NACK 応答を受信する時に使われます。入力ビットフレームと全く同様に、マスタは S/I/O ラインを V_{IL} しきい値を下回る電圧で駆動する事により、シーケンスを開始します。これにより、AT21CS01/11 の内部タイミング生成回路が起動します。

出力ビットフレームの重要タイミング パラメータは t_{RD} です。これは、マスタが AT21CS01/11 からのデータビットの出力を要求する際に、S/I/O ライン電圧が V_{IL} しきい値を下向きに横切った後にマスタが S/I/O ラインを LOW に駆動し続ける必要がある時間として定義されます。 t_{RD} 期間が終了した時点で、マスタは S/I/O ラインを解放する必要があります。

AT21CS01/11 が論理「0」(「0」のデータビットまたは ACK)で応答する場合、AT21CS01/11 は t_{RD} 期間中にマスタと同時に S/I/O ラインを LOW に駆動し、 t_{RD} が終了した後も t_{HLD0} 期間が終了するまで LOW に駆動し続けた後に S/I/O ラインを解放します。これにより、S/I/O ラインは再び V_{PUP} へプルアップされます(図 3-6 参照)。マスタは t_{RD} 後の t_{MRS} 期間(サンプリング ウィンドウ)中に V_{IL} より低い S/I/O 電圧をサンプリングし、このイベントを論理「0」としてデコードします。定義により t_{HLD0} は t_{MRS} より長いため、AT21CS01/11 が S/I/O ラインを LOW に駆動し続けている間にマスタは正しく S/I/O ラインをサンプリングできます。

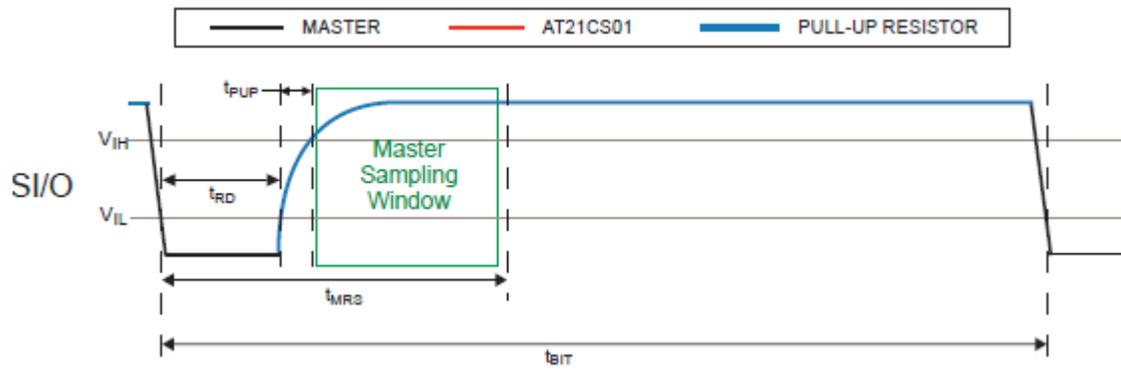
図 3-6. 論理「0」データ出力ビットフレームの波形



論理「1」(「1」のデータビットまたは NACK)で応答する場合、AT21CS01/11 は S/I/O ラインを LOW に駆動しません。最大 t_{RD} が終了した時点でマスタが S/I/O ラインを解放すると、S/I/O ラインは V_{PUP} へプルアップされます。マスタは t_{RD} 後の t_{MRS} 期間(サンプリング ウィンドウ)中に V_{IH} より高い S/I/O 電圧をサンプリングし、このイベントを論理「1」としてデコードします。

データ出力ビットフレームの波形を図 3-7 に示します。

図 3-7. 論理「1」 データ出力ビットフレームの波形



4. デバイスアドレス指定と I²C プロトコル エミュレーション

本デバイスにアクセスするには、スタート条件後に 8 ビットのデバイスアドレスワードが必要です。

AT21CS01/11 のプロトコルシーケンスは、I²C シリアル EEPROM に必要なシーケンスをエミュレートします。ただし、デバイスアドレスの最上位 4 ビットは、本デバイスが実行可能な各種コマンドおよびアクション向けのオペコードとして使われます。

バス上には複数のスレーブデバイスが存在できます。マスタが特定のスレーブデバイスを選択してアクセスできるようにするため、各デバイスには一意のアドレスを割り当てる必要があります。4 ビットオペコードの後に 3 ビットのスレーブアドレスが続きます。これらのスレーブアドレスビットは読み出し専用であり、工場で書き込まれます。注文コードを指定する事で、スレーブアドレス値が異なるデバイスを購入できます。注文コードとスレーブアドレス値の対応は「[パッケージ情報](#)」に記載しています。

スレーブアドレスビットの後に読み/書き選択(R/W)ビットが続きます。このビットの論理「1」は読み出しを指定し、論理「0」は書き込みを指定します。デバイスアドレスが一致すると、EEPROM は ACK (論理「0」)を返します。4 ビットオペコードが無効な場合、または 3 ビットのスレーブアドレスがデバイスに書き込まれているアドレスと一致しない場合、そのデバイスは S/I/O ライン上で応答せず、スタンバイ状態に戻ります。

表 4-1. デバイスアドレスバイト

4 ビット オペコード				工場書き込み済みスレーブアドレス ビット			読み/書きビット
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
「利用可能オペコード」参照				A2	A1	A0	R/W

マスタは、デバイスアドレスバイトの直後にメモリアドレスバイトをデバイスへ送信する必要があります。メモリアドレスバイトは、EEPROM 内の読み書き開始位置を指定する 7 ビットのメモリアレイアドレスを格納します。これらのビット位置を表 4-2 に示します。

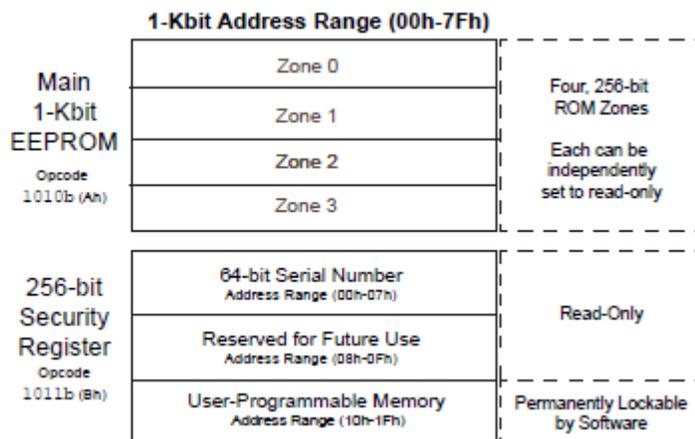
表 4-2. メモリアドレスバイト

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ドントケア	A6	A5	A4	A3	A2	A1	A0

4.1 メモリ構成

AT21CS01/11 の内部メモリアレイは 2 つの領域に分割されます。メイン領域の 1 Kbit EEPROM は 16 ページとして構成され、各ページは 8 バイトを格納します。セキュリティレジスタは 4 ページ (各ページは 8 バイト)で構成され、256 ビットの長さを持ちます。セキュリティレジスタの下位 2 ページは読み出し専用であり、AT21CS シリーズの全てのシリアル EEPROM に対して一意の 64 ビットシリアル番号が工場書き込み済みです。セキュリティレジスタの上位 2 ページはユーザ書き込みが可能であり、書き込み後にロック可能です(「[セキュリティレジスタのロック](#)」参照)。

図 4-1. メモリ アーキテクチャ



5. 利用可能オペコード

表 5-1 に、AT21CS01/11 向けに利用可能なオペコードの一覧を示します。

表 5-1. AT21CS01/11 向けのオペコード

コマンド	4ビットオペコード	機能の概要
EEPROM Access	1010 (Ah)	メインメモリアレイの内容を読み書きします。
Security Register Access	1011 (Bh)	セキュリティレジスタの内容を読み書きします。
Lock Security Register	0010 (2h)	セキュリティレジスタの内容を恒久的にロックします。
ROM Zone Register Access	0111 (7h)	EEPROM アレイ内の 1 つのゾーンに対する変更を禁止します。
Freeze ROM Zone State	0001 (1h)	ROM ゾーンレジスタの現在の状態を恒久的にロックします。
Manufacturer ID Read	1100 (Ch)	デバイスのメーカーと容量を問い合わせます。
Standard Speed Mode	1101 (Dh)	標準速モード動作に切り換えます。これは AT21CS01 専用コマンドであり、AT21CS11 はこのコマンドに対して NACK で応答します。
High-Speed Mode	1110 (Eh)	高速モード動作に切り換えます。高速モードは AT21CS01/11 の起動時の既定値モードです。

5.1 EEPROM Access (オペコード: Ah)

オペコード Ah は、EEPROM に対するデータの読み書きを実行するために使います。本デバイスからのデータ読み出しの詳細は「[読み出し動作](#)」を参照してください。EEPROM への書き込みの詳細は「[書き込み動作](#)」を参照してください。

5.2 Security Register Access (オペコード: Bh)

オペコード Bh は、セキュリティレジスタに対するデータの読み書きを実行するために使います。セキュリティレジスタからのデータ読み出しの詳細は「[セキュリティレジスタからの読み出し動作](#)」を参照してください。セキュリティレジスタのユーザ書き込み可能領域への書き込みの詳細は「[セキュリティレジスタへの書き込み動作](#)」を参照してください。

5.3 Lock Security Register (オペコード: 2h)

オペコード 2h は、セキュリティレジスタ内のユーザ書き込み可能領域を恒久的にロックするために使います。「[セキュリティレジスタのロック](#)」を参照してください。

5.4 ROM Zone Register Access (オペコード: 7h)

AT21CS01/11 は 4 つの 256 ビット ゾーンに分割され、各ゾーンは別々に恒久的な読み出し専用領域 (ROM ゾーン) として設定できます。各ゾーンの状態は、コンフィグレーションレジスタに保存され、オペコード 7h を使って読み書きできます。ROM ゾーン機能の詳細は「[ROM ゾーン](#)」に記載しています。

5.5 Freeze ROM Zone State (オペコード: 1h)

オペコード 1h は、ROM ゾーンレジスタの現在の状態を恒久的にロックするために使います。ロックすると、ROM ゾーンレジスタは読み出し専用になります。

ロック時に読み出し専用設定されていなかったゾーンを後で ROM に変更する事はできません。詳細は「[ROM ゾーンレジスタのロック](#)」を参照してください。

5.6 Manufacturer ID Read (オペコード: Ch)

オペコード Ch を使うとメーカーID、デバイス容量、デバイス リビジョン情報をデバイスから読み出せます。このコマンドに対して返されるデータの詳細なフォーマットは「[メーカーID の読み出し](#)」に記載しています。

5.7 Standard Speed Mode (オペコード: Dh)

オペコード Dh を使うと、AT21CS01 を標準速モードに設定できます。また、デバイスが標準速モードに設定されているかどうか確認できます。詳細は「[標準速モード \(AT21CS01\)](#)」に記載しています。AT21CS11 は標準速モードを備えていないため、このコマンドに対して NACK で応答します。

5.8 High-Speed Mode (オペコード: Eh)

オペコード Eh を使うと、AT21CS01 を高速モードに設定できます。また、デバイスが高速モードに設定されているかどうか確認できます。AT21CS11 は高速モードでのみ動作し、このコマンドに対して ACK で応答します。詳細は「[高速モード](#)」に記載しています。

6. 書き込み動作

AT21CS01/11 に対する全ての書き込み動作は、マスタがスタート条件に続いてデバイスアドレス バイト (EEPROM 向けオペコードは Ah、セキュリティ レジスタ向けオペコードは Bh、R/Wビットは「0」)とメモリアドレス バイトを送信する事によって始まります。次に、デバイスに書き込むデータ値が送信されます。データ値は 8 ビット単位でデバイスへ送信され、最後にストップ条件が送信されます。ストップ条件がバイト境界ではない位置で送信された場合、実行中の書き込み動作は中止されます。

AT21CS01/11 では 1 バイト書き込み、部分ページ書き込み、全ページ書き込みが可能です。

6.1 内部書き込みサイクル中のデバイス動作

内部書き込み動作(タイプは問わず)の実行中は、ホストからデバイスへ送信された書き込み用のアドレスとデータが破損する事を防ぐため、デバイスは内部動作が完了するまでマスタから送信されたコマンドを認識しません。書き込みへの割り込み (SI/O ラインの LOW パルス) が発生しても、その期間が短いために内部に蓄えられた電力が枯渇しなかった場合、デバイスは NACK を返す事で内部動作が実行中である事をホストに知らせます。割り込み期間が t_{DSCHG} より長い場合、内部書き込み動作は中止され、データが破損する可能性があります。

6.2 バイト書き込み

AT21CS01/11 は 1 バイト(8 ビット)の書き込みをサポートします。マスタは、書き込み先のバイトを選択するために 7 ビットのメモリワード アドレスを送信する必要があります。

正しいデバイスアドレス バイト (オペコードは Ah)とメモリアドレス バイトを受信すると、AT21CS01/11 は ACK を示す論理「0」を送信します。この時点で、デバイスはデータバイトを受信可能になります。この後、8 ビットの完全なデータバイトを受信すると、デバイスは ACK で応答します。この後にストップ条件が発生する必要があります。ストップ条件は SI/O が HIGH にプルアップされた Null ビットフレームとして定義されるため、マスタはストップ条件を生成するために SI/O ラインを駆動する必要はありません。ストップ条件がこれ以外のタイミングで送信された場合、書き込み動作は中止されます。ストップ条件が完了した後に、デバイスは内部で自己タイミング書き込みサイクルを開始します。これは t_{WR} 以内に完了し、データは不揮発性 EEPROM に書き込まれます。

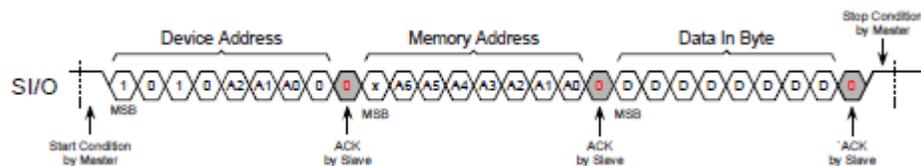
t_{WR} 期間中は、SI/O ピンが外付け抵抗によって HIGH へプルアップされる必要があります。

最大 t_{WR} が過ぎた後に、マスタは新しいバス トランザクションを開始できます。

Note:

1. SI/O ラインを LOW に駆動する事による内部書き込みサイクルへの割り込みは、書き込み中のバイトを破損する恐れがあります。メモリアレイ内の他のメモリ位置は影響を受けません。書き込みサイクルを実行中のデバイス動作については「[内部書き込みサイクル中のデバイス動作](#)」を参照してください。マスタが書き込み動作に割り込む必要がある場合、「[アクティブ動作中のデバイスへの割り込み](#)」に記載した通り、マスタは SI/O ラインを t_{DSCHG} の間 LOW に駆動する必要があります。

図 6-1. バイト書き込み



Note:

1. $x = A7$ ビット位値のドントケアビット (アドレスレンジは 1 Kbit であるため)

6.3 ページ書き込み

ページ書き込み動作では、最大 8 バイトを同一書き込みサイクル内で書き込めます。ただし、それらのバイトは全てメモリアレイの同一行内(アドレスビット A6~A3 が同じ)である必要があります。8 バイト未満のバイトを書き込む部分ページ書き込みも可能です。

ページ書き込みはバイト書き込みと同様の方法で開始します。ただし、バスマスタは最初のデータバイトをデバイスへ送信した後にストップ条件を送信しません。その代わりに、デバイスが最初のバイトの受信に対して ACK で応答した後に、バスマスタは最大で 7 個のデータバイトを送信できます。

デバイスは、各バイトを受信するたびに ACK で応答します。全てのデータバイトが送信された後、デバイスが書き込みサイクルを開始するにはストップ条件が必要です。ストップ条件は S/I/O が HIGH にプルアップされた Null ビットフレームとして定義されるため、マスタはストップ条件を生成するために S/I/O ラインを駆動する必要はありません。ストップ条件がこれ以外のタイミングで送信された場合、書き込み動作は中止されます。ストップ条件が完了すると、内部で自己タイミング書き込みサイクルが始まります。t_{WR} 期間中は、外付けプルアップ抵抗によって S/I/O ピンを HIGH にプルアップする必要があります。従って、マルチスレーブ環境では、1 つのデバイスが内部書き込みサイクルを実行中である時にバス上の他の単線式デバイスに対して通信を試みない必要があります。

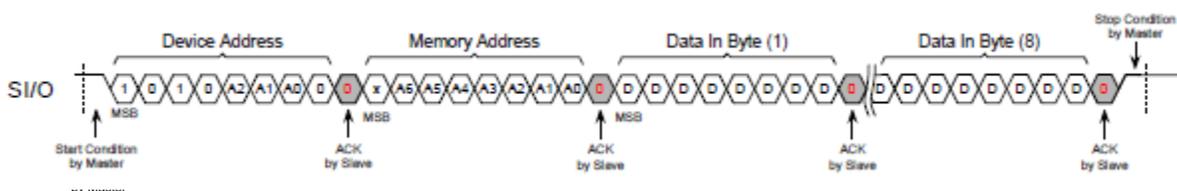
メモリアドレスの下位 3 ビットは、各データバイトの受信後に内部でインクリメントします。これより上位のアドレスビットはインクリメントせず、デバイスは同じメモリページ位置を維持します。ページ書き込み動作は、実際に書き込むバイト数に関係なく、1 物理ページ内のバイトへの書き込みに制限されます。インクリメントしたワードアドレスがページ境界に達すると、アドレスカウンタは同じページの先頭へ「ロールオーバー」します。しかし、ロールオーバー イベントは防ぐ必要があります。そうしないと、そのページに先に書き込まれたデータが書き換えられてしまう可能性があります。

最大 t_{WR} が過ぎた後に、マスタは新しいバス トランザクションを開始できます。

Note:

1. S/I/O ラインを LOW に駆動する事による内部書き込みサイクルへの割り込みは、書き込み中のバイトを破損する恐れがあります。メモリアレイ内の他のメモリ位置は影響を受けません。書き込みサイクルを実行中のデバイス動作については「[内部書き込みサイクル中のデバイス動作](#)」を参照してください。マスタが書き込み動作に割り込む必要がある場合、「[アクティブ動作中のデバイスへの割り込み](#)」に記載した通り、マスタは S/I/O ラインを t_{DSCHG} の間 LOW に駆動する必要があります。

図 6-2. ページ書き込み



Note:

1. x = A7 ビット位値のドントケアビット (アドレスレンジは 1 Kbit であるため)

6.4 セキュリティ レジスタへの書き込み

セキュリティ レジスタは、上位 16 バイト(上位 2 ページ、各ページは 8 バイト) 領域内のバイト書き込み、ページ書き込み、部分ページ書き込みをサポートします。セキュリティ レジスタ内のページ書き込みと部分ページ書き込みには、EEPROM への書き込みと同様にページ境界の制約と動作要件が適用されます。

正しいデバイスアドレス バイト (オペコードは Bh)とメモリアドレス バイトを受信すると、デバイスは ACK を示す論理「0」を送信します。この時点で、デバイスは最初のデータバイトを受信可能になります。

デバイスはデータバイトを受信した後に ACK で応答します。マスタは、必要に応じて最大 7 バイトを引き続き送信できます。デバイスは、各バイトを正常に受信するたびに ACK で応答します。全てのデータバイトが送信された後、デバイスが書き込みサイクルを開始するにはストップ条件が必要です。ストップ条件は SI/O が HIGH にプルアップされた Null ビットフレームとして定義されるため、マスタはストップ条件を生成するために SI/O ラインを駆動する必要はありません。ストップ条件が完了した後に、デバイスは内部で自己タイミング書き込みサイクルを開始します。これは t_{WR} 以内に完了し、データは不揮発性 EEPROM に書き込まれます。 t_{WR} 期間中は、SI/O ピンが外付け抵抗によって HIGH へプルアップされる必要があります。図 6-3 に、セキュリティレジスタへの 1 バイト書き込み動作の例を示します。

図 6-3. セキュリティレジスタへの 1 バイト書き込み



Note:

1. $x = A7 \sim A5$ ビット位値のドントケアビット (セキュリティレジスタのアドレスレンジ外であるため)
2. SI/O ラインを LOW に駆動する事による内部書き込みサイクルへの割り込みは、書き込み中のバイトを破損する恐れがあります。メモリアレイ内の他のメモリ位置は影響を受けません。書き込みサイクルを実行中のデバイス動作については「内部書き込みサイクル中のデバイス動作」を参照してください。マスタが書き込み動作に割り込む必要がある場合、「アクティブ動作中のデバイスへの割り込み」に記載した通り、マスタは SI/O ラインを t_{DSCHG} の間 LOW に駆動する必要があります。

6.5 セキュリティレジスタのロック

ロックコマンドは、AT21CS01/11 のセキュリティレジスタの上位 16 バイトに対する全ての書き込みを恒久的に禁止する不可逆のシーケンスです。ロックコマンドを実行すると、セキュリティレジスタの全体(32 バイト)が読み出し専用になります。セキュリティレジスタを一度ロックすると、後でロックを解除する事はできません。

ロックコマンド プロトコルはセキュリティレジスタへの 1 バイト書き込みをエミュレートしますが、オペコード 0010b (2h) を使う事と、メモリアドレスの A7~A4 ビットを 0110b (6h) に設定する事が必要です。メモリアドレス内の残りのビットとデータバイトは「ドントケア」ビットです。

これらの「ドントケア」ビットもデバイスへ送信する必要があります。メモリアドレスとデータバイトに対する ACK 応答はセキュリティレジスタがロックされていない事を示し、NACK 応答はセキュリティレジスタが既にロックされている事を示します。セキュリティレジスタのロック状態の確認方法は図 6-5 を参照してください。

このシーケンスはストップ条件によって完了し、内部の自己タイミング書き込みサイクルが始まります。ストップ条件がこれ以外のタイミングで送信された場合、ロック動作は中止されます。ストップ条件は SI/O が HIGH にプルアップされた Null ビットフレームとして定義されるため、マスタはストップ条件を生成するために SI/O ラインを駆動する必要はありません。書き込みサイクル(時間は t_{WR})が完了した時点でロック動作は完了し、セキュリティレジスタは恒久的に読み出し専用になります。

Note:

1. t_{WR} 期間中に SI/O ラインを LOW に駆動しない事が必要です。そうしないと、ロック動作が正常に完了しない可能性があります。

図 6-4. ロックコマンド



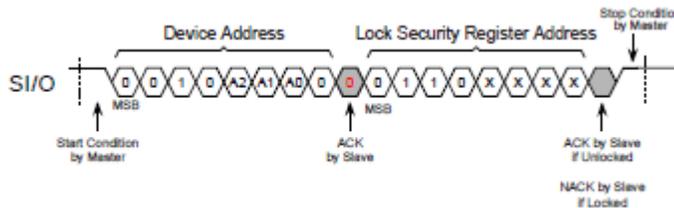
6.5.1 ロック済みデバイスへの書き込みコマンドに対するデバイス応答

ロック済みのデバイスは、セキュリティ レジスタへの書き込みコマンドに対して、未ロックのデバイスとは異なる方法で応答します。セキュリティ レジスタへの書き込みは、スタート条件の後にデバイスアドレス バイト (オペコードは 1011b (Bh) + 適切なスレーブアドレス + 論理「0」の R/W ビット)を送信する事により開始します。ロック済みであっても未ロックであっても、デバイスは ACK で応答します。次に、8 ビットのワードアドレスを送信すると、どちらのデバイスも再び ACK で応答します。しかし、データ入力バイトを送信すると、ロック済みデバイスは NACK を返し、即座に次のコマンドの受信が可能になります。これに対し未ロックのデバイスは、「書き込み動作」で説明した通りに、データ入力バイトに対して ACK を返します。

6.5.2 ロック確認コマンド

ロック確認コマンドのシーケンスは、ロックコマンドと基本的に同じです(メモリアドレス バイトの A7 ~ A4 ビットは 0110b を格納) が、デバイスアドレス バイトとメモリアドレス バイトだけをデバイスへ送信します。メモリアドレス バイトに対する ACK 応答はデバイスが未ロックである事を示し、NACK 応答はデバイスがロック済みである事を示します。一度有効にされたロックを後で無効にする事はできません。ロック確認コマンドは、マスタがデバイスへストップ条件(Null ビットフレームとして定義)を送信する事により終了します。

図 6-5. ロック確認コマンド



6.6 デバイス動作速度の設定

AT21CS01 は、ソフトウェア シーケンスによって標準速モード(最大 15.4 kbps)または高速モード(最大 125 kbps)に設定できます。リセットおよび探索応答シーケンス(「デバイスのリセット/電源投入および探索応答」参照)の実行時にデバイスは既定値の高速モードに設定されます。AT21CS11 は標準速モードを備えていません。

6.6.1 標準速モード(AT21CS01)

オペコード Dh を使うと、AT21CS01 を標準速モードに設定できます。また、デバイスが標準速モードに設定されているかどうか確認できます。このトランザクションは 8 ビットしか使いません。

デバイスを標準速モードに設定するには、マスタはスタート条件の後に R/W ビットを論理「0」に設定したデバイスアドレス バイト (オペコード 1101b (Dh)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。デバイスは ACK (論理「0」)を返した後、即座に標準速動作向けのコマンドを受信可能になります。

デバイスが標準速モードに設定されているかどうか確認するには、 $\overline{R/W}$ ビットを論理「1」に設定したデバイスアドレス バイト (オペコード 1101b (Dh)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。既に標準速モードに設定されていた場合、デバイスはACK (論理「0」)を返します。標準速モードに設定されていなかった場合はNACK (論理「1」)を返します。

Note: AT21CS11はこのコマンドに対してNACKを返します。

6.6.2 高速モード

オペコード Eh を使うと、デバイスを高速モードに設定できます。また、デバイスが高速モードに設定されているかどうか確認できます。このトランザクションは 8 ビットしか使いません。AT21CS01/11 の電源投入時の既定値は高速モードです。

デバイスを高速モードに設定するには、マスタはスタート条件の後に $\overline{R/W}$ ビットを論理「0」に設定したデバイスアドレス バイト (オペコード 1110b (Eh)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。デバイスはACK (論理「0」)を返した後、即座に高速動作向けのコマンドを受信可能になります。

デバイスが高速モードに設定されているかどうか確認するには、 $\overline{R/W}$ ビットを論理「1」に設定したデバイスアドレス バイト (オペコード 1110b (Eh)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。既に高速モードに設定されていた場合、デバイスはACK (論理「0」)を返します。高速モードに設定されていなかった場合はNACK (論理「1」)を返します。

Note: AT21CS11はこのコマンドに対してACKを返します。

7. 読み出し動作

読み出し動作は、基本的に書き込み動作と同じ方法で開始しますが、デバイスアドレス バイト内の $\overline{R/W}$ ビットを論理「1」に設定する必要があります。本デバイスは以下の読み出し動作をサポートします。

- EEPROM からの現在アドレス読み出し
- EEPROM からのランダム読み出し
- EEPROM からのシーケンシャル読み出し
- セキュリティ レジスタからの読み出し
- メーカーID の読み出し

Note:

1. AT21CS01/11 は EEPROM とセキュリティ レジスタ用に共通のメモリアドレス ポインタを備えています。このポインタは、EEPROM またはセキュリティ レジスタ内で次にアクセスするバイトのアドレスを保持します。例えば、直近に読み書きしたメモリ位置が EEPROM 内の 0Dh である場合、アドレスポインタは EEPROM 内の 0Eh を指します。読み出し位置をメモリ内の他の領域に変更する場合、アドレスポインタを新しい領域内の特定位置に設定するために、現在アドレス読み出しではなくランダム読み出し動作で読み出しを開始する必要があります。

EEPROM またはセキュリティ レジスタの終端に達すると、アドレスポインタはその領域の開始位置(アドレス 00h)へ「ロールオーバー」します。SI/O ピンでプルアップ電圧が維持されている限り、またはデバイスがリセットされない限り、アドレスポインタは動作と動作の間で値を保持します。

7.1 EEPROM からの現在アドレス読み出し

EEPROM からの現在アドレス読み出しを実行する場合、内部アドレスポインタは EEPROM 内のメモリ位置を指している必要があります。この動作を開始するには、マスタはスタート条件の後に $\overline{R/W}$ ビットを論理「1」に設定したデバイスアドレス バイト (オペコード 1010b (Ah)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。デバイスアドレス バイトが送信されると、AT21CS01/11 は ACK (論理「0」)を返します。

この時点で、デバイスは 1 バイト(8 ビット)のデータを出力可能になります。マスタは、SI/O ラインを LOW に駆動する事によって全てのデータビットの転送を開始します。データが論理「0」である場合、マスタが SI/O ラインを解放した後も AT21CS01/11 は SI/O ラインを LOW に保持します。データが論理「1」である場合、AT21CS01/11 は SI/O ラインを LOW に保持しません。このため、マスタが SI/O ラインを解放すると、SI/O ラインは外付け抵抗によって HIGH にプルアップされます。このシーケンスを 8 個の各ビットで繰り返します。

最初のデーバイトを読み出した後に後続のデータを要求しない場合、マスタは読み出し動作を終了するために NACK (論理「1」)を返す必要があります。これによりデバイスはスタンバイモードに戻ります。

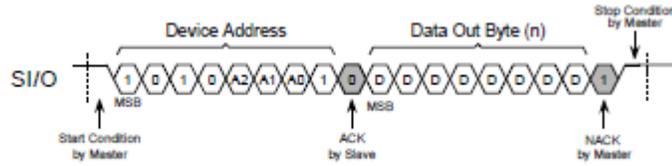
[図 7-1](#) にこのシーケンスを示します。

後続バイトの読み出しを要求する場合、マスタは ACK (論理「0」)を返します。これにより、デバイスはメモリアレイ内の次のバイトを出力可能になります。複数バイトを続けて読み出す詳細な方法は「[EEPROM からのシーケンシャル読み出し](#)」を参照してください。

Note:

1. 本デバイスに対する直近の動作がセキュリティ レジスタへのアクセスであった場合、アドレスポインタを EEPROM 内の特定のメモリ位置に設定するためにランダム読み出しを実行する必要があります。

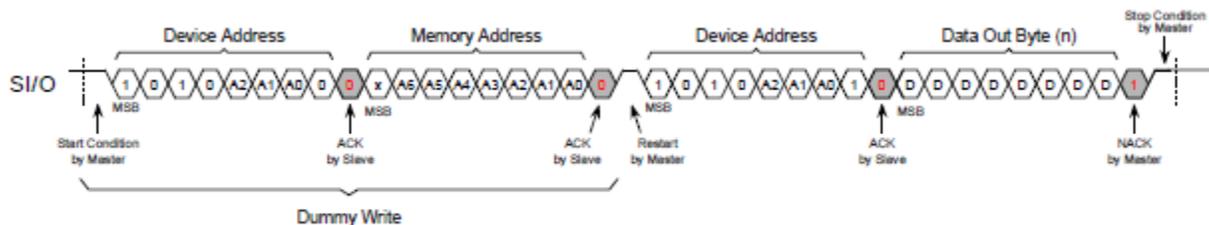
図 7-1. 現在アドレス読み出し



7.2 EEPROM からのランダム読み出し

ランダム読み出しは、1 バイト書き込み動作と同じ方法でアドレスポインタに新しい EEPROM メモリアドレスを書き込む事によって開始します。しかしその後は、データバイトとストップ条件を送信する代わりに、反復スタート条件をデバイスに送信します。このシーケンスを「ダミー書き込み」と呼びます。「ダミー書き込み」のデバイスアドレス バイトとメモリアドレス バイトに対して AT21CS01/11 は ACK を返します。次にマスタは、新しいスタート条件を送信する事で、EEPROM からの現在アドレス読み出しを開始できます。現在アドレス読み出しの詳細な方法は「EEPROM からの現在アドレス読み出し」を参照してください。

図 7-2. ランダム読み出し



7.3 EEPROM からのシーケンシャル読み出し

シーケンシャル読み出しは、現在アドレス読み出しまたはランダム読み出しとして開始します。しかし、1つのデータバイトの読み出し後にマスタは NACK (論理「1」) の代わりに ACK (論理「0」) を送信する事で、後続のデータバイトを出力するよう AT21CS01/11 に要求します。デバイスは、各データバイトの出力後にマスタから ACK を受信する限り、アドレスカウンタをインクリメントして EEPROM から次のデータバイトを出力し続けます。EEPROM の終端に達すると、アドレスポインタは EEPROM の開始位置(アドレス 00h)へ「ロールオーバー」します。シーケンシャル読み出し動作を終了するには、デバイスが最後のデータバイトを完全に出力した後に、マスタから NACK 応答を送信する必要があります。デバイスは、NACK を受信すると読み出し動作を終了してスタンバイモードに戻ります。

Note:

1. 本デバイスに対する直近の動作がセキュリティ レジスタへのアクセスであった場合、アドレスポインタを EEPROM 内の特定のメモリ位置に設定するためにランダム読み出しを実行する必要があります。

図 7-3. シーケンシャル読み出し - 現在アドレス読み出しで開始

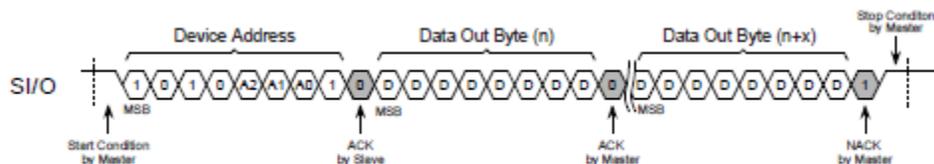
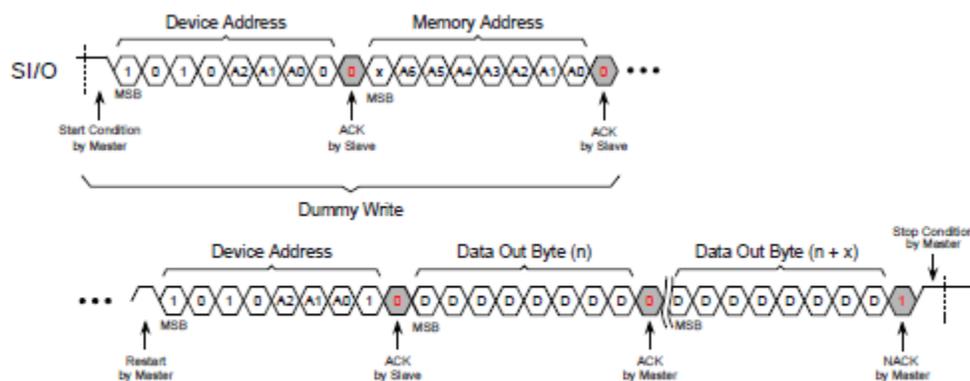


図 7-4. シーケンシャル読み出し - ランダム読み出しで開始



7.4 セキュリティレジスタからの読み出し動作

セキュリティレジスタは、ランダム読み出しまたはシーケンシャル読み出しを使って読み出せます。EEPROM とセキュリティレジスタは 1 つのアドレスポインタレジスタを共有するため、セキュリティレジスタ内のアドレスポインタを正しく設定するには「ダミー書き込み」を実行する必要があります。ランダム読み出しまたはシーケンシャル読み出しを使うのは、それらのシーケンスが「ダミー書き込み」を含むからです。ビット A7~A5 は「ドントケア」ビットです(セキュリティレジスタのアドレスレンジ外となるため)。セキュリティレジスタに対する現在アドレス読み出しはサポートされません。

セキュリティレジスタを読み出すには、デバイスアドレスバイト内でオペコード 1011b (Bh)を指定する必要があります。セキュリティレジスタからは 64 ビットのシリアル番号またはユーザ書き込み可能データを読み出せます。

7.4.1 シリアル番号の読み出し

セキュリティレジスタの下位 8 バイトは、工場で書き込まれた一意の 64 ビットシリアル番号を格納します。

一意の値を得るには、セキュリティレジスタ内のアドレス位置 00h から完全な 64 ビットのシリアル番号を読み出す必要があります。従って、ランダム読み出し動作で始まるシーケンシャル読み出しを使って読み出す事を推奨します。このランダム読み出しシーケンスには、オペコード 1011b (Bh)を指定したデバイスアドレスバイトと 00h に設定したメモリアドレスバイトを使います。

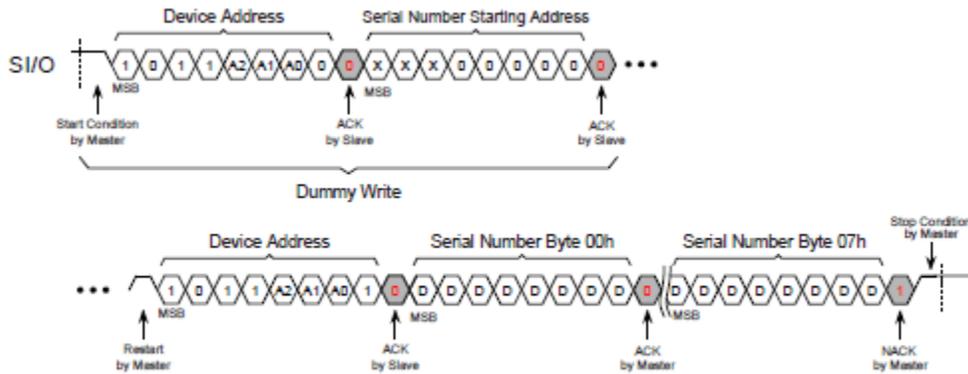
64 ビットシリアル番号の最初のバイトは、製品 ID (A0h)です。次のバイト 1~6 は 48 ビットの一意番号を格納します。64 ビットシリアル番号の最後のバイトは、その前の 56 ビットに対する巡回冗長検査 (CRC)値を格納します。CRC 値は、多項式 $X^8 + X^5 + X^4 + 1$ を使って生成されます。64 ビットシリアル番号の構造を表 7-1 に示します。

表 7-1. 工場書き込み済み 64 ビットシリアル番号の構成

バイト 0	バイト 1	バイト 2	バイト 3	バイト 4	バイト 5	バイト 6	バイト 7
8 ビット 製品 ID (A0h)	48 ビット一意番号						8 ビット CRC 値

64 ビットシリアル番号の 8 バイトを全て読み出した後に、マスタは NACK (論理「1」)を返す事で読み出し動作を終了できます。これによりデバイスはスタンバイモードに戻ります。マスタが ACK (論理「0」)を送信した場合、セキュリティレジスタ内の次のバイト (アドレス 08h)がデバイスから出力されます。セキュリティレジスタの終端に達すると、アドレスポインタはセキュリティレジスタの開始位置 (アドレス 00h) へ「ロールオーバー」します。

図 7-5. 64 ビット シリアル番号の読み出し



7.5 メーカーID の読み出し

AT21CS01/11 からはメーカー、容量、リビジョンに関する情報を読み出せます。適切なオペコードと現在アドレス読み出しのフォーマットを使う事で、デバイスから 24 ビットのメーカーID 値を読み出せます。この値は Microchip 社に割り当てられている I²C ID 値、1 Kbit の容量を示す値、デバイス リビジョンを示します。

メーカーID 値を読み出すには、マスタはスタート条件の後に R/W ビットを論理「1」に設定したデバイスアドレス バイト (オペコード 1100b (Ch)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。デバイスアドレス バイトが送信されると、AT21CS01/11 は ACK (論理「0」)を返します。メーカーID は読み出し専用であるため、R/W ビットが論理「0」(書き込み)に設定されていた場合、デバイスは NACK (論理「1」)を返します。

デバイスは、ACK を返した後にメーカーID データの最初のバイト (24 ビットデータ値の最上位 8 ビット (D23-D16))を送信します。マスタは ACK (論理「0」)を返す事で、データを正常に受信した事を示します。次いで、デバイスはメーカーID データの第 2 バイト(D15-D8)を送信します。3 バイトが全て読み出されるまでこの処理を繰り返した後に、マスタは NACK (論理「1」)を送信する事でシーケンスを終了します。図 7-6 にこのシーケンスを示します。

第 3 バイトに対してマスタが ACK (論理「0」)を返した場合、内部ポインタはメーカーID データの第 1 バイトへロールオーバーします。

図 7-6. メーカーID の読み出し

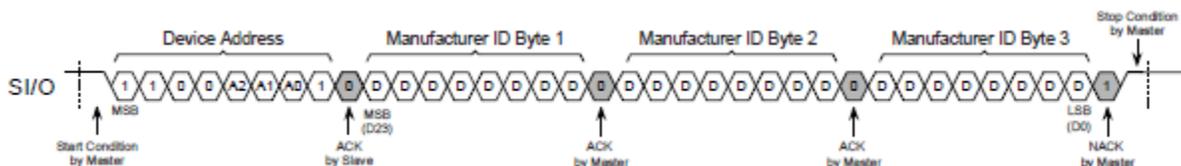


表 7-2 に、メーカーID データのフォーマットを示します。

表 7-2. メーカーID データのフォーマット

デバイス	メーカーコード <D23:D12>	デバイスコード <D11:D3>	リビジョンコード <D2:D0>	HEX 値 <D23:D0>
AT21CS01	0000-0000-1101	0010-0000-0	000	00D200h
AT21CS11	0000-0000-1101	0011-1000-0	000	00D380h

24 ビット メーカーID のメーカーコード部は、3 バイト読み値の最上位 12 ビットで返されます。Microchip 社に割り当てられている値は 0000-0000-1101b (00Dh)です。従って、デバイスから読み出される最初のバイトの値は 00h であり、第 2 バイトの上位ニブルの値は Dh です。

24 ビット メーカーID の最下位 12 ビットは、Microchip 社が定義したデバイスの容量とリビジョンを示す値です。ビット D11~D3 はデバイスコードを示し、ビット D2~D0 はデバイス リビジョンを示します (表 7-2 参照)。

AT21CS01 が返す 24 ビット値は 00D200h です。AT21CS11 が返す 24 ビット値は 00D380h です。

8. ROM ゾーン

8.1 ROM ゾーンの容量と ROM ゾーンレジスタ

アプリケーションによってはプログラムコード、データモジュール、セキュリティ情報、暗号化/復号アルゴリズム(および鍵、ルーチン)に対する不正な改ざんを防ぐために、EEPROM メモリアレイの一部を恒久的に保護する必要があります。これらのアプリケーションに対応するため、本デバイスのメモリアレイは 4 つのメモリゾーン (1 ゾーンは 256 ビット) に分割されています。本デバイスが備える ROM ゾーン機能により、これらのゾーンを任意の組み合わせで恒久的にロックして読み出し専用(ROM)にできます。一度 ROM 化されたメモリゾーンは、二度と消去/書き込みができなくなります。つまり、既に ROM 化された状態から保護を解除する事はできません。表 8-2 に、4 つのメモリゾーンのアドレスレンジを示します。

8.1.1 ROM ゾーンレジスタ

256 ビット メモリゾーンの ROM ステータスを制御するため、各ゾーンは別々に 1 ビットの ROM ゾーンレジスタを備えています。これらのレジスタは不揮発性であり、デバイスの電源 OFF 後またはリセット後も状態を維持します。下表に、ROM ゾーンレジスタの 2 つの状態を示します。各 ROM ゾーンレジスタの読み書きアクセス用に専用の ROM ゾーンレジスタ アドレスが予約されています。

表 8-1. ROM ゾーンレジスタ値

値	ROM ゾーン ステータス
0	ROM ゾーンは無効(そのメモリゾーンは書き込みと消去が可能です - 既定値状態)
1	ROM ゾーンは有効(そのメモリゾーンは書き込みも消去もできません)

ROM ゾーンコマンドを特定の ROM ゾーンレジスタ アドレスに対して発行すると、対応する ROM ゾーンレジスタは論理「1」状態に設定されます。各 ROM ゾーンレジスタは一度しか設定できません。従って、一度論理「1」状態に設定された ROM ゾーンレジスタは論理「0」状態に戻せません。

表 8-2. ROM ゾーンのアドレスレンジ

メモリゾーン	開始アドレス	終了アドレス	ROM ゾーン レジスタ アドレス
0	0h	1Fh	01h
1	20h	3Fh	02h
2	40h	5Fh	04h
3	60h	7Fh	08h

8.2 ROM ゾーンレジスタの読み書き

8.2.1 ROM ゾーンレジスタの状態の読み出し

ROM ゾーンレジスタの現在の状態を確認するには、マスタはランダム読み出しシーケンスをエミュレートする(ただし、オペコードは 0111b (7h)を使用する) 必要があります。どの ROM ゾーンレジスタ アドレスを読み出すのか指定するために、ランダム読み出しシーケンス内のダミー書き込み部分が必要です。

このシーケンスを開始するには、マスタはスタート条件の後に $\overline{R/W}$ ビットを論理「0」に設定したデバイスアドレス バイト (上位 4 ビットのオペコードは 7h、適切なスレーブアドレスを指定) をデバイスへ送信する必要があります。AT21CS01/11 は ACK で応答します。

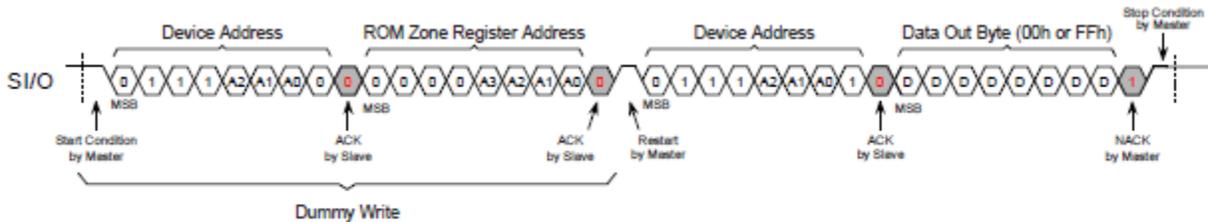
このデバイスアドレス バイトの後に 8 ビットの ROM ゾーンレジスタ アドレスバイトが続きます。上位の 4 つのビットは使われないため「ドントケア」ビットです。デバイスへ送信されたアドレスは、表 8-2 に示す ROM ゾーンアドレスの 1 つに一致する必要があります。ROM ゾーンレジスタ アドレスバイトが送信されると、AT21CS01/11 は ACK (論理「0」) を返します。

次に、追加のスタート条件とデバイスアドレス バイト (アドレスは前と同じで、 $\overline{R/W}$ ビットは論理「1」) が送信されます。これに対してデバイスは ACK を返します。AT21CS01/11 は ACK を送信した後、00h または FFh のデータバイトを出力します。00h のデータバイトは ROM ゾーンレジスタの値が「0」である (すなわち、そのゾーンは ROM として設定されていない) 事を示します。デバイスが FFh のデータを出力した場合、そのメモリゾーンは ROM として設定済みであり、変更はできません。

表 8-3. ROM ゾーンレジスタの読み値 - 出力データ

出力データ	ROM ゾーンレジスタ値
00h	ROM ゾーンレジスタの値は「0」 (そのゾーンは ROM として設定されていない)
FFh	ROM ゾーンレジスタの値は「1」 (そのゾーンは ROM として設定済み)

図 8-1. ROM ゾーンレジスタの状態の読み出し



8.2.2 ROM ゾーンレジスタへの書き込み

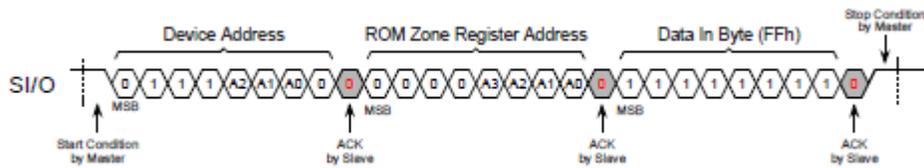
ROM ゾーンレジスタには論理「1」のみが書き込めます。これにより、対応するメモリゾーンは ROM 状態に設定されます。ROM ゾーンレジスタに一度書き込むと、二度と変更できなくなります。

ROM ゾーンレジスタに書き込むには、マスタはスタート条件の後に $\overline{R/W}$ ビットを論理「0」に設定したデバイスアドレス バイト (オペコード 0111b (7h) と適切なスレーブアドレスを指定) をデバイスへ送信する必要があります。デバイスアドレス バイトが送信されると、AT21CS01/11 は ACK を返します。

デバイスアドレス バイトの後に 8 ビットの ROM ゾーンレジスタ アドレスバイトが続きます。デバイスへ送信されたアドレスは、表 8-2 に示す ROM ゾーンアドレスの 1 つに一致する必要があります。ROM ゾーンレジスタ アドレスバイトが送信されると、AT21CS01/11 は ACK を返します。

AT21CS01/11 が ACK を送信した後に、マスタは FFh のデータバイトを送信する事で、適切な ROM ゾーンレジスタを論理「1」状態に設定します。デバイスは ACK を返し、ストップ条件の後に自己タイミング書き込みサイクル(時間は t_{WR})を開始します。このシーケンス中にストップ条件がこれ以外のタイミングで送信された場合、ROM ゾーンレジスタへの書き込み動作は中止されます。デバイスは、 t_{WR} が過ぎるまでコマンドに対して一切応答しません。図 8-2 にこのシーケンスを示します。

図 8-2. ROM ゾーンレジスタへの書き込み

**Note:**

1. S/I/O ラインを LOW に駆動する事による内部書き込みサイクルへの割り込みは、書き込み中のレジスタを破損する恐れがあります。書き込みサイクルを実行中のデバイス動作については「[内部書き込みサイクル中のデバイス動作](#)」を参照してください。マスタが書き込み動作に割り込む必要がある場合、「[アクティブ動作中のデバイスへの割り込み](#)」に記載した通り、マスタは S/I/O ラインを t_{DSCHG} の間 LOW に駆動する必要があります。

8.2.3 ROM ゾーンレジスタのロック

ROM ゾーンの状態をロックする事で、それ以後の ROM ゾーンレジスタに対する変更を禁止できます。一度ロックすると、元に戻せなくなります。

ROM ゾーンレジスタの状態をロックするには、マスタはスタート条件の後に $\overline{R/W}$ ビットを論理「0」に設定したデバイスアドレス バイト (オペコード 0001b (1h)と適切なスレーブアドレスを指定)をデバイスへ送信する必要があります。デバイスは、ROM ゾーンレジスタが未ロックの場合に ACK (論理「0」)を返し、既にロック済みの場合に NACK (論理「1」)を返します。

AT21CS01/11 が ACK を返した場合、マスタは値が 55h のアドレスバイトを送信する必要があります。これに対し、デバイスは ACK (論理「0」)を返します。55h のアドレスバイトに続き、マスタは AAh のデータバイトを送信する必要があります。このデータバイトに対し、デバイスは ACK を返します。55h 以外のアドレスバイトまたは AAh 以外のデータバイトが送信された場合、デバイスは NACK (論理「1」)を返し、ロック動作は実行されません。

ROM ゾーンレジスタのロックシーケンスを完了するには、ストップ条件が必要です。このシーケンス中にストップ条件がこれ以外のタイミングで送信された場合、ロック動作は中止されます。ストップ条件は S/I/O が HIGH にプルアップされた Null ビットフレームとして定義されるため、マスタはストップ条件を生成するために S/I/O ラインを駆動する必要はありません。

ストップ条件が完了すると、内部で自己タイミング書き込みサイクルが始まります。 t_{WR} 期間中は、外付けプルアップ抵抗によって S/I/O ピンを HIGH にプルアップする必要があります。

図 8-3. ROM ゾーンレジスタのロック

**Note:**

1. t_{WR} 期間中に S/I/O ラインを LOW に駆動しない必要があります。そうしないと、ロック動作が正常に完了しない可能性があります。

8.3 有効な ROM ゾーンへの書き込みコマンドに対するデバイス応答

AT21CS01/11 は、ROM として設定されたメモリゾーンへの書き込みコマンドに対して、非 ROM メモリゾーンとは異なる方法で応答します。EEPROM への書き込みは、スタート条件に続いて $\overline{R/W}$ ビットが論理「0」のデバイスアドレス バイト (オペコード 1010b (Ah)と適切なスレーブアドレスを指定)を送信する事により実行します。

この時点では、メモリアドレスは入力されていないため、デバイスは ACK を返します。次に、8 ビットのワードアドレスが送信されます。これに対しデバイスは、そのアドレスが ROM に設定されたメモリゾーン内かどうかに関係なく、ACK を返します。

しかし、アドレスが ROM に設定されたメモリゾーン内であった場合、データ入力バイトが送信された時点で AT21CS01/11 は NACK を返し、即座に次のコマンドを受信可能になります。アドレスが ROM に設定されたメモリゾーン内ではなかった場合、デバイスは「書き込み動作」に記載した通常書き込み動作に従い、データ入力バイトに対して ACK で応答します。

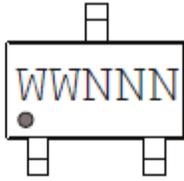
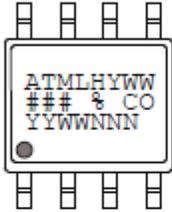
9. Microchip 社によるデバイスの既定値条件

AT21CS01/11 は、EEPROM アレイが論理「1」(すなわち全てのメモリ位置のデータが FFh)に設定された状態で出荷されます。

10. パッケージ情報

10.1 パッケージのマーキング情報

AT21CS01/AT21CS11: Package Marking Information

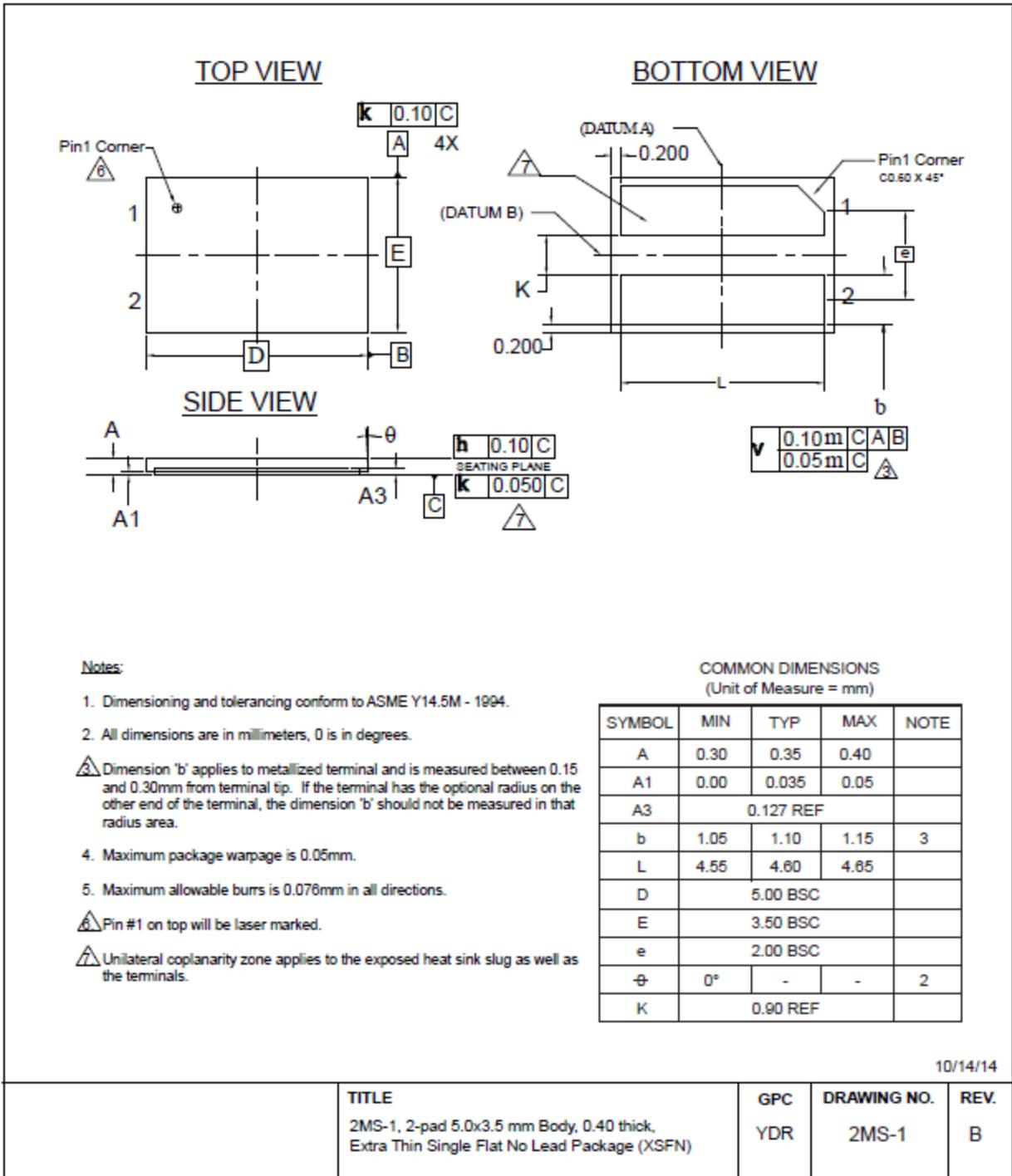
<p>2-ld XSFN</p> <div style="border: 1px solid black; padding: 10px; margin: 10px auto; width: 80%;"> <p style="text-align: center;">ATML ###%Y ● WNNN</p> </div>	<p>3-lead SOT-23</p> <div style="border: 1px solid black; padding: 10px; margin: 10px auto; width: 80%;">  </div>
<p>8-lead SOIC</p> <div style="border: 1px solid black; padding: 10px; margin: 10px auto; width: 80%;">  </div>	<p>4-ball WLCSP</p> <div style="border: 1px solid black; padding: 10px; margin: 10px auto; width: 80%;"> <div style="border: 1px solid black; padding: 5px; display: inline-block;"> <p style="text-align: center;">● NN</p> </div> <p>(AT21CS01 only)</p> </div>

Note 1: ● designates pin 1
Note 2: Package drawings are not to scale

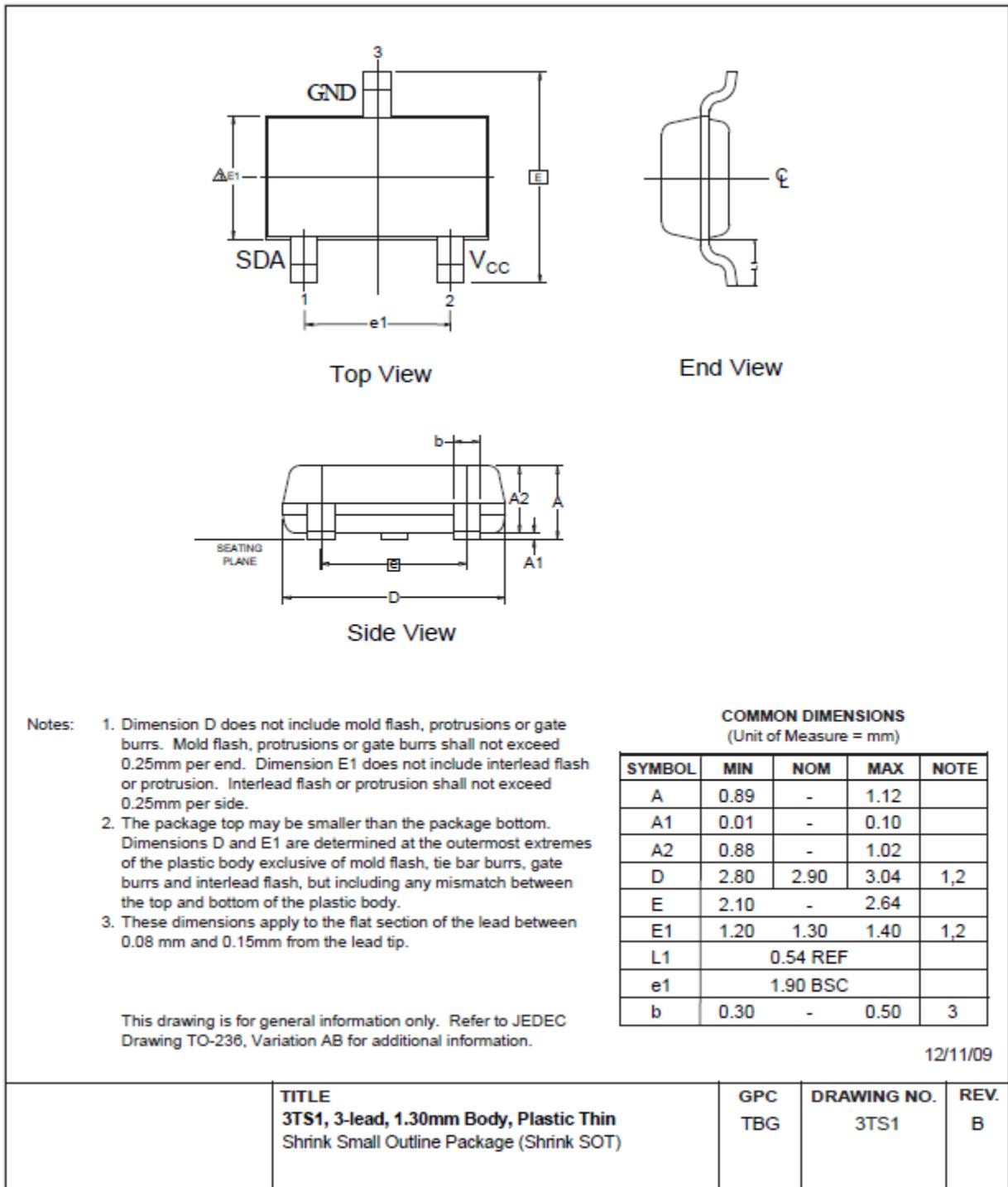
Catalog Number Truncation			
AT21CS01		Truncation Code ###: K1M	
AT21CS11		Truncation Code ###: K2	
Date Codes			Slave Address
Y = Year	M = Month	WW = Work Week of Assembly	% = Slave Address
7: 2017 1: 2021	A: January	02: Week 2	A: Address 000 E: Address 100
8: 2018 2: 2022	B: February	04: Week 4	B: Address 001 F: Address 101
9: 2019 3: 2023	C: Address 010 G: Address 110
0: 2020 4: 2024	L: December	52: Week 52	D: Address 011 H: Address 111
Country of Assembly		Trace Code	Atmel Truncation
CO = Country of Assembly		NNN or NN	AT: Atmel ATM: Atmel ATML: Atmel

I 9/11/17

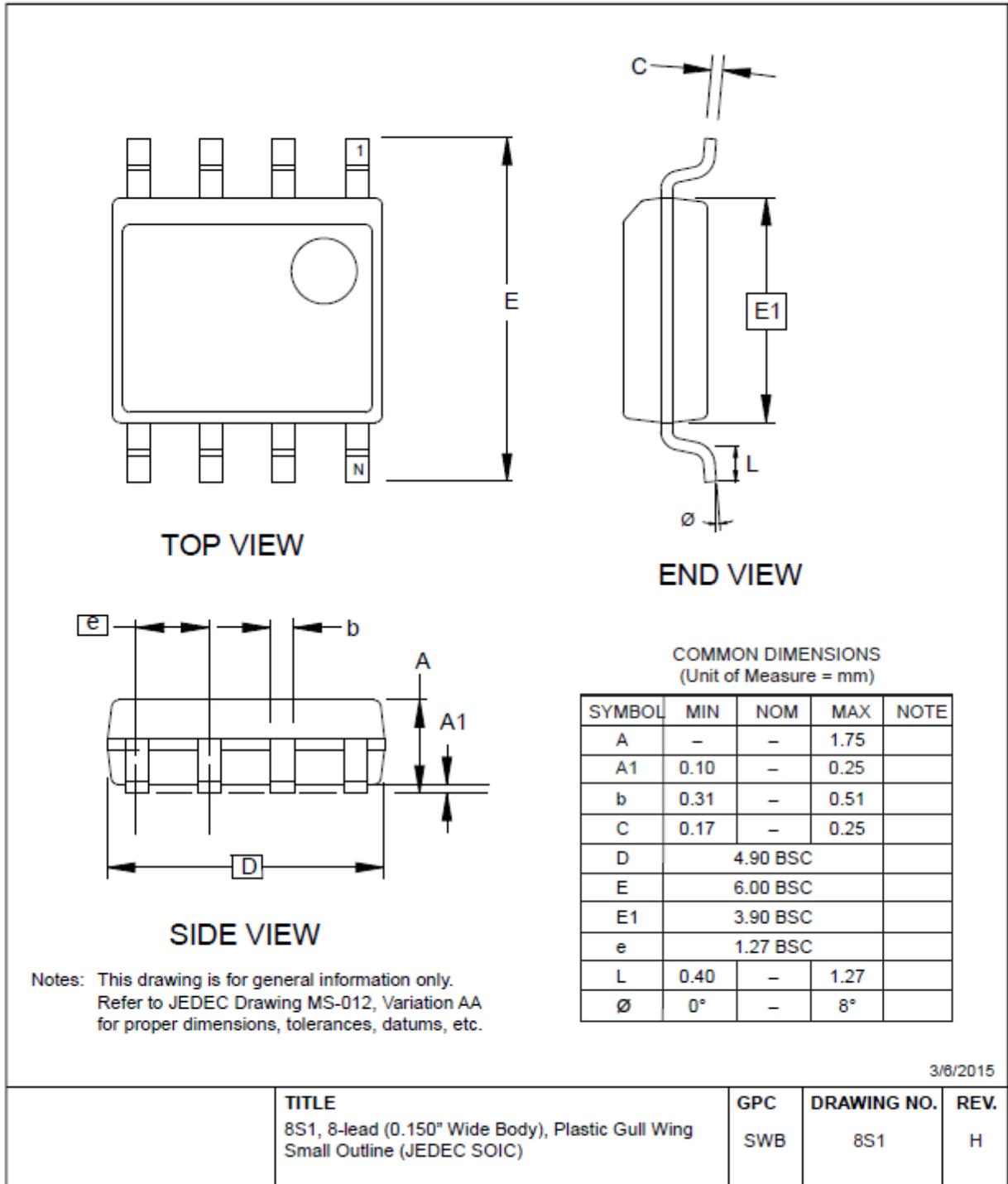
TITLE AT21CS01/11SM, AT21CS01 and AT21CS11 Package Marking Information	DRAWING NO. 21CS01/11SM	REV. A
--	-----------------------------------	------------------



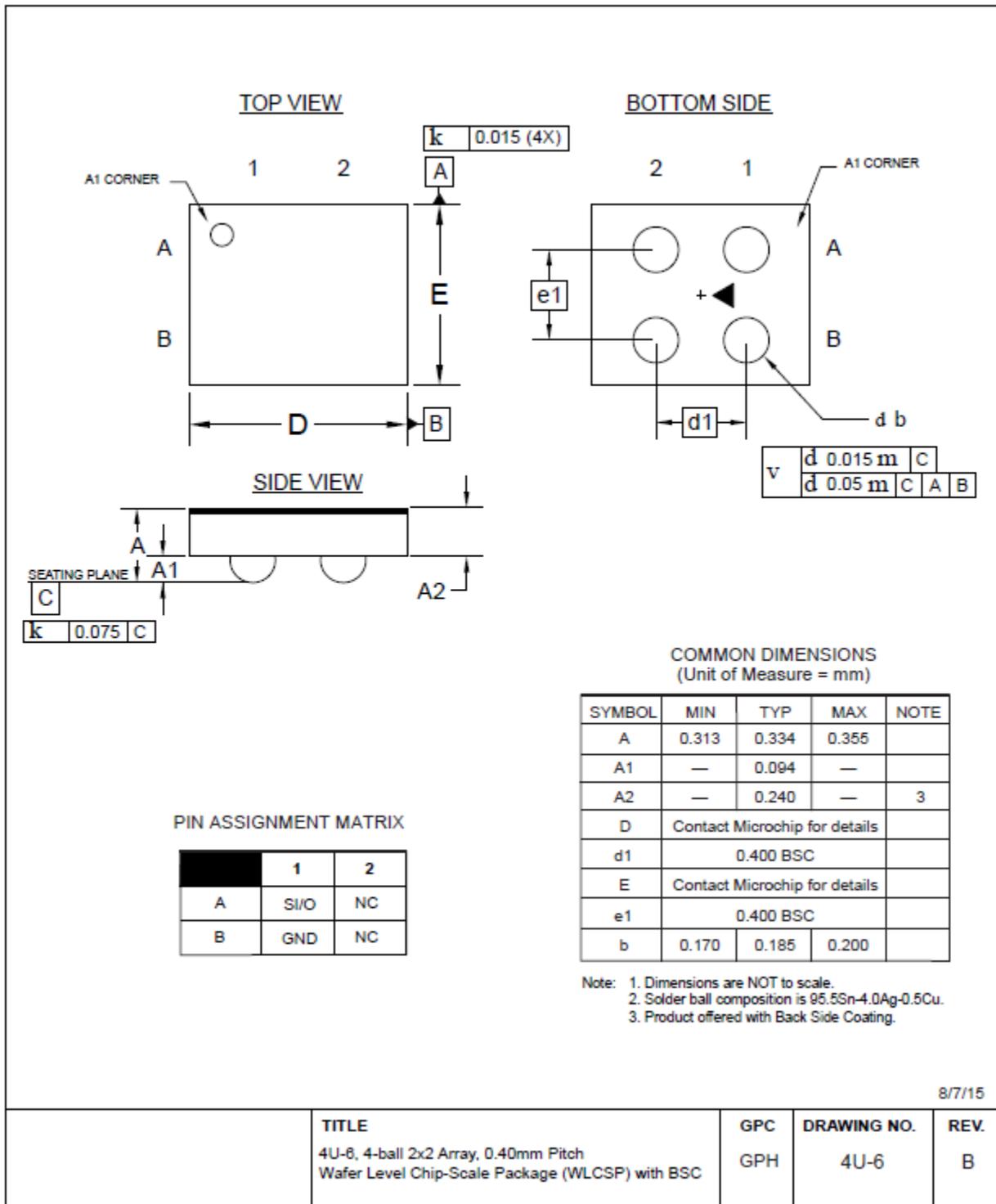
Note: 最新のパッケージ図面は、Microchip 社の Packaging Specifications (<http://www.microchip.com/packaging>)を参照してください。



Note: 最新のパッケージ図面は、Microchip 社の Packaging Specifications (<http://www.microchip.com/packaging>)を参照してください。



Note: 最新のパッケージ図面は、Microchip 社の Packaging Specifications (<http://www.microchip.com/packaging>)を参照してください。



Note: 最新のパッケージ図面は、Microchip 社の Packaging Specifications (<http://www.microchip.com/packaging>)を参照してください。

11. 改訂履歴

Atmel 社 AT21CS01 文書 8903 リビジョン A (2015 年 8 月)

初版です。

Atmel 社 AT21CS11 文書 8975 リビジョン A (2015 年 8 月)

初版(暫定版)です。

Atmel 社 AT21CS11 文書 8975 リビジョン B (2015 年 11 月)

標準速モードを削除しました。

リビジョン A (2017 年 10 月)

Microchip 社の書式に更新しました。Atmel 社文書 8903 および 8975 は本書によって置き換えられました。XSFN パッケージを追加しました。DC 出力電流の絶対最大定格を更新しました。リード端子仕上げを削除しました。パッケージ マーキング内のトレースコード フォーマットを更新しました。

Microchip 社のウェブサイト

Microchip 社はウェブサイト(www.microchip.com)を通してオンラインサポートを提供しています。当ウェブサイトでは、お客様に役立つ情報やファイルを簡単に見つけ出せます。インターネット ブラウザから以下の内容がご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーションノートとサンプルプログラム、設計リソース、ユーザガイドとハードウェアサポート文書、最新のソフトウェアと過去のソフトウェア
- **一般的技術サポート** - よく寄せられる質問(FAQ)、技術サポートのご依頼、オンライン ディスカッショングループ、Microchip 社のコンサルタントプログラムおよびメンバーリスト
- **ご注文とお問い合わせ** - 製品セレクタと注文ガイド、最新プレスリリース、セミナー/イベントの一覧、お問い合わせ先(営業所/販売代理店)の一覧

顧客変更通知サービス

Microchip 社の顧客変更通知サービスは、お客様に Microchip 社製品の最新情報をお届けする配信サービスです。ご興味のある製品ファミリまたは開発ツールに関連する変更、更新、エラッタ情報をいち早くメールでお知らせします。

Microchip 社ウェブサイト(<http://www.microchip.com>)にアクセスし、[DESIGN SUPPORT]メニューの下の [Product Change Notification]からご登録ください。

カスタマサポート

Microchip 社製品をお使いのお客様は、以下のチャンネルからサポートをご利用になれます。

- 代理店または販売担当者
- 各地の営業所
- フィールドアプリケーション エンジニア (FAE)
- 技術サポート

サポートは販売代理店までお問い合わせください。各地の営業所もご利用になれます。本書の最後のページには各国の営業所の一覧を記載しています。

技術サポートは以下のウェブページからもご利用になれます。

<http://www.microchip.com/support>

製品識別システム

ご注文や製品の価格、納期につきましては弊社または販売代理店にお問い合わせください。

製品番号	XX	X	X	XX	X^[1]
デバイス	パッケージ	デバイス グレード	動作電圧	製品バリエ ーション	テープ&リール オプション

デバイス:	AT21CS01/11: 単線式、I/O 給電、1Kbit (128 x 8) シリアル EEPROM (一 意 64 ビットシリアル番号付き)
パッケージオプション:	MS = 2 ピン XSFN ST = 3 ピン SOT23 SS = 8 ピン SOIC U = 4 ボール WLCSP (AT21CS01 のみ) WWU = ウェハ(未カット)
パッケージ デバイスのグレード またはウェハダイ厚み:	H = 低環境負荷、産業用温度レンジ(-40~+85 °C) U = 低環境負荷、産業用温度レンジ(-40~+85 °C) 11 = 11 mil ウェハ厚み
動作電圧:	M = 1.7~3.6 V (AT21CS01) 空欄 = 2.7~4.5 V (AT21CS11)
製品バリエーション:	10 = 0-0-0 スレーブアドレス(A2、A1、A0) ⁽²⁾ 0B = 0-0-0 スレーブアドレス(A2、A1、A0)、WLCSP パッケージ (裏面コーティングあり)
テープ&リールオプション:	B = 標準パッケージ (チューブまたはトレイ) T = テープ&リール ⁽¹⁾

Note:

1. テープ&リールの識別情報は、カタログの製品番号説明に記載しています。これは製品の注文時に使う識別情報であり、デバイスのパッケージには印刷していません。テープ&リールが選択できるパッケージの在庫/供給状況は、弊社にお問い合わせください。
2. 0-0-0 以外のスレーブアドレスを持つデバイスのご注文は、Microchip 社販売担当者にお問い合わせください。

例:

- AT21CS01-SSH10-T、1.7~3.6 V、産業用温度レンジ、テープ&リール、SOIC パッケージ、スレーブアドレス 0-0-0
- AT21CS01-SSH11-B、1.7~3.6 V、産業用温度レンジ、SOIC パッケージ、スレーブアドレス 0-0-1⁽²⁾
- AT21CS01-MSH15-T、1.7~3.6 V、産業用温度レンジ、テープ&リール、XSFN パッケージ、スレーブアドレス 1-0-1⁽²⁾
- AT21CS01-UUM0B-T、1.7~3.6 V、産業用温度レンジ、テープ&リール、UDFN パッケージ、スレーブアドレス 0-0-0

- AT21CS11-STU10、2.7~4.5 V、産業用温度レンジ、SOT23 パッケージ、スレーブアドレス 0-0-0
- AT21CS11-MSH17-T、2.7~4.5 V、産業用温度レンジ、XSFN パッケージ、スレーブアドレス 1-1-1⁽²⁾
- AT21CS11-WWU11⁽¹⁾、2.7~4.5 V、産業用温度レンジ、11 mil 厚みウェハ、スレーブアドレス 0-0-0 全ダイ

Note:

1. ウェハのご注文は、弊社販売担当者にお問い合わせください。
2. 0-0-0 以外のスレーブアドレスを持つデバイスのご注文は、弊社販売担当者にお問い合わせください。

Microchip 社のデバイスコード保護機能

Microchip 社製デバイスのコード保護機能について以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使用した場合、Microchip 社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は全て、Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定める所により損害賠償訴訟を起こす権利があります。

法律上の注意点

本書に記載されているデバイス アプリケーション等の情報は、ユーザの便宜のためにのみ提供されるものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。

Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。Microchip 社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害をうけない事に同意するものとします。暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、AnyRate、AVR、AVR ロゴ、AVR Freaks、BeaconThings、BitCloud、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、KeeLoq ロゴ、Kleer、LANCheck、LINK MD、maXStylus、maXTouch、MediaLB、megaAVR、MOST、MOST ロゴ、MPLAB、OptoLyzer、PIC、picoPower、PICSTART、PIC32 ロゴ、Prochip Designer、QTouch、RightTouch、SAM-BA、SpyNIC、SST、SST ロゴ、SuperFlash、tinyAVR、UNI/O、XMEGA は米国およびその他の国における Microchip Technology Incorporated の登録商標です。

ClockWorks、The Embedded Control Solutions Company、EtherSynch、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、Quiet-WIRE は米国における Microchip Technology Incorporated 社の登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNet ロゴ、Mindi、MiWi、motorBench、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、QMatrix、RightTouch ロゴ、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA、ZENA は米国およびその他の国における Microchip Technology Incorporated の商標です。

SQTP は、米国における Microchip Technology Incorporated のサービスマークです。

Silicon Storage Technology は、米国以外の国における Microchip Technology Inc.の登録商標です。

GestIC は、米国以外の国における Microchip Technology Inc.の子会社である Microchip Technology Germany II GmbH & Co. KG の登録商標です。

その他の商標は各社に帰属します。

© 2017, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-5224-3606-5

DNV による品質管理システム認証

ISO/TS 16949

Microchip 社では、Chandler および Tempe(アリゾナ州)、Gresham(オレゴン州)の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザイン センターが ISO/TS-16949:2009 認証を取得しています。Microchip 社の品質システムプロセスおよび手順は、PIC[®] MCU および dsPIC[®] DSC、KEELOQ[®]コード ホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

各国の営業所とサービス

北米	アジア/太平洋	アジア/太平洋	ヨーロッパ
本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel:480-792-7200 Fax:480-792-7277 技術サポート: http://www.microchip.com/ サポート URL: www.microchip.com	アジア太平洋支社 Suites 3707-14, 37th Floor Tower 6, The Gateway Harbour City, Kowloon 香港 Tel:852-2943-5100 Fax:852-2401-3431 オーストラリア - シドニー Tel:61-2-9868-6733 Fax:61-2-9868-6755 中国 - 北京 Tel:86-10-8569-7000 Fax:86-10-8528-2104 中国 - 成都 Tel:86-28-8665-5511 Fax:86-28-8665-7889 中国 - 重慶 Tel:86-23-8980-9588 Fax:86-23-8980-9500 中国 - 東莞 Tel:86-769-8702-9880 中国 - 広州 Tel:86-20-8755-8029 中国 - 杭州 Tel:86-571-8792-8115 Fax:86-571-8792-8116 中国 - 香港 SAR Tel:852-2943-5100 Fax:852-2401-3431 中国 - 南京 Tel:86-25-8473-2460 Fax:86-25-8473-2470 中国 - 青島 Tel:86-532-8502-7355 Fax:86-532-8502-7205 中国 - 上海 Tel:86-21-3326-8000 Fax:86-21-3326-8021 中国 - 瀋陽 Tel:86-24-2334-2829 Fax:86-24-2334-2393 中国 - 深圳 Tel:86-755-8864-2200 Fax:86-755-8203-1760 中国 - 武漢 Tel:86-27-5980-5300 Fax:86-27-5980-5118 中国 - 西安 Tel:86-29-8833-7252 Fax:86-29-8833-7256	中国 - 廈門 Tel:86-592-2388138 Fax:86-592-2388130 中国 - 珠海 Tel:86-756-3210040 Fax:86-756-3210049 インド - バンガロール Tel:91-80-3090-4444 Fax:91-80-3090-4123 インド - ニューデリー Tel:91-11-4160-8631 Fax:91-11-4160-8632 インド - プネ Tel:91-20-3019-1500 日本 - 大阪 Tel:81-6-6152-7160 Fax:81-6-6152-9310 日本 - 東京 Tel:81-3-6880-3770 Fax:81-3-6880-3771 韓国 - 大邱 Tel:82-53-744-4301 Fax:82-53-744-4302 韓国 - ソウル Tel:82-2-554-7200 Fax:82-2-558-5932 or 82-2-558-5934 マレーシア - クアラルンプール Tel:60-3-6201-9857 Fax:60-3-6201-9859 マレーシア - ベナン Tel:60-4-227-8870 Fax:60-4-227-4068 フィリピン - マニラ Tel:63-2-634-9065 Fax:63-2-634-9069 シンガポール Tel:65-6334-8870 Fax:65-6334-8850 台湾 - 新竹 Tel:886-3-5778-366 Fax:886-3-5770-955 台湾 - 高雄 Tel:886-7-213-7830 台湾 - 台北 Tel:886-2-2508-8600 Fax:886-2-2508-0102 タイ - バンコク Tel:66-2-694-1351 Fax:66-2-694-1350	オーストリア - ヴェルス Tel:43-7242-2244-39 Fax:43-7242-2244-393 デンマーク - コペンハーゲン Tel:45-4450-2828 Fax:45-4485-2829 フィンランド - エスポー Tel:358-9-4520-820 フランス - パリ Tel:33-1-69-53-63-20 Fax:33-1-69-30-90-79 フランス - サンクルー Tel:33-1-30-60-70-00 ドイツ - ガーヒング Tel:49-8931-9700 ドイツ - ハーン Tel:49-2129-3766400 ドイツ - ハイムブロン Tel:49-7131-67-3636 ドイツ - カールスルーエ Tel:49-721-625370 ドイツ - ミュンヘン Tel:49-89-627-144-0 Fax:49-89-627-144-44 ドイツ - ローゼンハイム Tel:49-8031-354-560 イスラエル - ラーナナ Tel:972-9-744-7705 イタリア - ミラノ Tel:39-0331-742611 Fax:39-0331-466781 イタリア - パドヴァ Tel:39-049-7625286 オランダ - ドリュネン Tel:31-416-690399 Fax:31-416-690340 ノルウェー - トロンハイム Tel:47-7289-7561 ポーランド - ワルシャワ Tel:48-22-3325737 ルーマニア - ブカレスト Tel:40-21-407-87-50 スペイン - マドリッド Tel:34-91-708-08-90 Fax:34-91-708-08-91 スウェーデン - ヨーテボリ Tel:46-31-704-60-40 スウェーデン - ストックホルム Tel:46-8-5090-4654 イギリス - ウォーキンガム Tel:44-118-921-5800 Fax:44-118-921-5820