

RX140 グループ

ルネサスマイクロコンピュータ

48MHz、32ビットRX MCU、FPU内蔵、204 Coremark、最大256Kバイトフラッシュメモリ、最大36端子の静電容量式タッチセンサ、最大9本の通信機能、12ビットA/D、D/A、RTC IEC60730対応機能、1.8~5.5V動作、暗号機能(オプション)

R01DS0379JJ0110

Rev.1.10

2022.04.20

特長

■ 32ビットRXv2 CPU コア内蔵

- 最大動作周波数 48MHz
204 Coremark の性能 (48MHz 動作時)
- DSP 強化: 32ビット積和、16ビット積差命令に対応
- FPU 搭載: 32ビット単精度浮動小数点 (IEEE754 に準拠)
- 除算器 (最速 2クロックで実行)
- 高速割り込み
- 5段パイプラインの CISC ハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- オンチップデバッグ回路内蔵

■ 消費電力低減機能

- 1.8V ~ 5.5V 動作の単一電源
- 4種類の低消費電力モード
- ソフトウェアスタンバイ中でも動作可能なローパワータイマを搭載
- 消費電流
高速動作モード: 58 μ A/MHz
ソフトウェアスタンバイモード: 0.25 μ A (typ.) ($T_a = 25^\circ\text{C}$)
- ソフトウェアスタンバイからの復帰時間: 6.2 μ s (typ.)
(クロックソース: HOCO 32MHz 選択時、 $T_a = 25^\circ\text{C}$)

■ 内蔵コードフラッシュメモリ

- 64K/128K/256K バイトの容量
- オンボードによるユーザ書き込み
- 1.8V で書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 4K/8K バイト (プログラム/イレーズ回数: 1,000,000 回 (typ.))
- BGO (Back Ground Operation)

■ 内蔵 SRAM (ウェイトなし)

- 16K/32K/64K バイトの容量

■ DTC

- 5種類の転送モード

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPU スリープ状態でも、モジュール間のリンク動作が可能

■ リセットおよび電源電圧制御

- パワーオンリセット (POR) など 7種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- メインクロック発振子周波数: 1 ~ 20MHz
- サブクロック発振子周波数: 32.768kHz
- PLL 回路入力: 4MHz ~ 12MHz
- 低速オンチップオシレータ: 4MHz
- 高速オンチップオシレータ: 24/32/48MHz $\pm 1\%$
- IWDT 専用オンチップオシレータ内蔵: 15kHz
- 32.768kHz RTC 専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

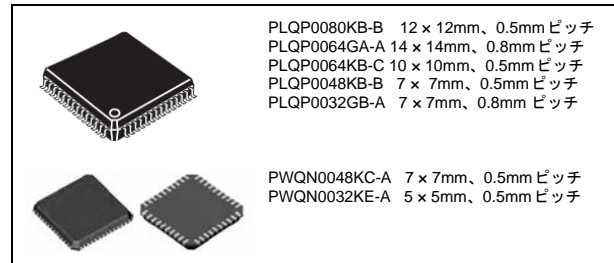
- 補正機能 (30秒、うるうる年、誤差)
- カレンダーカウントモード/バイナリカウントモードを選択可能

■ 独立ウォッチドッグタイマ内蔵

- 15kHz IWDT 専用オンチップオシレータクロック動作

■ IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など



PLQP0080KB-B 12 x 12mm、0.5mm ピッチ
PLQP0064GA-A 14 x 14mm、0.8mm ピッチ
PLQP0064KB-C 10 x 10mm、0.5mm ピッチ
PLQP0048KB-B 7 x 7mm、0.5mm ピッチ
PLQP0032GB-A 7 x 7mm、0.8mm ピッチ

PWQN0048KC-A 7 x 7mm、0.5mm ピッチ
PWQN0032KE-A 5 x 5mm、0.5mm ピッチ

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ 最大 9 本の通信機能を内蔵

- ISO11898-1 準拠の CAN (1 チャンネル) 最大 1Mbps 転送
- 多彩な機能に対応した SCI (最大 6 チャンネル) 調歩同期式モード (ボーレート 0 ~ 255/255 の微調整可能) / クロック同期式モード / スマートカードインタフェースモード
- I²C バスインタフェース 最大 400kbps 転送 SMBus に対応 (1 チャンネル)
- RSPI (1 チャンネル) 最大 16Mbps 転送

■ 最大 12 本の拡張タイマ機能

- 16ビット MTU: インプットキャプチャ、アウトプットコンペア、相補 PWM 出力、位相計数モード (6 チャンネル)
- 8ビット TMR (4 チャンネル)
- 16ビット CMT (2 チャンネル)

■ 12 ビット A/D コンバータ内蔵

- 最小 0.67 μ s 変換が可能
- 17 (外部端子入力) +1 チャンネル (内部入力)
- チャンネルごとにサンプリング時間を設定可能
- 変換結果コンペア機能内蔵
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵
- モータ制御に適したダブルトリガ (データ二重化) 機能

■ D/A コンバータ内蔵

- 2 チャンネル

■ 静電容量式タッチセンサ

- 自己容量方式: 1 端子 1 キー構成で最大 36 キーに対応
- 相互容量方式: 8 x 8 のマトリクス構成により最大 64 キーに対応

■ コンパレータ B

- 2 チャンネル

■ 汎用入出力ポート内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■ 暗号機能 (オプション)

- AES (鍵長 128/256 ビット)
- RNG (真性乱数生成器)

■ 温度センサ内蔵

■ ユニーク ID

- マイコン個体ごとの 32 バイト長の ID コード

■ 動作周囲温度

- -40 ~ +85 $^\circ\text{C}$
- -40 ~ +105 $^\circ\text{C}$

■ 用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 に RX140 グループパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 RX140 グループパッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1/4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：48MHz 32ビットRX CPU (RXv2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点(32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/128K/256Kバイト 32MHz以下：ウェイトなし 32MHz～48MHz：ウェイトあり 書き換え方法：シリアルライタープログラミング(調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：16K/32K/64Kバイト ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：4K/8Kバイト プログラム/イレーズ回数：1,000,000回(typ)
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路(CAC)：あり システムクロック(ICLK)、周辺モジュールクロック(PCLK)、FlashIFクロック(FCLK)を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 48MHz 周辺モジュールはPCLKB同期：Max 32MHz フラッシュ周辺回路はFCLK同期：Max 48MHz S12ADのADCLKはPCLKD同期：Max 48MHz ICLKの周波数は、FCLK、PCLKB、PCLKDのn倍(n：1, 2, 4, 8, 16, 32, 64)のみ設定可能
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路(LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を4レベルから選択可能 電圧検出1は検出電圧を14レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能

表 1.1 仕様概要 (2/4)

分類	モジュール/機能	説明
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード、スヌーズモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード、中速動作モード2、低速動作モード
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数：256 外部割り込み：要因数9 (NMI、IRQ0～IRQ7端子) ノンマスクابل割り込み：要因数5 (NMI端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、IWDTC割り込み) 16レベルの割り込み優先順位を設定可能
DMA	データ転送ファ コントローラ (DTCb)	<ul style="list-style-type: none"> 転送モード：ノーマル転送モード、リポート転送モード、ブロック転送モード 起動要因：割り込み要因により起動 シーケンス転送が可能
I/Oポート	汎用入出力ポート	<p>80ピン/64ピン (ROM容量：128Kバイト以上の製品)/64ピン (ROM容量：64Kバイトの製品)/48ピン/32ピン</p> <ul style="list-style-type: none"> 入出力：69/53/53/39/23 入力：3/3/1/1/1 プルアップ抵抗：69/53/53/39/23 オープンドレイン出力：47/35/35/27/20 5Vトレラント：4/2/2/2/2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> 48種類のイベント信号を直接モジュールへリンク可能 タイマ系のモジュールはイベント入力時の動作の選択が可能 ポートBのイベントリンク動作が可能
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット2 (MTU2a)	<ul style="list-style-type: none"> (16ビット×6チャンネル)×1ユニット 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 チャンネルごとにカウントクロック (PCLK/1, PCLK/4, PCLK/16, PCLK/64, PCLK/256, PCLK/1024, MTCLKA, MTCLKB, MTCLKC, MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) インプットキャプチャ機能 21本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ パルス出力モード 相補PWM出力モード リセット同期PWMモード 位相計数モード A/Dコンバータの変換開始トリガを生成可能
	ポートアウト プットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> (16ビット×2チャンネル)×1ユニット 4種類のクロック (PCLK/8, PCLK/32, PCLK/128, PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTCa)	<ul style="list-style-type: none"> 14ビット×1チャンネル カウントクロック：IWDTC専用低速クロック 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイム クロック (RTCB)	<ul style="list-style-type: none"> クロックソース：サブクロックにて動作 カレンダーカウントモード/バイナリカウントモードを選択可能 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み
	ローパワータイマ (LPTa)	<ul style="list-style-type: none"> 16ビット×1チャンネル クロックソース：サブクロック、LOCOの4分周クロック、IWDTC専用低速クロックから選択可能 クロック分周比：分周なし、2分周、4分周、8分周、16分周、32分周から選択可能 PWM出力モード
	8ビットタイマ (TMRa)	<ul style="list-style-type: none"> (8ビット×2チャンネル)×2ユニット 7種類の内部クロック (PCLK/1, PCLK/2, PCLK/8, PCLK/32, PCLK/64, PCLK/1024, PCLK/8192) と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能

表 1.1 仕様概要 (3/4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SClg, SClh, SCIk)	<ul style="list-style-type: none"> 6チャンネル(チャンネル1、5 : SCIk、6、8、9 : SClg、チャンネル12 : SClh) SClg シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース マルチプロセッサ機能 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能(SCI5, SCI6, SCI12) スタートビット検出 : レベルおよびエッジを選択可能 簡易I ² Cサポート 簡易SPIサポート 7、8、9ビット転送モードをサポート ビットレートモジュレーション機能をサポート ELCによるイベントリンク機能をサポート(SCI5のみ) <ul style="list-style-type: none"> SCIk (SClgに以下の機能を追加) データ一致検出 調歩同期式RXDサンプリング調整機能 SClh (SClgに以下の機能を付加) スタートフレーム、インフォメーションフレームから構成されるシリアル通信プロトコルをサポート LINフォーマットをサポート
	I ² Cバスインタフェース (RllCa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPIC)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIC Clock) 信号を使用して、SPI動作(4線式)/クロック同期式動作(3線式)でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長(8~16、20、24、32ビット)を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送(1フレームは最大32ビット) 送信/受信データをバイト単位でスワップ可能 送信/受信バッファ構成はダブルバッファ マスタ受信時、RSPCKは受信バッファフルで自動停止可能
	CANモジュール (RSCAN)	<ul style="list-style-type: none"> 1チャンネル ISO11898-1仕様に準拠(標準フレーム/拡張フレーム) 16メッセージボックス
12ビットA/Dコンバータ (S12ADE)	<ul style="list-style-type: none"> 12ビット(1ユニット×18チャンネル(注1)) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり0.67μs (ADCLK = 48MHz動作時) 動作モード スキャンモード(シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作(グループスキャンモードのみ) サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード(A/D変換データ二重化機能) アナログ入力断線検出機能 変換結果コンペア機能 A/D変換開始条件 ソフトウェアトリガ、タイマ(MTU)のトリガ、外部トリガ、ELC ELCによるイベントリンク機能をサポート 	
温度センサ (TEMPSA)	<ul style="list-style-type: none"> 1チャンネル 温度を電圧に変換し12ビットA/Dコンバータでデジタル化 	
D/Aコンバータ (DA)	<ul style="list-style-type: none"> 2チャンネル 分解能 : 8ビット 出力電圧 : 0V~AVCC0 	

表 1.1 仕様概要 (4/4)

分類	モジュール/機能	説明
CRC演算器(CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$, $X^{16} + X^{15} + X^2 + 1$, $X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
コンパレータB (CMPBa)		<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 ウィンドウコンパレータ動作/基本コンパレータ動作の選択
静電容量式タッチセンサ (CTSUSL, CTSU2L)		<ul style="list-style-type: none"> CTSUSL 自己容量方式：1端子1キー構成で最大36キーに対応 相互容量方式：8×8のマトリクス構成により最大64キーに対応 CTSUSL (CTSUSLに以下の機能を付加) 自動補正機能 自動判定機能
データ演算回路(DOC)		16ビットのデータを比較、加算、減算する機能
ユニークID		マイコン個体ごとの32バイト長のIDコード
暗号機能	AESハードウェアアクセラレータ (AESA)	<ul style="list-style-type: none"> 鍵長：128/256ビット ECB/CBC/CTRの動作モードをサポート 演算処理速度： 176サイクル@128ビット鍵長 240サイクル@256ビット鍵長 FIPS PUB 197準拠
	真性乱数生成器 (RNGA)	<ul style="list-style-type: none"> 乱数ビット長：32ビット 乱数生成後、乱数生成割り込みが発生
電源電圧/動作周波数		VCC = 1.8～5.5V : 48MHz
動作周囲温度		Dバージョン：-40～+85°C、Gバージョン：-40～+105°C
パッケージ		80ピンLFQFP (PLQP0080KB-B) 12×12mm、0.5mmピッチ 64ピンLFQFP (PLQP0064KB-C) 10×10mm、0.5mmピッチ 64ピンLQFP (PLQP0064GA-A) 14×14mm、0.8mmピッチ 48ピンLFQFP (PLQP0048KB-B) 7×7mm、0.5mmピッチ 48ピンHWQFN (PWQN0048KC-A) 7×7mm、0.5mmピッチ 32ピンLQFP (PLQP0032GB-A) 7×7mm、0.8mmピッチ 32ピンHWQFN (PWQN0032KE-A) 5×5mm、0.5mmピッチ
デバッグインタフェース		FINEインタフェース

注1. 12ビットA/Dコンバータには外部端子入力(17チャンネル)と内部入力(1チャンネル)があります。詳細は、「ユーザズマニュアルハードウェア編」の「35. 12ビットA/Dコンバータ (S12ADE)」を参照してください。

表 1.2 RX140グループパッケージ別機能比較一覧

モジュール/機能		ROM容量が128Kバイト以上の製品			ROM容量が64Kバイトの製品		
		80ピン	64ピン	48ピン	64ピン	48ピン	32ピン
割り込み	外部割り込み	NMI, IRQ0 ~ 7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ 7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ 7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ 7	NMI, IRQ0 ~ IRQ2, IRQ4 ~ 7	NMI, IRQ0 ~ IRQ2, IRQ5 ~ 7
DTC	データトランスファコントローラ	あり			あり		
タイマ	マルチファンクションタイマ パルスユニット2	6チャンネル			6チャンネル		
	ポートアウトプットイネーブル2	POE0# ~ POE3#, POE8#			POE0# ~ POE3#, POE8#		POE0#, POE8#
	8ビットタイマ	2チャンネル×2ユニット			2チャンネル×2ユニット		
	コンペアマッチタイマ	2チャンネル×1ユニット			2チャンネル×1ユニット		
	ローパワータイマ	1チャンネル			1チャンネル		
	リアルタイムクロック	あり	なし		あり	なし	
	独立ウォッチドックタイマ	あり			あり		
通信機能	シリアルコミュニケーションインタ フェース(SCIk)	2チャンネル (SCI1, 5)			2チャンネル (SCI1, 5)		
	シリアルコミュニケーションインタ フェース(SCIg)	3チャンネル (SCI6, 8, 9)		2チャンネル (SCI6, 8)	なし		
	シリアルコミュニケーション インタフェース(SCIh)	1チャンネル (SCI12)			1チャンネル (SCI12)		
	I2Cバスインタフェース	1チャンネル			1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル			1チャンネル		
	CANモジュール	1チャンネル			なし		
静電容量式タッチセンサ(CTSU2SL)		36チャンネル	32チャンネル	24チャンネル	なし		
静電容量式タッチセンサ(CTSU2L)		なし			12チャンネル	12チャンネル	12チャンネル
12ビットA/Dコンバータ		18チャンネル (注1)	15チャンネル (注1)	11チャンネル (注1)	15チャンネル (注1)	11チャンネル (注1)	8チャンネル (注1)
温度センサ		あり			あり		
D/Aコンバータ		2チャンネル		なし	2チャンネル	なし	
CRC演算器		あり			あり		
イベントリンクコントローラ		あり			あり		
コンパレータB		2チャンネル			2チャンネル		
暗号機能	AESハードウェアアクセラレータ (AES)	あり/なし			なし		
	真性乱数生成器(RNGA)	あり/なし			なし		
パッケージ		80ピン LQFP (0.5mm)	64ピン LQFP(0.8mm) 64ピン LFQFP (0.5mm)	48ピン LQFP (0.5mm) 48ピン HWQFN (0.5mm)	64ピン LQFP(0.8mm) 64ピン LFQFP (0.5mm)	48ピン LQFP (0.5mm) 48ピン HWQFN (0.5mm)	32ピン LQFP(0.8mm) 32ピン HWQFN (0.5mm)

注1. 内部入力(1チャンネル)を含みます。詳細は、「ユーザーズマニュアルハードウェア編」の「35. 12ビットA/Dコンバータ(S12ADE)」を参照してください。

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 (1/2)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	暗号	動作周囲温度
RX140	R5F51406ADFN	R5F51406ADFN#30	PLQP0080KB-B	256Kバイト	64Kバイト				-40~+85°C
	R5F51406ADFM	R5F51406ADFM#30	PLQP0064KB-C						
	R5F51406ADFK	R5F51406ADFK#30	PLQP0064GA-A						
	R5F51406ADFL	R5F51406ADFL#30	PLQP0048KB-B						
	R5F51406ADNE	R5F51406ADNE#30	PWQN0048KC-A						
	R5F51406AGFN	R5F51406AGFN#30	PLQP0080KB-B						-40~+105°C
	R5F51406AGFM	R5F51406AGFM#30	PLQP0064KB-C						
	R5F51406AGFK	R5F51406AGFK#30	PLQP0064GA-A						
	R5F51406AGFL	R5F51406AGFL#30	PLQP0048KB-B						
	R5F51406AGNE	R5F51406AGNE#30	PWQN0048KC-A						
	R5F51405ADFN	R5F51405ADFN#30	PLQP0080KB-B	128Kバイト	32Kバイト	8Kバイト	48MHz	なし	-40~+85°C
	R5F51405ADFM	R5F51405ADFM#30	PLQP0064KB-C						
	R5F51405ADFK	R5F51405ADFK#30	PLQP0064GA-A						
	R5F51405ADFL	R5F51405ADFL#30	PLQP0048KB-B						
	R5F51405ADNE	R5F51405ADNE#30	PWQN0048KC-A						
	R5F51405AGFN	R5F51405AGFN#30	PLQP0080KB-B						-40~+105°C
	R5F51405AGFM	R5F51405AGFM#30	PLQP0064KB-C						
	R5F51405AGFK	R5F51405AGFK#30	PLQP0064GA-A						
	R5F51405AGFL	R5F51405AGFL#30	PLQP0048KB-B						
	R5F51405AGNE	R5F51405AGNE#30	PWQN0048KC-A						
	R5F51403ADFM	R5F51403ADFM#30	PLQP0064KB-C	64Kバイト	16Kバイト	4Kバイト			-40~+85°C
	R5F51403ADFK	R5F51403ADFK#30	PLQP0064GA-A						
	R5F51403ADFL	R5F51403ADFL#30	PLQP0048KB-B						
	R5F51403ADNE	R5F51403ADNE#30	PWQN0048KC-A						
	R5F51403ADFJ	R5F51403ADFJ#30	PLQP0032GB-A						
	R5F51403ADNH	R5F51403ADNH#30	PWQN0032KE-A						-40~+105°C
	R5F51403AGFM	R5F51403AGFM#30	PLQP0064KB-C						
	R5F51403AGFK	R5F51403AGFK#30	PLQP0064GA-A						
R5F51403AGFL	R5F51403AGFL#30	PLQP0048KB-B							
R5F51403AGNE	R5F51403AGNE#30	PWQN0048KC-A							
R5F51403AGFJ	R5F51403AGFJ#30	PLQP0032GB-A							
R5F51403AGNH	R5F51403AGNH#30	PWQN0032KE-A							

表 1.3 製品一覧表 (2/2)

グループ	型名	発注型名	パッケージ	ROM 容量	RAM 容量	E2データ フラッシュ	動作周波数 (max)	暗号	動作周囲温度
RX140	R5F51406BDFN	R5F51406BDFN#30	PLQP0080KB-B	256Kバイト	64Kバイト				-40~+85°C
	R5F51406BDFM	R5F51406BDFM#30	PLQP0064KB-C						
	R5F51406BDFK	R5F51406BDFK#30	PLQP0064GA-A						
	R5F51406BDFL	R5F51406BDFL#30	PLQP0048KB-B						
	R5F51406BDNE	R5F51406BDNE#30	PWQN0048KC-A						
	R5F51406BGFN	R5F51406BGFN#30	PLQP0080KB-B						
	R5F51406BGFM	R5F51406BGFM#30	PLQP0064KB-C						
	R5F51406BGFK	R5F51406BGFK#30	PLQP0064GA-A						
	R5F51406BGFL	R5F51406BGFL#30	PLQP0048KB-B						
	R5F51406BGNE	R5F51406BGNE#30	PWQN0048KC-A						
	R5F51405BDFN	R5F51405BDFN#30	PLQP0080KB-B	128Kバイト	32Kバイト	8Kバイト	48MHz	あり	-40~+105°C
	R5F51405BDFM	R5F51405BDFM#30	PLQP0064KB-C						
	R5F51405BDFK	R5F51405BDFK#30	PLQP0064GA-A						
	R5F51405BDFL	R5F51405BDFL#30	PLQP0048KB-B						
	R5F51405BDNE	R5F51405BDNE#30	PWQN0048KC-A						
	R5F51405BGFN	R5F51405BGFN#30	PLQP0080KB-B						
	R5F51405BGFM	R5F51405BGFM#30	PLQP0064KB-C						
	R5F51405BGFK	R5F51405BGFK#30	PLQP0064GA-A						
	R5F51405BGFL	R5F51405BGFL#30	PLQP0048KB-B						
	R5F51405BGNE	R5F51405BGNE#30	PWQN0048KC-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。
最新の発注型名は弊社ホームページでご確認ください。

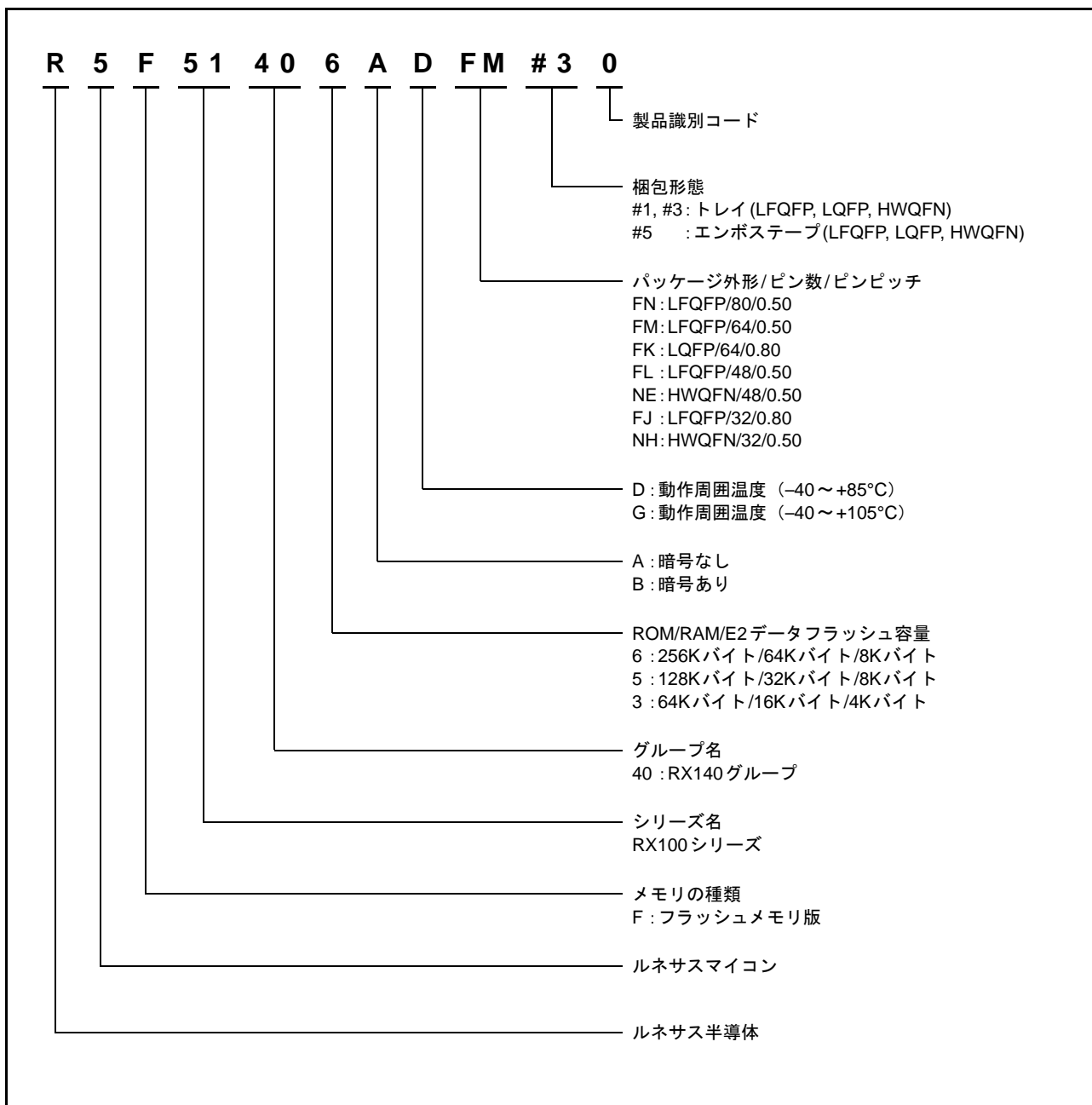


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

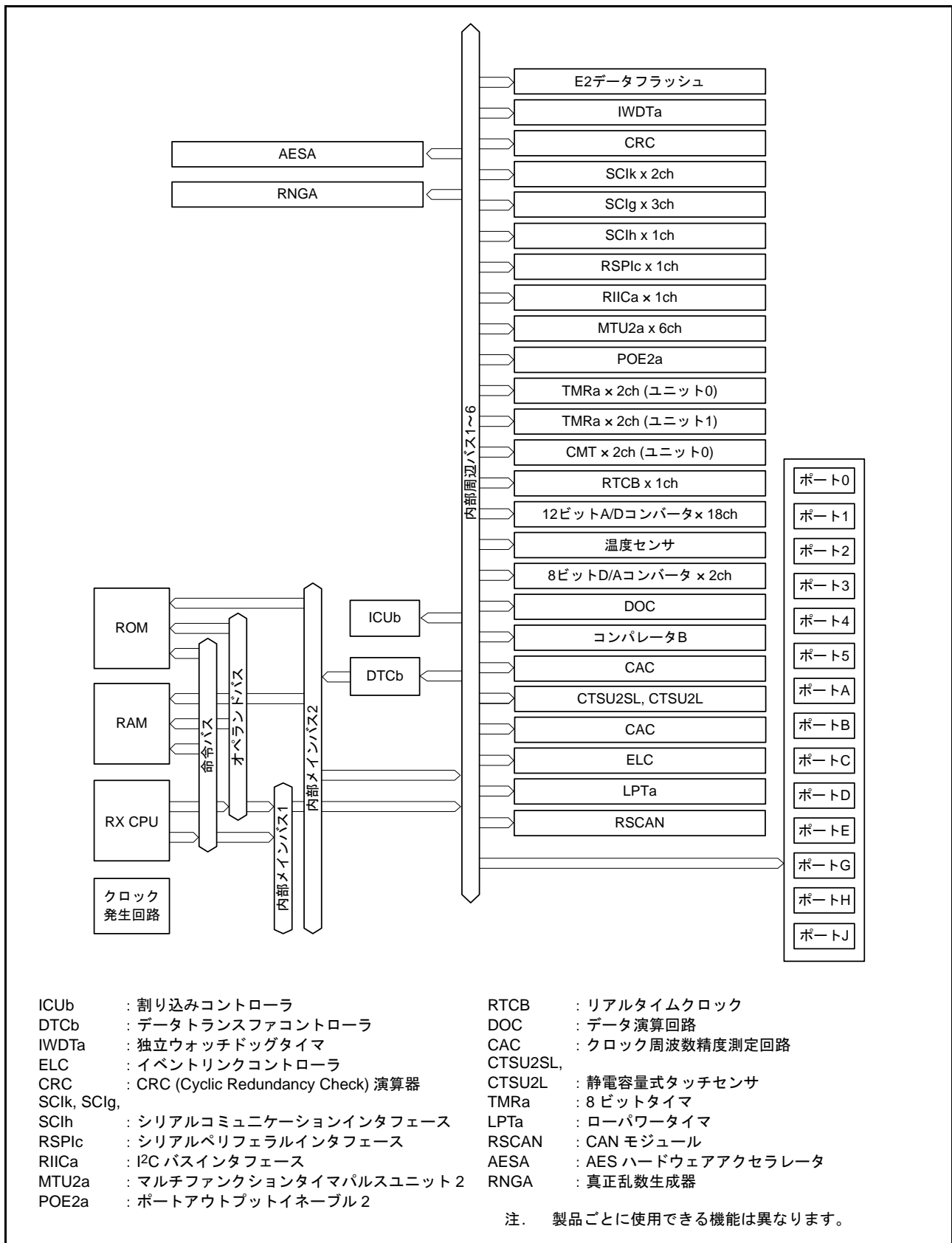


図 1.2 ブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1/3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ(4.7μF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源(0V)に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCINとXCOUTの間には、水晶発振子を接続してください
	XCOUT	出力	
CLKOUT	出力	クロック出力端子	
動作モードコントロール	MD	入力	動作モードを設定。使用方法は、「ユーザーズマニュアルハードウェア編」の「3.1 動作モードの種類と選択」を参照してください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
電圧検出回路	CMPA2	入力	電圧検出2用検出対象電圧端子
クロック周波数精度測定回路	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINEインタフェース端子
割り込み	NMI	入力	ノンマスクブル割り込み要求端子
	IRQ0～IRQ7	入力	割り込み要求端子
マルチファンクション タイマパルスユニット2	MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D	入出力	TGRA0～TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A, MTIOC1B	入出力	TGRA1, TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A, MTIOC2B	入出力	TGRA2, TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A, MTIOC3B, MTIOC3C, MTIOC3D	入出力	TGRA3～TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D	入出力	TGRA4～TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U, MTIC5V, MTIC5W	入力	TGRU5, TGRV5, TGRW5のインプットキャプチャ入力/外部パルス入力端子
MTCLKA, MTCLKB, MTCLKC, MTCLKD	入力	外部クロックの入力端子	
ポートアウトプット イネーブル2	POE0#～POE3#, POE8#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
8ビットタイマ	TMO0～TMO3	出力	コンペアマッチ出力端子
	TMCI0～TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0～TMRI3	入力	カウンタリセット入力端子
ローパワータイマ	LPTO	出力	PWMの出力端子

表 1.4 端子機能一覧 (2/3)

分類	端子名	入出力	機能
シリアル コミュニケーション インターフェース (SCIg, SCIk)	• 調歩同期式モード/クロック同期式モード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	RXD1, RXD5, RXD6, RXD8, RXD9	入力	受信データ入力端子
	TXD1, TXD5, TXD6, TXD8, TXD9	出力	送信データ出力端子
	CTS1#, CTS5#, CTS6#, CTS8#, CTS9#	入力	送受信開始制御用入力端子
	RTS1#, RTS5#, RTS6#, RTS8#, RTS9#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1, SSCL5, SSCL6, SSCL8, SSCL9	入出力	I ² Cクロック入出力端子
	SSDA1, SSDA5, SSDA6, SSDA8, SSDA9	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1, SCK5, SCK6, SCK8, SCK9	入出力	クロック入出力端子
	SMISO1, SMISO5, SMISO6, SMISO8, SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1, SMOSI5, SMOSI6, SMOSI8, SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#, SS5#, SS6#, SS8#, SS9#	入力	スレーブセレクト入力端子
シリアル コミュニケーション インターフェース (SCIh)	• 調歩同期式モード/クロック同期式モード		
	SCK12	入出力	クロック入出力端子
	RXD12	入力	受信データ入力端子
	TXD12	出力	送信データ出力端子
	CTS12#	入力	送受信開始制御用入力端子
	RTS12#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL12	入出力	I ² Cクロック入出力端子
	SSDA12	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK12	入出力	クロック入出力端子
	SMISO12	入出力	スレーブ送出データ入出力端子
	SMOSI12	入出力	マスタ送出データ入出力端子
	SS12#	入力	スレーブセレクト入力端子
	• 拡張シリアルモード		
	RXDX12	入力	SCIh受信データ入力端子
TXDX12	出力	SCIh送信データ出力端子	
SIOX12	入出力	SCIh送受信データ入出力端子	
I ² Cバスインターフェース	SCL0	入出力	I ² Cバスインターフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインターフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます

表 1.4 端子機能一覧 (3/3)

分類	端子名	入出力	機能
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
CANモジュール	CRXD0	入力	入力端子
	CTXD0	出力	出力端子
12ビットA/Dコンバータ	AN000～AN007, AN016 ～AN021, AN024～ AN026	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0, DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータB	CMPB0, CMPB1	入力	コンパレータB用のアナログ端子
	CVREFB0, CVREFB1	入力	コンパレータB用のリファレンス電圧端子
	CMPOB0, CMPOB1	出力	コンパレータB用出力端子
静電容量式タッチセンサ	TS0～TS35	入出力	静電容量計測端子(タッチ端子)
	TSCAP	—	内部電源安定用の平滑コンデンサ(10nF)を介してVSSに接続してください。コンデンサは端子近くに配置してください
アナログ電源	AVCC0	入力	12ビットA/DコンバータとD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとD/Aコンバータのアナロググランド端子。VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子
I/Oポート	P03～P07	入出力	5ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20, P21, P26, P27	入出力	4ビットの入出力端子
	P30～P32, P34～P37	入出力	7ビットの入出力端子(P35は入力端子)
	P40～P47	入出力	8ビットの入出力端子
	P54, P55	入出力	2ビットの入出力端子
	PA0～PA6	入出力	7ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC2～PC7	入出力	6ビットの入出力端子
	PD0～PD2	入出力	3ビットの入出力端子
	PE0～PE5	入出力	6ビットの入出力端子
	PG7	入出力	1ビットの入出力端子
	PH0～PH3, PH6(注1), PH7(注1)	入出力	6ビットの入出力端子(PH6、PH7は入力端子)
	PJ1, PJ6, PJ7	入出力	3ビットの入出力端子

注1. ROM容量が64Kバイトの製品にはありません。

1.5 ピン配置図

1.5.1 80ピンLFQFP

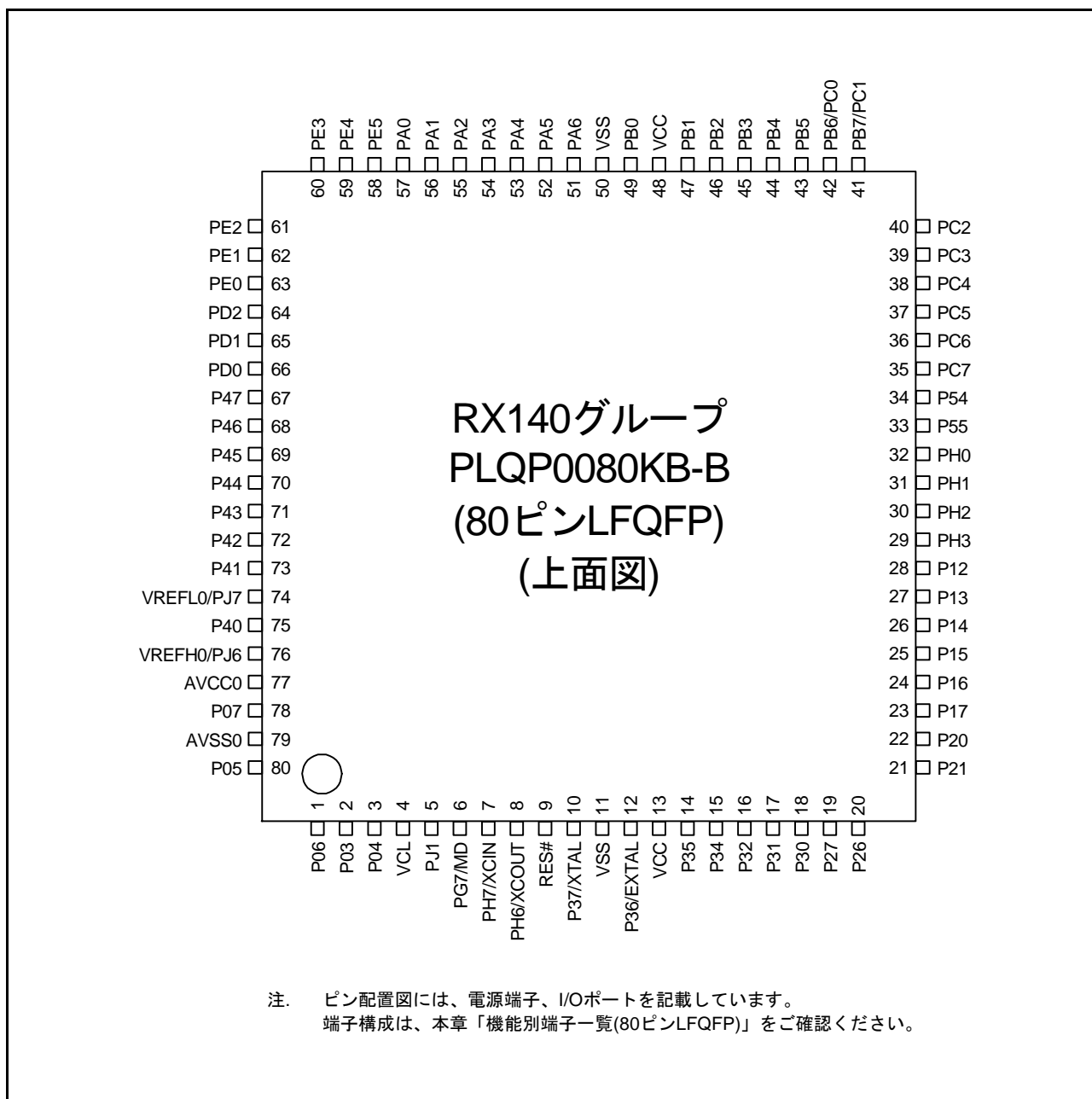


図 1.3 80ピンLFQFPピン配置図

1.5.2 64ピンLFQFP、64ピンLQFP

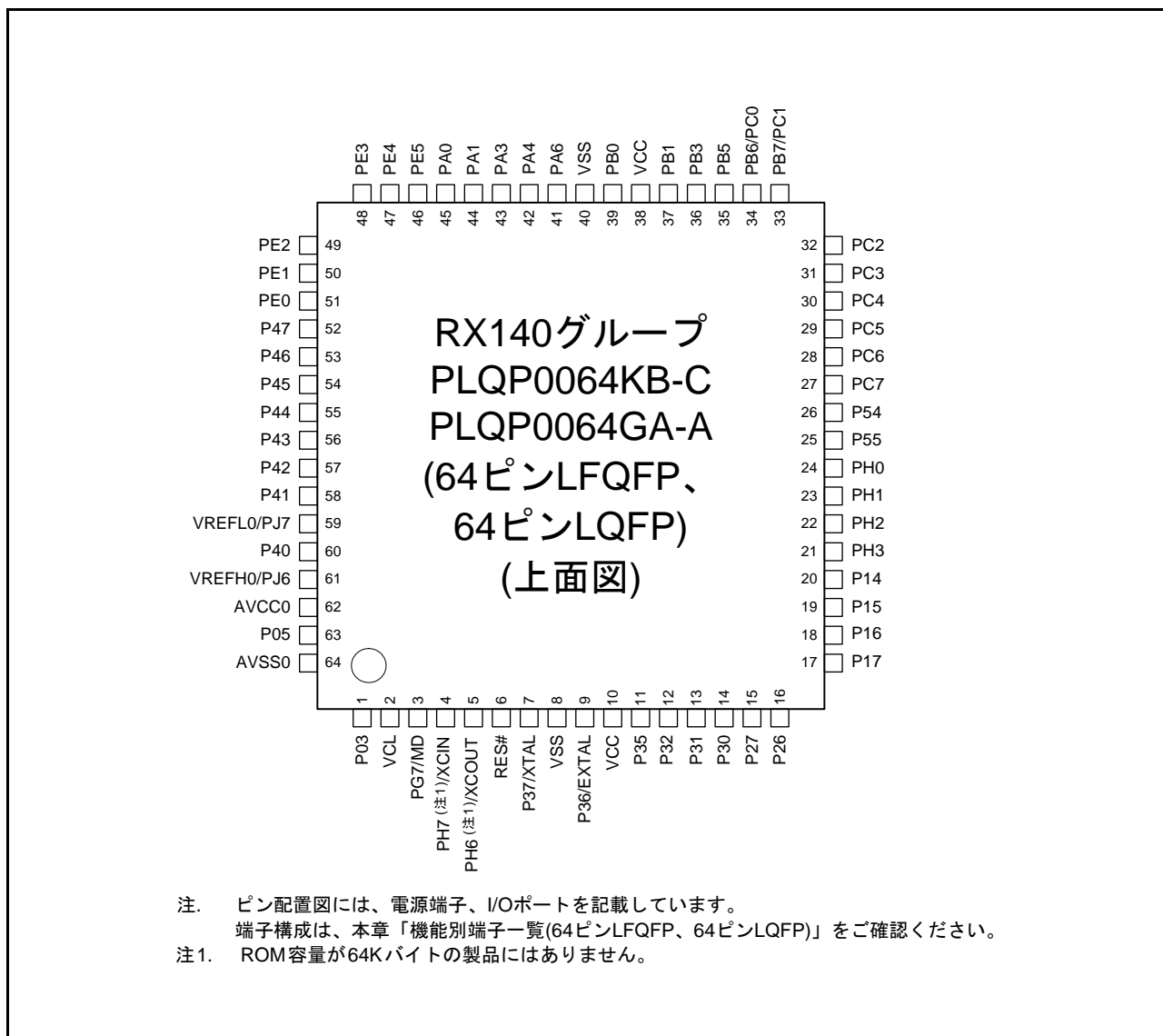


図 1.4 64ピンLFQFP、64ピンLQFPピン配置図

1.5.3 48ピン LQFP

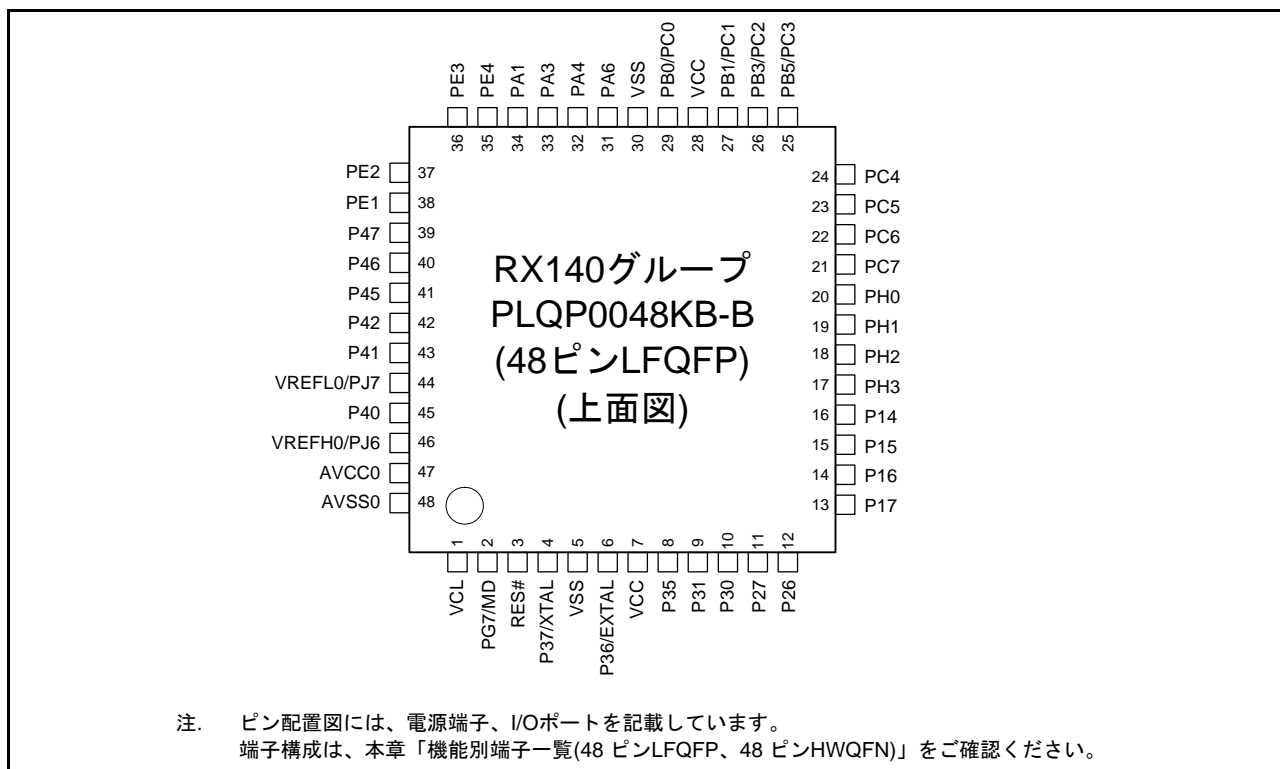


図 1.5 48ピン LQFP ピン配置図

1.5.4 48ピン HWQFN

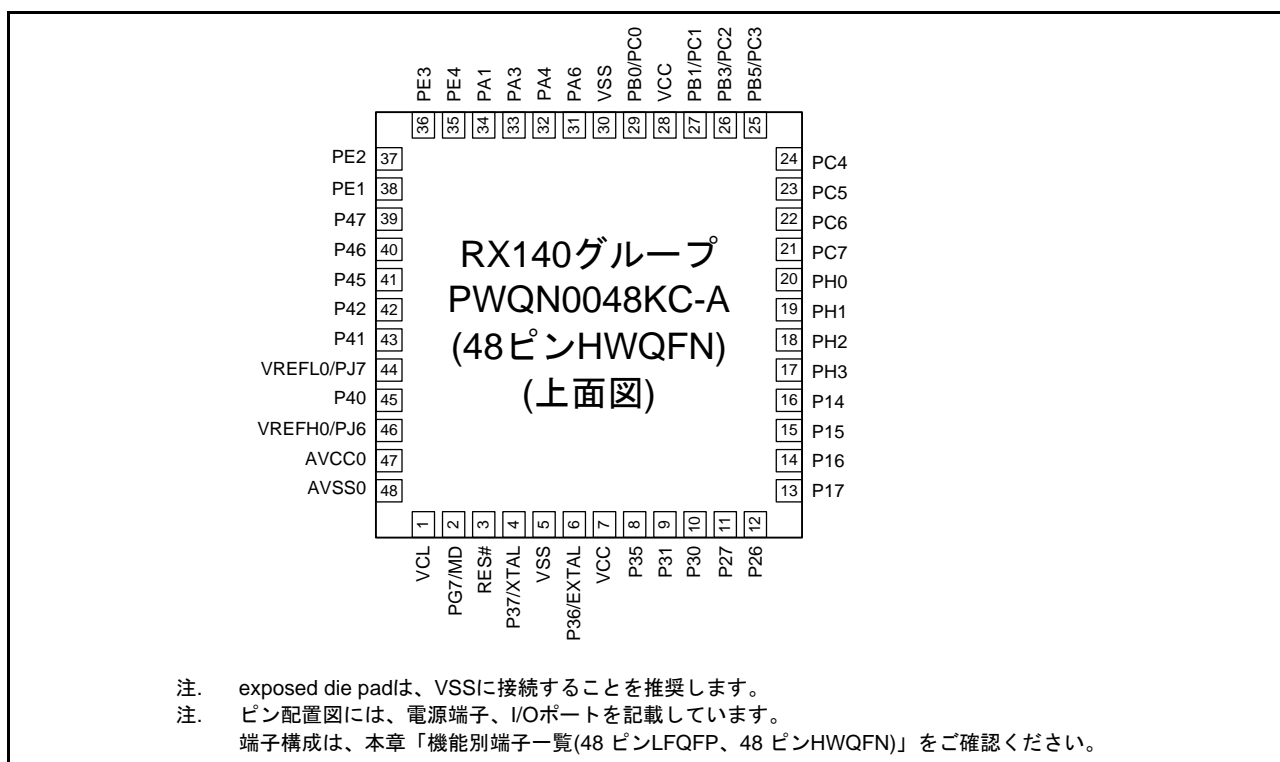


図 1.6 48ピン HWQFN ピン配置図

1.5.5 32ピンLQFP

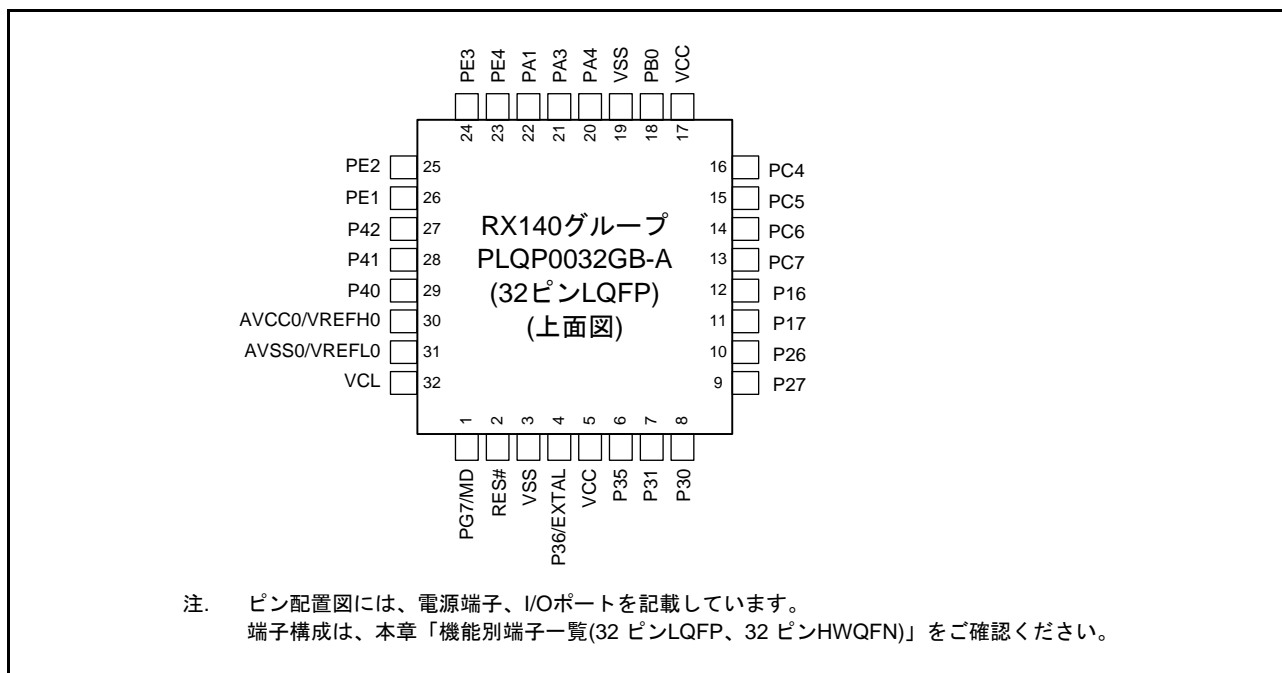


図 1.7 32ピンLQFPピン配置図

1.5.6 32ピンHWQFN

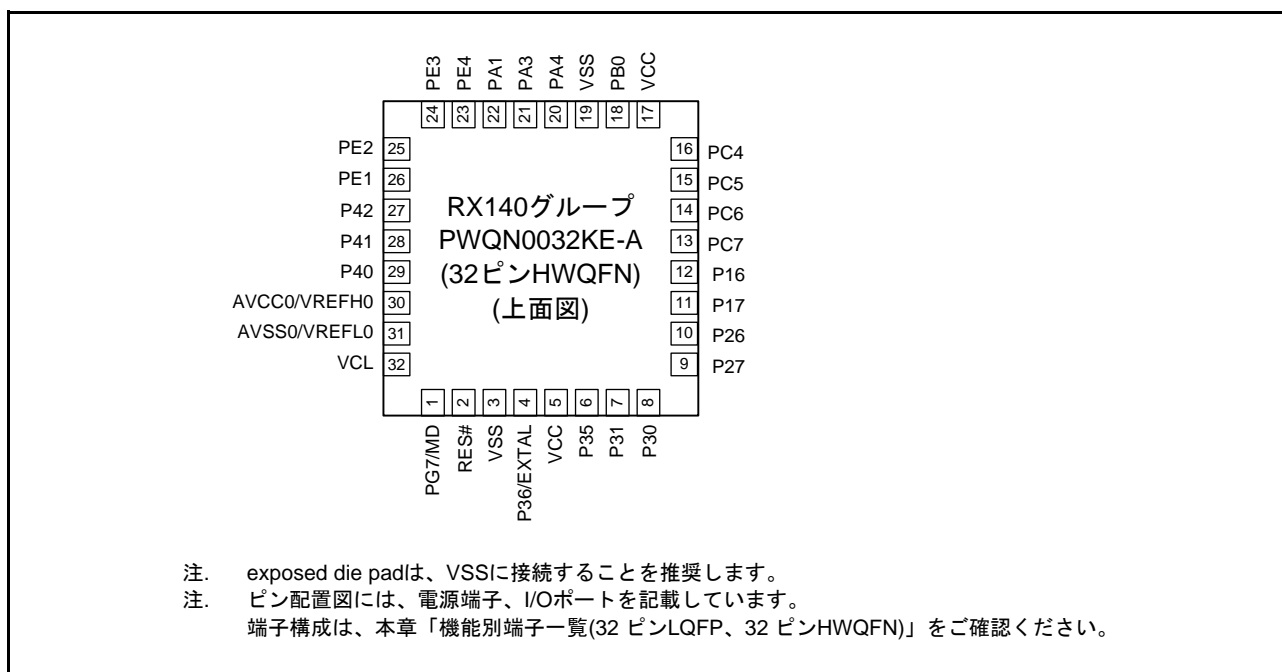


図 1.8 32ピンHWQFNピン配置図

1.6 機能別端子一覧

1.6.1 80ピンLFQFP

表 1.5 機能別端子一覧(80ピンLFQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SClg, SC1h, SC1k, RSPI, RIIC, RSCAN)	タッチ	その他
1		P06 (注1)				
2		P03 (注1)				DA0
3		P04 (注1)				
4	VCL					
5		PJ1	MTIIOC3A			
6	MD	PG7				FINED
7	XCIN	PH7				
8	XCOUT	PH6				
9	RES#					
10	XTAL	P37				IRQ4
11	VSS					
12	EXTAL	P36				IRQ2
13	VCC					
14		P35				NMI
15		P34	MTIIOC0A/TMCI3/POE2#	SCK6		IRQ4
16		P32	MTIIOC0C/TMO3	TXD6/SMOSI6/SSDA6	TS0	IRQ2/RTCOUT
17		P31	MTIIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1	IRQ1
18		P30	MTIIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2	IRQ0
19		P27	MTIIOC2B/TMCI3	SCK1	TS3	
20		P26	MTIIOC2A/TMO1/LPTO	TXD1/SMOSI1/SSDA1	TS4	
21		P21	MTIIOC1B/TMCI0			
22		P20	MTIIOC1A/TMRI0			
23	(5Vトレラント)	P17	MTIIOC3A/MTIIOC3B/TMO1/POE8#	SCK1/MISOA/SDA0		IRQ7
24	(5Vトレラント)	P16	MTIIOC3C/MTIIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0		IRQ6/RTCOUT/ ADTRG0#
25		P15	MTIIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/CRXD0	TS5	IRQ5
26		P14	MTIIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/CTXD0	TS6	IRQ4
27	(5Vトレラント)	P13	MTIIOC0B/TMO3	SDA0		IRQ3
28	(5Vトレラント)	P12	TMCI1	SCL0		IRQ2
29		PH3	MTIIOC4D/TMCI0		TS7	
30		PH2	MTIIOC4C/TMRI0		TS8	IRQ1
31		PH1	MTIIOC3D/TMO0		TS9	IRQ0
32		PH0	MTIIOC3B		TS10	CACREF
33		P55	MTIIOC4A/MTIIOC4D/TMO3	CRXD0	TS11	
34		P54	MTIIOC4B/TMCI1	CTXD0	TS12	
35		PC7	MTCLKB/MTIIOC3A/TMO2/LPTO	MISOA/TXD8/SMOSI8/SSDA8	TS13	CACREF
36		PC6	MTIIOC3C/MTCLKA/TMCI2	MOSIA/RXD8/SMOSI8/SSCL8	TS14	
37		PC5	MTIIOC0C/MTIIOC3B/MTCLKD/TMRI2	RSPCKA/SCK8	TS15	
38		PC4	MTIIOC0A/MTIIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8#/RTS8#/SS8#/SSLA0	TSCAP	
39		PC3	MTIIOC4D	TXD5/SMOSI5/SSDA5	TS16	
40		PC2	MTIIOC4B	RXD5/SMISO5/SSCL5/SSLA3	TS17	
41		PB7/PC1 (注2)	MTIIOC3B	TXD9/SMOSI9/SSDA9	TS18	
42		PB6/PC0 (注2)	MTIIOC3D	RXD9/SMISO9/SSCL9	TS19	

表 1.5 機能別端子一覧(80ピンLFQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SCIg, SCIf, SCIk, RSPI, RIIC, RSCAN)	タッチ	その他
43		PB5	MTIOC2A/MTIOC1B/ TMR11/POE1#	SCK9	TS20	
44		PB4		CTS9#/RTS9#/SS9#	TS21	
45		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#/LPTO	SCK6	TS22	
46		PB2		CTS6#/RTS6#/SS6#	TS23	
47		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD6/SMOS16/SSDA6	TS24	IRQ4/CMPOB1
48	VCC					
49		PB0	MTIOC3D/MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	TS25	
50	VSS					
51		PA6	MTIOC3D/MTIC5V/ MTCLKB/TMC13/POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26	
52		PA5		RSPCKA	TS27	
53		PA4	MTIOC4C/MTIC5U/ MTCLKA/TMR10	TXD5/SMOS15/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
54		PA3	MTIOC0D/MTIOC4D/ MTIC5V/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
55		PA2		RXD5/SMISO5/SSCL5/SSLA3	TS30	
56		PA1	MTIOC0B/MTIOC3B/ MTCLKC	SCK5/SSLA2	TS31	
57		PA0	MTIOC4A	SSLA1	TS32	CACREF
58		PE5	MTIOC4C/MTIOC2B			IRQ5/AN021/CMPOB0
59		PE4	MTIOC4D/MTIOC1A/ MTIOC4A		TS33	AN020/CMPA2/ CLKOUT
60		PE3	MTIOC1B/MTIOC4B/ POE8#	CTS12#/RTS12#/SS12#	TS34	AN019/CLKOUT
61		PE2	MTIOC4A	RXD12/RXDX12/SMISO12/SSCL12	TS35	IRQ7/AN018/CVREFB0
62		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SMOS112/ SSDA12		AN017/CMPB0
63		PE0		SCK12		AN016
64		PD2	MTIOC4D	SCK6		IRQ2/AN026
65		PD1	MTIOC4B	RXD6/SMISO6/SSCL6		IRQ1/AN025
66		PD0		TXD6/SMOS16/SSDA6		IRQ0/AN024
67		P47 (注1)				AN007
68		P46 (注1)				AN006
69		P45 (注1)				AN005
70		P44 (注1)				AN004
71		P43 (注1)				AN003
72		P42 (注1)				AN002
73		P41 (注1)				AN001
74	VREFL0	PJ7 (注1)				
75		P40 (注1)				AN000
76	VREFH0	PJ6 (注1)				
77	AVCC0					
78		P07 (注1)				ADTRG0#
79	AVSS0					
80		P05 (注1)				DA1

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. PC0、PC1は、ポート切り替え機能選択時のみ有効です。

1.6.2 64ピンLFQFP、64ピンLQFP

表 1.6 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SCIg, SCiH, SCiK, RSPI, RIIC, RSCAN)	タッチ	その他
1		P03 (注1)				DA0
2	VCL					
3	MD	PG7				FINED
4	XCIN	PH7 (注3)				
5	XCOUT	PH6 (注3)				
6	RES#					
7	XTAL	P37				IRQ4
8	VSS					
9	EXTAL	P36				IRQ2
10	VCC					
11		P35				NMI
12		P32	MTIOC0C/TMO3	TXD6 (注3)/SMOSI6 (注3)/SSDA6 (注3)	TS0 (注3)	IRQ2/RTCOUT
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1 (注3)	IRQ1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2 (注3)	IRQ0
15		P27	MTIOC2B/TMCI3	SCK1	TS3	
16		P26	MTIOC2A/TMO1/LPTO	TXD1/SMOSI1/SSDA1	TS4	
17	(5Vトレラント)	P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA0		IRQ7
18	(5Vトレラント)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0		IRQ6/RTCOUT/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/CRXD0	TS5 (注3)	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/CTXD0	TS6 (注3)	IRQ4
21		PH3	MTIOC4D/TMCI0		TS7 (注3)	
22		PH2	MTIOC4C/TMRI0		TS8 (注3)	IRQ1
23		PH1	MTIOC3D/TMO0		TS9 (注3)	IRQ0
24		PH0	MTIOC3B		TS10 (注3)	CACREF
25		P55	MTIOC4A/MTIOC4D/TMO3	CRXD0 (注3)	TS11 (注3)	
26		P54	MTIOC4B/TMCI1	CTXD0 (注3)	TS12 (注3)	
27		PC7	MTIOC3A/MTCLKB/TMO2/LPTO	TXD8 (注3)/SMOSI8 (注3)/SSDA8 (注3)/MISOA	TS13	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8 (注3)/SMISO8 (注3)/SSCL8 (注3)/MOSIA	TS14	
29		PC5	MTIOC0C/MTIOC3B/MTCLKD/TMRI2	SCK8 (注3)/RSPCKA	TS15	
30		PC4	MTIOC0A/MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8# (注3)/RTS8# (注3)/SS8# (注3)/SSLA0	TSCAP	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5	TS16 (注3)	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/SSLA3	TS17 (注3)	
33		PB7/PC1 (注2)	MTIOC3B	TXD9 (注3)/SMOSI9 (注3)/SSDA9 (注3)	TS18 (注3)	
34		PB6/PC0 (注2)	MTIOC3D	RXD9 (注3)/SMISO9 (注3)/SSCL9 (注3)	TS19 (注3)	
35		PB5	MTIOC2A/MTIOC1B/TMRI1/POE1#	SCK9 (注3)	TS20 (注3)	
36		PB3	MTIOC0A/MTIOC4A/TMO0/POE3#/LPTO	SCK6 (注3)	TS22 (注3)	
37		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6 (注3)/SMOSI6 (注3)/SSDA6 (注3)	TS24 (注3)	IRQ4/CMPOB1
38	VCC					
39		PB0	MTIOC3D/MTIC5W	RXD6 (注3)/SMISO6 (注3)/SSCL6 (注3)/RSPCKA	TS25	
40	VSS					

表 1.6 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SCIg, SC1h, SC1k, RSPI, RIIC, RSCAN)	タッチ	その他
41		PA6	MTIOC3D/MTIC5V/ MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26 (注3)	
42		PA4	MTIOC4C/MTIC5U/ MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
43		PA3	MTIOC0D/MTIOC4D/ MTIC5V/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
44		PA1	MTIOC0B/MTIOC3B/ MTCLKC	SCK5/SSLA2	TS31	
45		PA0	MTIOC4A	SSLA1	TS32 (注3)	CACREF
46		PE5	MTIOC4C/MTIOC2B			IRQ5/AN021/ CMPOB0
47		PE4	MTIOC4D/MTIOC1A/ MTIOC4A		TS33	AN020/CMPA2/ CLKOUT
48		PE3	MTIOC1B/MTIOC4B/ POE8#	CTS12#/RTS12#/SS12#	TS34	AN019/CLKOUT
49		PE2	MTIOC4A	RXD12/RDX12/SMISO12/SSCL12	TS35	IRQ7/AN018/ CVREFB0
50		PE1	MTIOC4C	TXD12/TDX12/SIOX12/SMOSI12/ SSDA12		AN017/CMPB0
51		PE0		SCK12		AN016
52		P47 (注1)				AN007
53		P46 (注1)				AN006
54		P45 (注1)				AN005
55		P44 (注1)				AN004
56		P43 (注1)				AN003
57		P42 (注1)				AN002
58		P41 (注1)				AN001
59	VREFL0	PJ7 (注1)				
60		P40 (注1)				AN000
61	VREFH0	PJ6 (注1)				
62	AVCC0					
63		P05 (注1)				DA1
64	AVSS0					

注1. これら端子の入出力バッファの電源はAVCC0です。

注2. PC0、PC1は、ポート切り替え機能選択時のみ有効です。

注3. ROM容量が64Kバイトの製品にはありません。

1.6.3 48ピンLFQFP、48ピンHWQFN

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (1/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SCIg, SCiH, SCiK, RSPI, RIIC, RSCAN)	タッチ	その他
1	VCL					
2	MD	PG7				FINED
3	RES#					
4	XTAL	P37				IRQ4
5	VSS					
6	EXTAL	P36				IRQ2
7	VCC					
8		P35				NMI
9		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#	TS1 (注3)	IRQ1
10		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1	TS2 (注3)	IRQ0
11		P27	MTIOC2B/TMCI3	SCK1	TS3	
12		P26	MTIOC2A/TMO1/LPTO	TXD1/SMOSI1/SSDA1	TS4	
13	(5Vトレラント)	P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA0		IRQ7
14	(5Vトレラント)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0		IRQ6/ADTRG0#/RTCOUT
15		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1/CRXD0 (注3)	TS5 (注3)	IRQ5
16		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#/CTXD0 (注3)	TS6 (注3)	IRQ4
17		PH3	MTIOC4D/TMCI0		TS7 (注3)	
18		PH2	MTIOC4C/TMRI0		TS8 (注3)	IRQ1
19		PH1	MTIOC3D/TMO0		TS9 (注3)	IRQ0
20		PH0	MTIOC3B		TS10 (注3)	CACREF
21		PC7	MTIOC3A/TMO2/MTCLKB/LPTO	TXD8 (注3)/SMOSI8 (注3)/SSDA8 (注3)/MISOA	TS13	CACREF
22		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8 (注3)/SMISO8 (注3)/SSCL8 (注3)/MOSIA	TS14	
23		PC5	MTIOC0C/MTIOC3B/MTCLKD/TMRI2	SCK8 (注3)/RSPCKA	TS15	
24		PC4	MTIOC0A/MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/CTS8# (注3)/RTS8# (注3)/SS8# (注3)/SSLA0	TSCAP	
25		PB5/PC3 (注1)	MTIOC2A/MTIOC1B/TMRI1/POE1#		TS20 (注3)	
26		PB3/PC2 (注1)	MTIOC0A/MTIOC4A/TMO0/POE3#/LPTO	SCK6 (注3)	TS22 (注3)	
27		PB1/PC1 (注1)	MTIOC0C/MTIOC4C/TMCI0	TXD6 (注3)/SMOSI6 (注3)/SSDA6 (注3)	TS24 (注3)	IRQ4/CMPOB1
28	VCC					
29		PB0/PC0 (注1)	MTIOC3D/MTIC5W	RXD6 (注3)/SMISO6 (注3)/SSCL6 (注3)/RSPCKA	TS25	
30	VSS					
31		PA6	MTIOC3D/MTIC5V/MTCLKB/TMCI3/POE2#	CTS5#/RTS5#/SS5#/MOSIA	TS26 (注3)	
32		PA4	MTIOC4C/MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
33		PA3	MTIOC0D/MTIOC4D/MTIC5V/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
34		PA1	MTIOC0B/MTIOC3B/MTCLKC	SCK5/SSLA2	TS31	
35		PE4	MTIOC4D/MTIOC1A/MTIOC4A		TS33	AN020/CMPA2/CLKOUT
36		PE3	MTIOC1B/MTIOC4B/POE8#	CTS12#/RTS12#	TS34	AN019/CLKOUT
37		PE2	MTIOC4A	RXD12/RXD12/SSCL12	TS35	IRQ7/AN018/CVREFB0

表 1.7 機能別端子一覧(48ピンLFQFP、48ピンHWQFN) (2/2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SCIg, SC1h, SC1k, RSPI, RIIC, RSCAN)	タッチ	その他
38		PE1	MTIOC4C	TXD12/TXDX12/SIOX12/SSDA12		AN017/CMPB0
39		P47 (注2)				AN007
40		P46 (注2)				AN006
41		P45 (注2)				AN005
42		P42 (注2)				AN002
43		P41 (注2)				AN001
44	VREFL0	PJ7 (注2)				
45		P40 (注2)				AN000
46	VREFH0	PJ6 (注2)				
47	AVCC0					
48	AVSS0					

注1. PC0～PC3は、ポート切り替え機能選択時のみ有効です。

注2. これら端子の入出力バッファの電源はAVCC0です。

注3. ROM容量が64Kバイトの製品にはありません。

1.6.4 32ピンLQFP、32ピンHWQFN

表 1.8 機能別端子一覧(32ピンLQFP、32ピンHWQFN)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU, TMR, POE, LPT)	通信 (SClg, SClh, SCIk, RSPI, RIIC)	タッチ	その他
1	MD	PG7				FINED
2	RES#					
3	VSS					
4	EXTAL	P36				IRQ2
5	VCC					
6		P35				NMI
7		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#		IRQ1
8		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1		IRQ0
9		P27	MTIOC2B/TMCI3	SCK1	TS3	
10		P26	MTIOC2A/TMO1/LPTO	TXD1/SMOSI1/SSDA1	TS4	
11	(5Vトレラント)	P17	MTIOC3A/MTIOC3B/TMO1/POE8#	SCK1/MISOA/SDA0		IRQ7
12	(5Vトレラント)	P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/SCL0		IRQ6/ADTRG0#/RTCOUT
13		PC7	MTIOC3A/MTCLKB/TMO2/LPTO	MISOA	TS13	CACREF
14		PC6	MTIOC3C/MTCLKA/TMCI2	MOSIA	TS14	
15		PC5	MTIOC0C/MTIOC3B/MTCLKD/TMRI2	RSPCKA	TS15	
16		PC4	MTIOC0A/MTIOC3D/MTCLKC/TMCI1/POE0#	SCK5/SSLA0	TSCAP	
17	VCC					
18		PB0	MTIOC3D/MTIC5W	RSPCKA	TS25	
19	VSS					
20		PA4	MTIOC4C/MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/SSLA0	TS28	IRQ5/CVREFB1
21		PA3	MTIOC0D/MTIOC4D/MTIC5V/MTCLKD	RXD5/SMISO5/SSCL5	TS29	IRQ6/CMPB1
22		PA1	MTIOC0B/MTIOC3B/MTCLKC	SCK5/SSLA2	TS31	
23		PE4	MTIOC1A/MTIOC4A/MTIOC4D		TS33	AN020/CMPA2/CLKOUT
24		PE3	MTIOC1B/MTIOC4B/POE8#	CTS12#/RTS12#	TS34	AN019/CLKOUT
25		PE2	MTIOC4A	RXD12/SSCL12/RXDX12	TS35	IRQ7/AN018/CVREFB0
26		PE1	MTIOC4C	TXD12/SSDA12/TXDX12/SIOX12		AN017/CMPB0
27		P42 (注1)				AN002
28		P41 (注1)				AN001
29		P40 (注1)				AN000
30	AVCC0/VREFH0					
31	AVSS0/VREFL0					
32	VCL					

注1. これら端子の入出力バッファの電源はAVCC0です。

2. 電気的特性

2.1 絶対最大定格

表2.1 絶対最大定格
条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	5Vトレラント対応ポート(注1)	V_{in}	-0.3 ~ +6.5	V
	P03 ~ P07, P40 ~ P47, PJ6, PJ7		-0.3 ~ AVCC0 + 0.3	V
	上記以外のポート		-0.3 ~ VCC + 0.3	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0 + 0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007使用時	V_{AN}	-0.3 ~ AVCC0 + 0.3	V
	AN016 ~ AN021, AN024 ~ AN026使用時		-0.3 ~ VCC + 0.3	
ジャンクション温度	Dバージョン	T_j	-40 ~ +105	°C
	Gバージョン		-40 ~ +112	
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、VREFH0端子とVREFL0間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

詳細は、「2.15.1 VCLコンデンサ、バイパスコンデンサ接続方法」を参照してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. P12、P13、P16、P17は、5Vトレラント対応です。

2.2 推奨動作条件

表2.2 推奨動作条件(1)

項目		記号	min	typ	max	単位
電源電圧		VCC (注1、注2)	1.8	—	5.5	V
		VSS	—	0	—	
アナログ電源電圧		AVCC0 (注1)	1.8	—	5.5	V
		AVSS0	—	0	—	
		VREFH0	1.8	—	AVCC0	
		VREFL0	—	0	—	
入力電圧	5Vトレラント対応ポート： P12, P13, P16, P17	V_{in}	-0.3	—	5.8	V
	P03~P07, P40~P47, PJ6, PJ7		-0.3	—	AVCC0 + 0.3	
	上記以外		-0.3	—	VCC + 0.3	
動作温度 (注3)	Dバージョン	T_{opr}	-40	—	85	°C
	Gバージョン		-40	—	105	

注1. VCC端子とAVCC0端子の電源投入順序は、同時もしくはVCC端子、AVCC0端子の順になるように投入してください。

注2. VCC < 2.4Vの場合、CTSUsの通常動作モード機能が制限されます。詳細は「ユーザーズマニュアルハードウェア編」の「32. 静電容量式タッチセンサ(CTSUs2SL, CTSUs2L)」を参照してください。

注3. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表2.3 推奨動作条件(2)

項目	記号	規格値
内部電源安定用平滑コンデンサ容量	C_{VCL}	4.7 μ F \pm 30% (注1)

注1. 静電容量の公称値が4.7 μ F、静電容量許容差が \pm 30%以内の積層セラミックコンデンサを使用してください。

2.3 DC 特性

表2.4 DC 特性(1)

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く)	V _{IH}	0.7 × VCC	—	—	V		
		V _{IL}	—	—	0.3 × VCC			
		ΔV _T	0.05 × VCC	—	—			
	IRQ入力端子、MTU2入力端子、 POE2入力端子、TMR入力端子、 SCI入力端子、RSPI入力端子、 CAC入力端子、CAN入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
		ΔV _T	0.1 × VCC	—	—			
	ADTRG0#入力端子(注2)	V _{IH}	0.8 × AVCC0	—	—			
		V _{IL}	—	—	0.2 × AVCC0			
		ΔV _T	0.1 × AVCC0	—	—			
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V _{IH}	0.8 × VCC	—	—	V		
		V _{IL}	—	—	0.2 × VCC			
	RIIC入力端子(SMBus)	V _{IH}	2.2	—	—			VCC = 3.6 ~ 5.5V
			2.0	—	—			VCC = 2.7 ~ 3.6V
		V _{IL}	—	—	0.8			VCC = 3.6 ~ 5.5V
			—	—	0.5			VCC = 2.7 ~ 3.6V
	P12 ~ P17, P20, P21, P26, P27, P30 ~ P32, P34 ~ P37, P54, P55, PA0 ~ PA6, PB0 ~ PB7, PC2 ~ PC7, PD0 ~ PD2, PE0 ~ PE5, PH0 ~ PH3, PH6(注3), PH7(注3), PJ1, PG7	V _{IH}	0.8 × VCC	—	—			
		V _{IL}	—	—	0.2 × VCC			
	P03 ~ P07, P40 ~ P47, PJ6, PJ7	V _{IH}	0.8 × AVCC	—	—			
		V _{IL}	—	—	0.2 × AVCC			

注1. P16に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

注3. ROM容量が64Kバイトの製品にはありません。

表2.5 DC特性(2)

条件: $1.8V \leq VCC < 2.7V$, $1.8V \leq AVCC0 < 2.7V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	IRQ入力端子、MTU2入力端子、 POE2入力端子、TMR入力端子、 SCI入力端子、RSPI入力端子、 CAC入力端子、CAN入力端子、 ADTRG0#入力端子(注1)、 RES#、NMI、MD	V_{IH}	$0.8 \times VCC$	—	—	V	
		V_{IL}	—	—	$0.2 \times VCC$		
		ΔV_T	$0.01 \times VCC$	—	—		
	ADTRG0#入力端子(注2)	V_{IH}	$0.8 \times AVCC0$	—	—		
		V_{IL}	—	—	$0.2 \times AVCC0$		
		ΔV_T	$0.01 \times AVCC0$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	EXTAL (外部クロック入力)	V_{IH}	$0.8 \times VCC$	—	—	V	
		V_{IL}	—	—	$0.2 \times VCC$		
	P12~P17, P20, P21, P26, P27, P30~P32, P34~P37, P54, P55, PA0~PA6, PB0~PB7, PC2~PC7, PD0~PD2, PE0~PE5, PH0~PH3, PH6(注3), PH7(注3), PJ1, PG7	V_{IH}	$0.8 \times VCC$	—	—		
		V_{IL}	—	—	$0.2 \times VCC$		
	P03~P07, P40~P47, PJ6, PJ7	V_{IH}	$0.8 \times AVCC$	—	—		
		V_{IL}	—	—	$0.2 \times AVCC$		

注1. P16に割り付けられているADTRG0#入力端子です。

注2. P07に割り付けられているADTRG0#入力端子です。

注3. ROM容量が64Kバイトの製品にはありません。

表2.6 DC特性(3)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, P35, PH6(注1), PH7(注1)	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V, VCC$
スリーステートリーク 電流(オフ状態)	5Vトレラント対応ポート	$ I_{TSL} $	—	—	1.0	μA	$V_{in} = 0V, 5.8V$
	PJ6, PJ7		—	—	1.0		$V_{in} = 0V, VCC$
	5Vトレラント対応ポート、 PJ6、PJ7以外		—	—	0.2		$V_{in} = 0V, VCC$
入力容量	全入力端子 (P35以外)	C_{in}	—	—	15	pF	$V_{in} = 0mV,$ $f = 1MHz,$ $T_a = 25^\circ C$
	P35		—	—	30		

注1. ROM容量が64Kバイトの製品にはありません。

表2.7 DC特性(4)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
入力プルアップ抵抗	全ポート (P35、PH6(注1)、PH7(注1)以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

注1. ROM容量が64Kバイトの製品にはありません。

[ROM容量が64Kバイトの製品]

表2.8 DC特性(5)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, Ta = -40~+105°C

項目				記号	typ (注4)	max	単位	測定条件				
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 48MHz	I _{CC}	2.5	—	mA				
				ICLK = 32MHz		1.8	—					
				ICLK = 16MHz		1.3	—					
				ICLK = 8MHz		1.0	—					
			全周辺動作 通常動作(注3)	ICLK = 48MHz		9.0	—					
				ICLK = 32MHz		7.4	—					
				ICLK = 16MHz		4.2	—					
				ICLK = 8MHz		2.5	—					
		全周辺動作 最大動作(注3)	ICLK = 48MHz	—		20.1						
			スリープモード			周辺動作なし(注2)	ICLK = 48MHz			1.4	—	
							ICLK = 32MHz			1.1	—	
							ICLK = 16MHz			0.8	—	
							ICLK = 8MHz			0.7	—	
							全周辺動作 通常動作(注3)			ICLK = 48MHz	4.0	—
										ICLK = 32MHz	4.0	—
										ICLK = 16MHz	2.3	—
				ICLK = 8MHz	1.5			—				
				ディープ スリープモード	周辺動作なし(注2)	ICLK = 48MHz	1.0	—				
						ICLK = 32MHz	0.8	—				
						ICLK = 16MHz	0.7	—				
						ICLK = 8MHz	0.6	—				
					全周辺動作 通常動作(注3)	ICLK = 48MHz	3.1	—				
						ICLK = 32MHz	3.1	—				
						ICLK = 16MHz	1.9	—				
						ICLK = 8MHz	1.2	—				
				フラッシュメモリ書き換え時の増加分(注5)		2.1	—					
	中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 24MHz	1.6	—						
					ICLK = 8MHz	0.8	—					
						ICLK = 4MHz	0.3	—				
							ICLK = 1MHz	0.2		—		
				全周辺動作 通常動作(注7)		ICLK = 24MHz		5.8		—		
					ICLK = 8MHz	2.3	—					
ICLK = 4MHz					1.5	—						
ICLK = 1MHz					0.8	—						
全周辺動作 最大動作(注7)			ICLK = 24MHz	—	13.1							
			スリープモード			周辺動作なし(注6)	ICLK = 24MHz	1.1	—			
							ICLK = 8MHz	0.6	—			
							ICLK = 4MHz	0.2	—			
			ICLK = 1MHz	0.2	—							

項目					記号	typ (注4)	max	単位	測定条件
消費電流 (注1)	中速動作モード	スリープモード	全周辺動作 通常動作 (注7)	ICLK = 24MHz	I _{CC}	3.3	—	mA	
				ICLK = 8MHz		1.5	—		
				ICLK = 4MHz		1.0	—		
				ICLK = 1MHz		0.7	—		
		ディープ スリープモード	周辺動作なし (注6)	ICLK = 24MHz		0.8	—		
				ICLK = 8MHz		0.5	—		
				ICLK = 4MHz		0.1	—		
				ICLK = 1MHz		0.1	—		
		全周辺動作 通常動作 (注7)		ICLK = 24MHz		2.6	—		
				ICLK = 8MHz		1.3	—		
				ICLK = 4MHz		0.9	—		
				ICLK = 1MHz		0.7	—		
	フラッシュメモリ書き換え時の増加分 (注5)						2.1	—	
	中速動作モード2	通常動作モード	周辺動作なし (注8)	ICLK = 1MHz		0.1	—		
				全周辺動作 通常動作 (注9)	ICLK = 1MHz	0.8	—		
					全周辺動作 最大動作 (注9)	—	3.0		
		スリープモード	周辺動作なし (注8)	ICLK = 1MHz	0.1	—			
				全周辺動作 通常動作 (注9)	0.7	—			
		ディープ スリープモード	周辺動作なし (注8)	ICLK = 1MHz	0.1	—			
				全周辺動作 通常動作 (注9)	0.7	—			
フラッシュメモリ書き換え時の増加分 (注5)						1.4	—		
低速動作モード		通常動作モード	周辺動作なし (注10)	ICLK = 32.768kHz		2.4	—		
				全周辺動作 通常動作 (注11、注12)	ICLK = 32.768kHz	7.5	—		
	全周辺動作 最大動作 (注11、注12)				—	88.4			
	スリープモード	周辺動作なし (注10)	ICLK = 32.768kHz	1.4	—				
			全周辺動作 通常動作 (注11)	3.8	—				
	ディープ スリープモード	周辺動作なし (注10)	ICLK = 32.768kHz	1.0	—				
			全周辺動作 通常動作 (注11)	2.8	—				

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
- 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。ICLK=48MHzの場合、FCLKはICLKと同じ周波数です。PCLKは2分周設定です。ICLK=32MHz以下の場合、FCLK、PCLKはICLKと同じ周波数です。
- 注4. VCC = 3.3Vの値です。
- 注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
- 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注8. 周辺機能はクロック停止状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKは64分周設定です。
- 注9. 周辺機能はクロック供給状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
- 注10. 周辺機能はクロック停止状態。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
- 注11. 周辺機能はクロック供給状態。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
- 注12. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

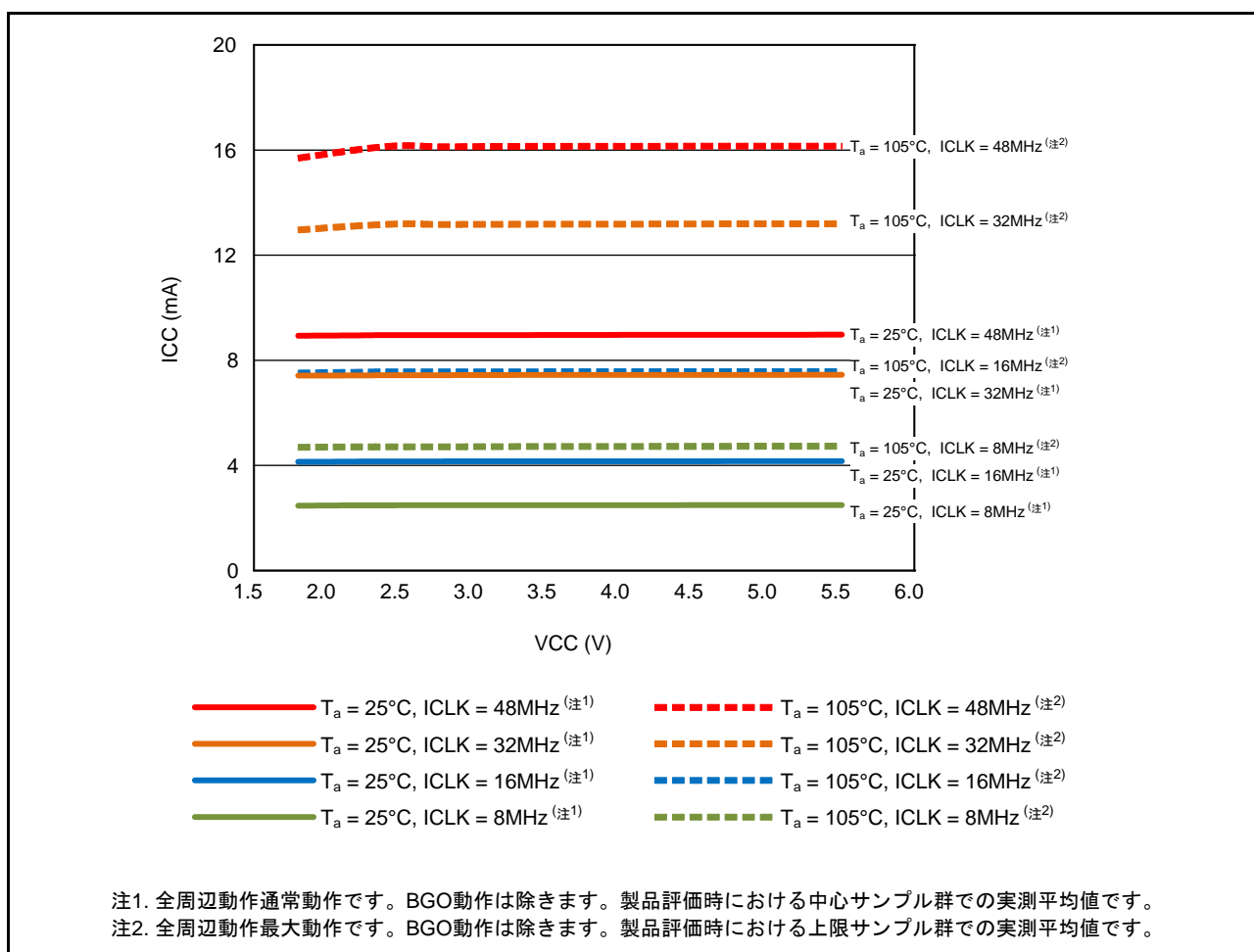


図 2.1 高速動作モードの電圧依存性 (ROM 容量が 64K バイトの製品の参考データ)

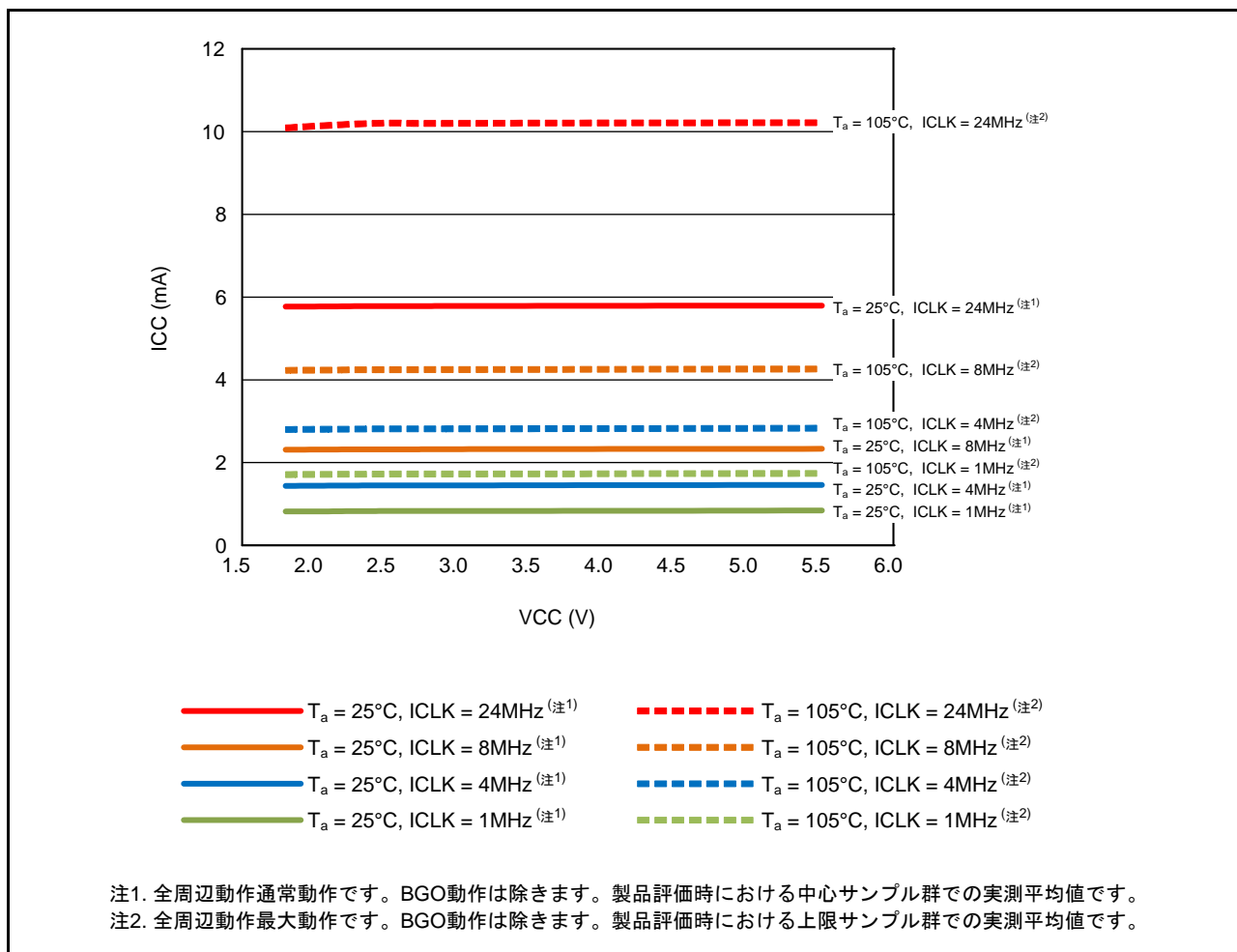


図 2.2 中速動作モードの電圧依存性 (ROM 容量が 64K バイトの製品の参考データ)

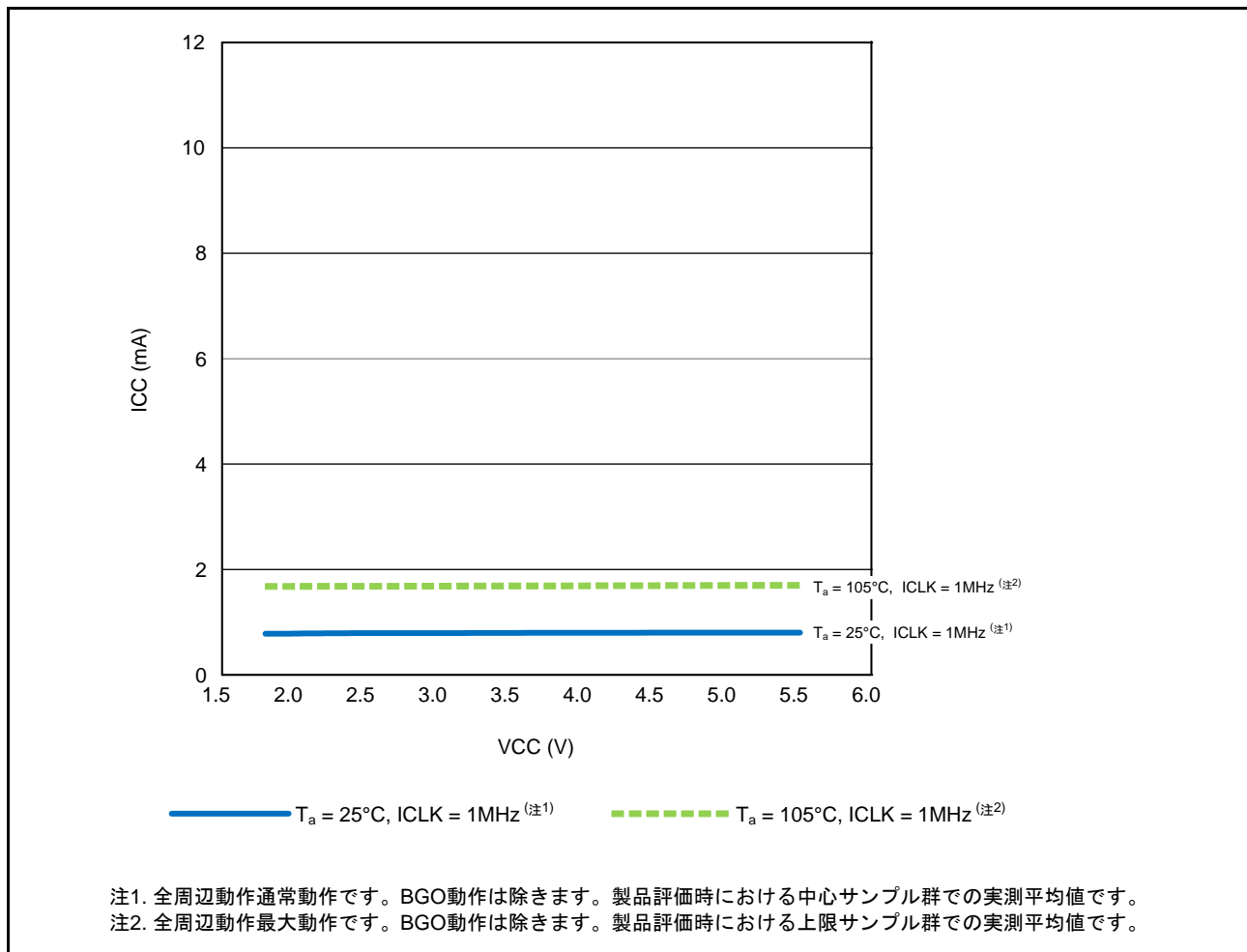


図 2.3 中速動作モード2の電圧依存性 (ROM容量が64Kバイトの製品の参考データ)

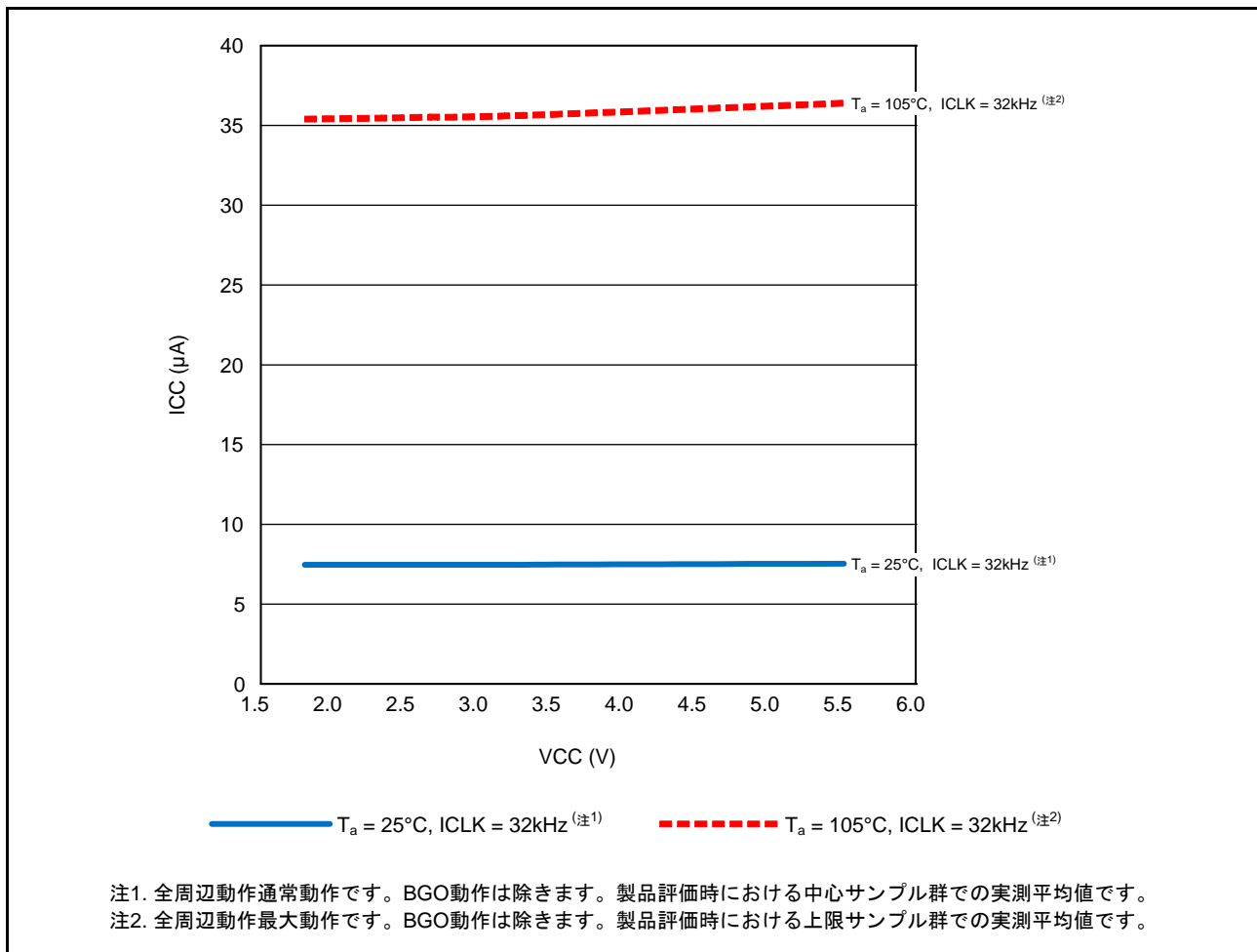


図 2.4 低速動作モードの電圧依存性 (ROM 容量が 64K バイトの製品の参考データ)

[ROM容量が128Kバイト以上の製品]

表2.9 DC特性(5)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40~+105°C

項目				記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし(注2)	ICLK = 48MHz	I _{CC}	2.6	—	mA	
				ICLK = 32MHz		1.9	—		
				ICLK = 16MHz		1.3	—		
				ICLK = 8MHz		1.0	—		
			全周辺動作 通常動作(注3)	ICLK = 48MHz		10.4	—		
				ICLK = 32MHz		8.9	—		
				ICLK = 16MHz		4.9	—		
				ICLK = 8MHz		2.9	—		
		全周辺動作 最大動作(注3)	ICLK = 48MHz	—		22.8			
		スリープモード	周辺動作なし(注2)	ICLK = 48MHz		1.4	—		
				ICLK = 32MHz		1.1	—		
				ICLK = 16MHz		0.8	—		
				ICLK = 8MHz		0.7	—		
			全周辺動作 通常動作(注3)	ICLK = 48MHz		4.7	—		
				ICLK = 32MHz		4.9	—		
	ICLK = 16MHz			2.8	—				
	ICLK = 8MHz			1.7	—				
	ディープ スリープモード	周辺動作なし(注2)	ICLK = 48MHz	1.0	—				
			ICLK = 32MHz	0.8	—				
			ICLK = 16MHz	0.7	—				
			ICLK = 8MHz	0.6	—				
		全周辺動作 通常動作(注3)	ICLK = 48MHz	3.7	—				
			ICLK = 32MHz	3.9	—				
			ICLK = 16MHz	2.3	—				
			ICLK = 8MHz	1.4	—				
	フラッシュメモリ書き換え時の増加分(注5)					2.1	—		
	暗号機能動作時の増加分					—	3.9		
	中速動作モード	通常動作モード	周辺動作なし(注6)	ICLK = 24MHz	I _{CC}	1.7	—	mA	
				ICLK = 8MHz		0.9	—		
				ICLK = 4MHz		0.3	—		
				ICLK = 1MHz		0.2	—		
全周辺動作 通常動作(注7)			ICLK = 24MHz	6.9		—			
			ICLK = 8MHz	2.8		—			
			ICLK = 4MHz	1.7		—			
			ICLK = 1MHz	0.9		—			
全周辺動作 最大動作(注7)		ICLK = 24MHz	—	15.4					
スリープモード		周辺動作なし(注6)	ICLK = 24MHz	1.1		—			
			ICLK = 8MHz	0.7		—			
			ICLK = 4MHz	0.2		—			
			ICLK = 1MHz	0.2		—			

項目					記号	typ (注4)	max	単位	測定条件	
消費電流 (注1)	中速動作モード	スリープモード	全周辺動作 通常動作 (注7)	ICLK = 24MHz	I _{CC}	4.0	—	mA		
				ICLK = 8MHz		1.8	—			
				ICLK = 4MHz		1.2	—			
				ICLK = 1MHz		0.8	—			
		ディープ スリープモード	周辺動作なし (注6)	ICLK = 24MHz		0.8	—			
				ICLK = 8MHz		0.6	—			
				ICLK = 4MHz		0.1	—			
				ICLK = 1MHz		0.1	—			
		全周辺動作 通常動作 (注7)		ICLK = 24MHz		3.2	—			
				ICLK = 8MHz		1.5	—			
				ICLK = 4MHz		1.0	—			
				ICLK = 1MHz		0.7	—			
	フラッシュメモリ書き換え時の増加分 (注5)						2.1	—		
	中速動作モード2	通常動作モード	周辺動作なし (注8)	ICLK = 1MHz	ICLK = 1MHz	0.1	—			
					全周辺動作 通常動作 (注9)	ICLK = 1MHz	0.9	—		
					全周辺動作 最大動作 (注9)	ICLK = 1MHz	—	3.3		
			スリープモード	周辺動作なし (注8)	ICLK = 1MHz	ICLK = 1MHz	0.1	—		
						全周辺動作 通常動作 (注9)	ICLK = 1MHz	0.7		—
						ディープ スリープモード	周辺動作なし (注8)	ICLK = 1MHz		ICLK = 1MHz
		全周辺動作 通常動作 (注9)	ICLK = 1MHz	0.7	—					
		フラッシュメモリ書き換え時の増加分 (注5)						1.4		—
		低速動作モード	通常動作モード	周辺動作なし (注10)	ICLK = 32.768kHz	ICLK = 32.768kHz	2.6	—		
						全周辺動作 通常動作 (注11、注12)	ICLK = 32.768kHz	9.4		—
						全周辺動作 最大動作 (注11、注12)	ICLK = 32.768kHz	—		175.4
スリープモード			周辺動作なし (注10)	ICLK = 32.768kHz	ICLK = 32.768kHz	1.5	—			
	全周辺動作 通常動作 (注11)				ICLK = 32.768kHz	5.1	—			
ディープ スリープモード	周辺動作なし (注10)		ICLK = 32.768kHz	ICLK = 32.768kHz	1.3	—				
				全周辺動作 通常動作 (注11)	ICLK = 32.768kHz	4.1	—			

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
 注2. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKは64分周設定です。
 注3. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。ICLK=48MHzの場合、FCLKはICLKと同じ周波数です。PCLKは2分周設定です。ICLK=32MHz以下の場合、FCLK、PCLKはICLKと同じ周波数です。
 注4. VCC = 3.3Vの値です。
 注5. プログラム実行中に、ROM、またはデータ格納用フラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
 注6. 周辺機能はクロック停止状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKは64分周設定です。
 注7. 周辺機能はクロック供給状態。クロックソースはICLK = 24MHzの時はPLL、ICLK = 8MHzの時はHOCO、その他はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
 注8. 周辺機能はクロック停止状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKは64分周設定です。
 注9. 周辺機能はクロック供給状態。クロックソースはICLK = 1MHzの時はLOCOです。FCLK、PCLKはICLKと同じ周波数です。
 注10. 周辺機能はクロック停止状態。クロックソースはサブ発振回路です。FCLK、PCLKは64分周設定です。
 注11. 周辺機能はクロック供給状態。クロックソースはサブ発振回路です。FCLK、PCLKはICLKと同じ周波数です。
 注12. MSTPCRA.MSTPA17 (12ビットA/Dコンバータモジュールストップ設定ビット)をモジュールストップ状態に設定した時の値です。

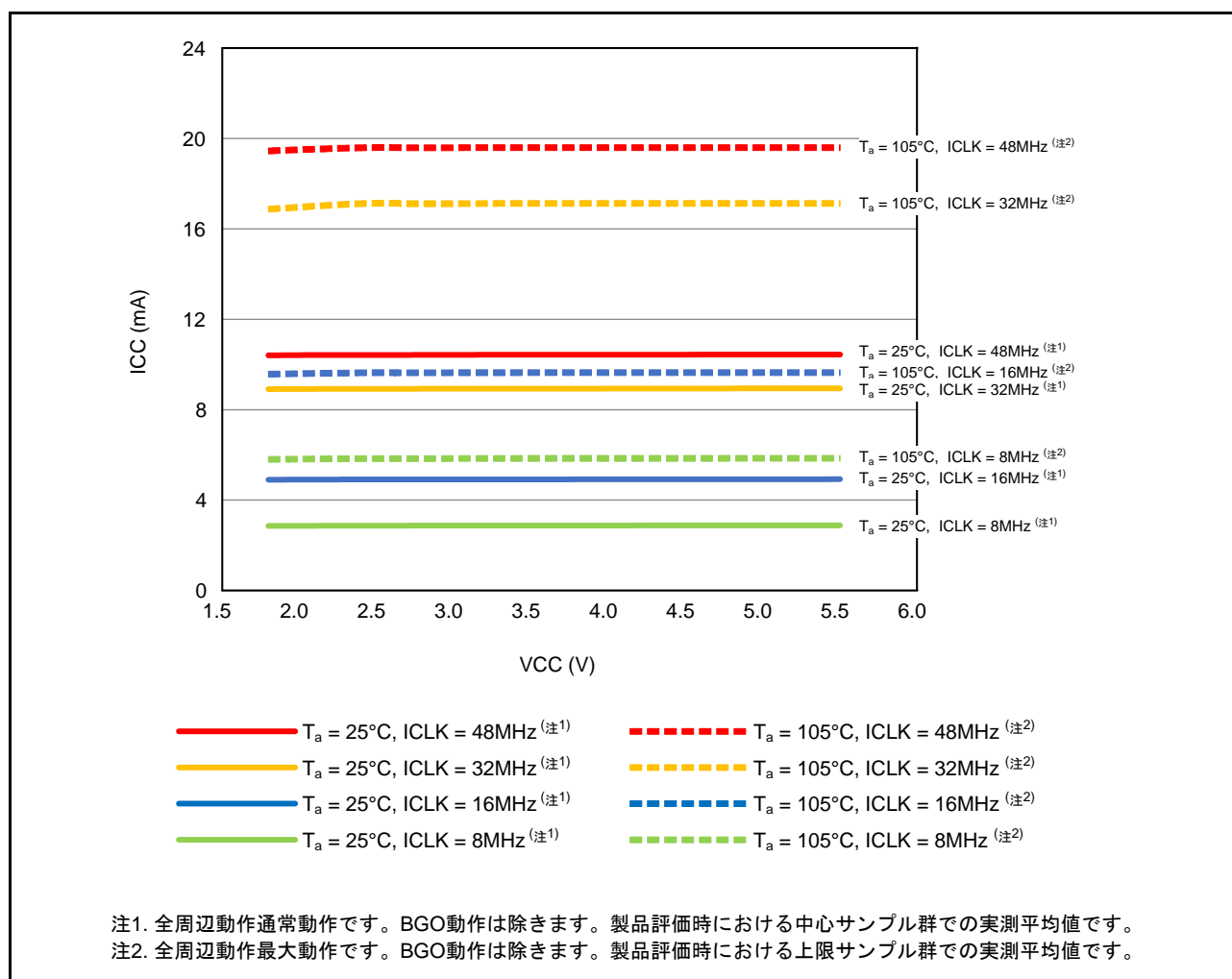


図 2.5 高速動作モードの電圧依存性 (ROM 容量が 128K バイト以上の製品の参考データ)

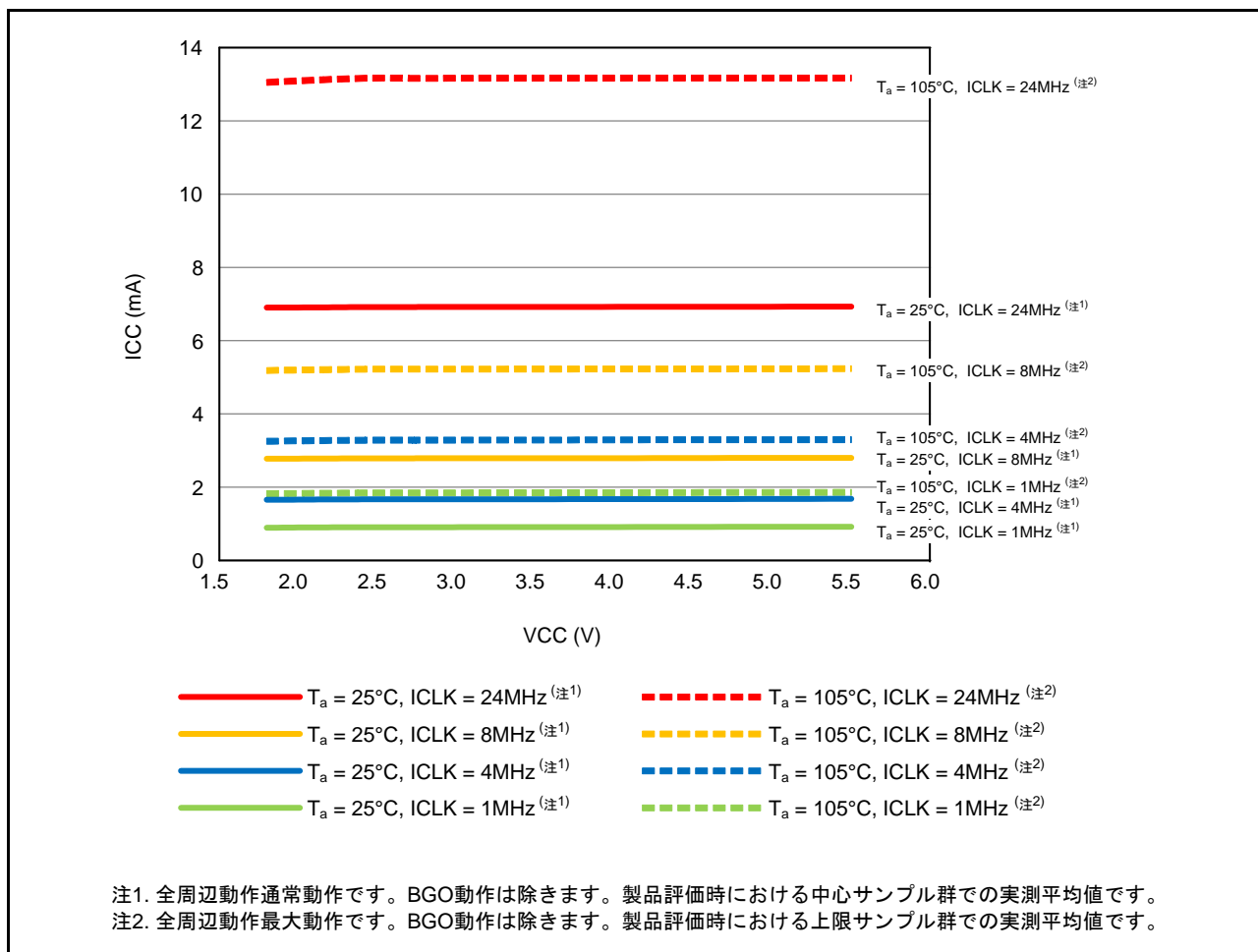


図 2.6 中速動作モードの電圧依存性 (ROM 容量が 128K バイト以上の製品の参考データ)

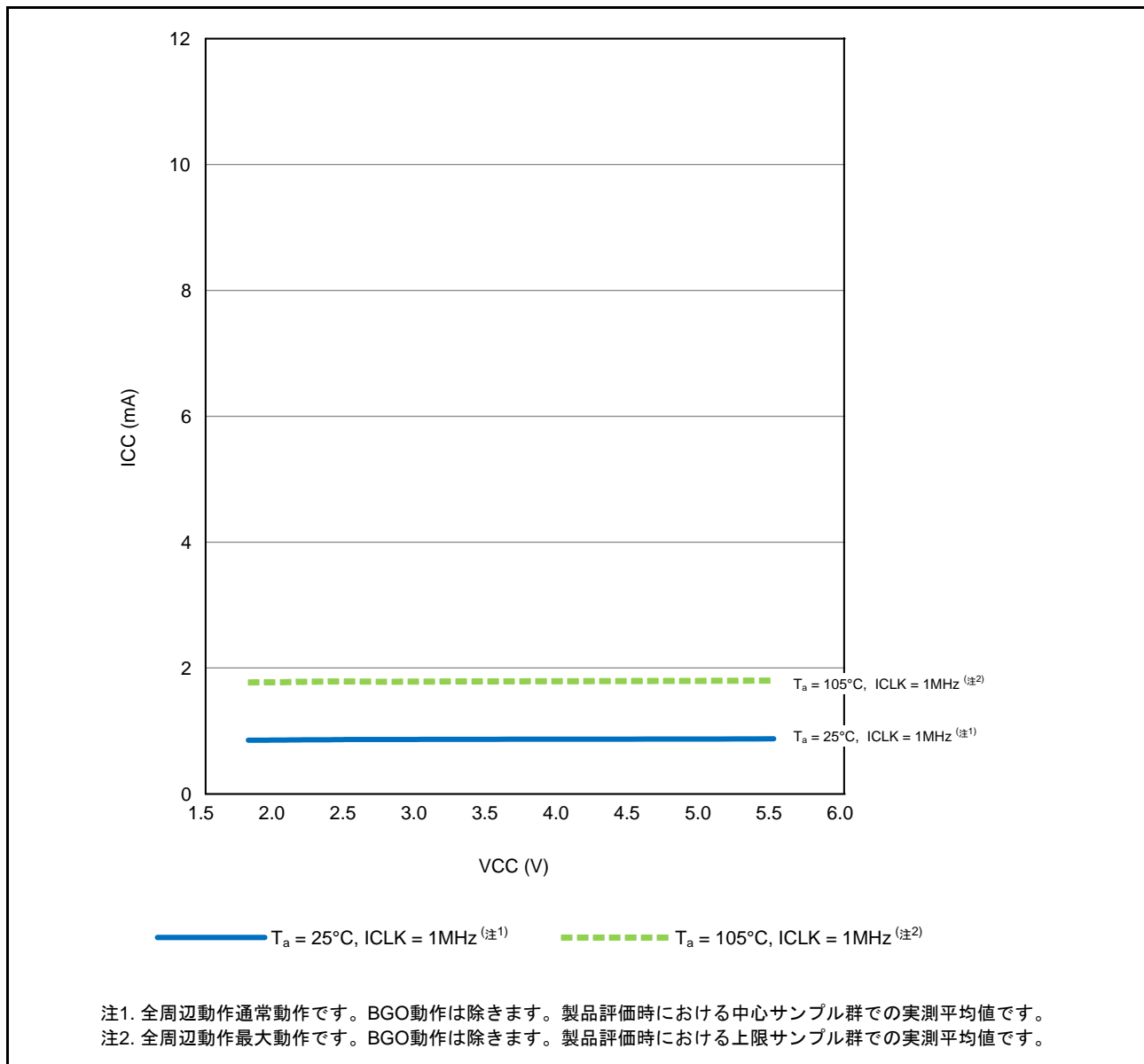


図 2.7 中速動作モード2の電圧依存性 (ROM容量が128Kバイト以上の製品の参考データ)

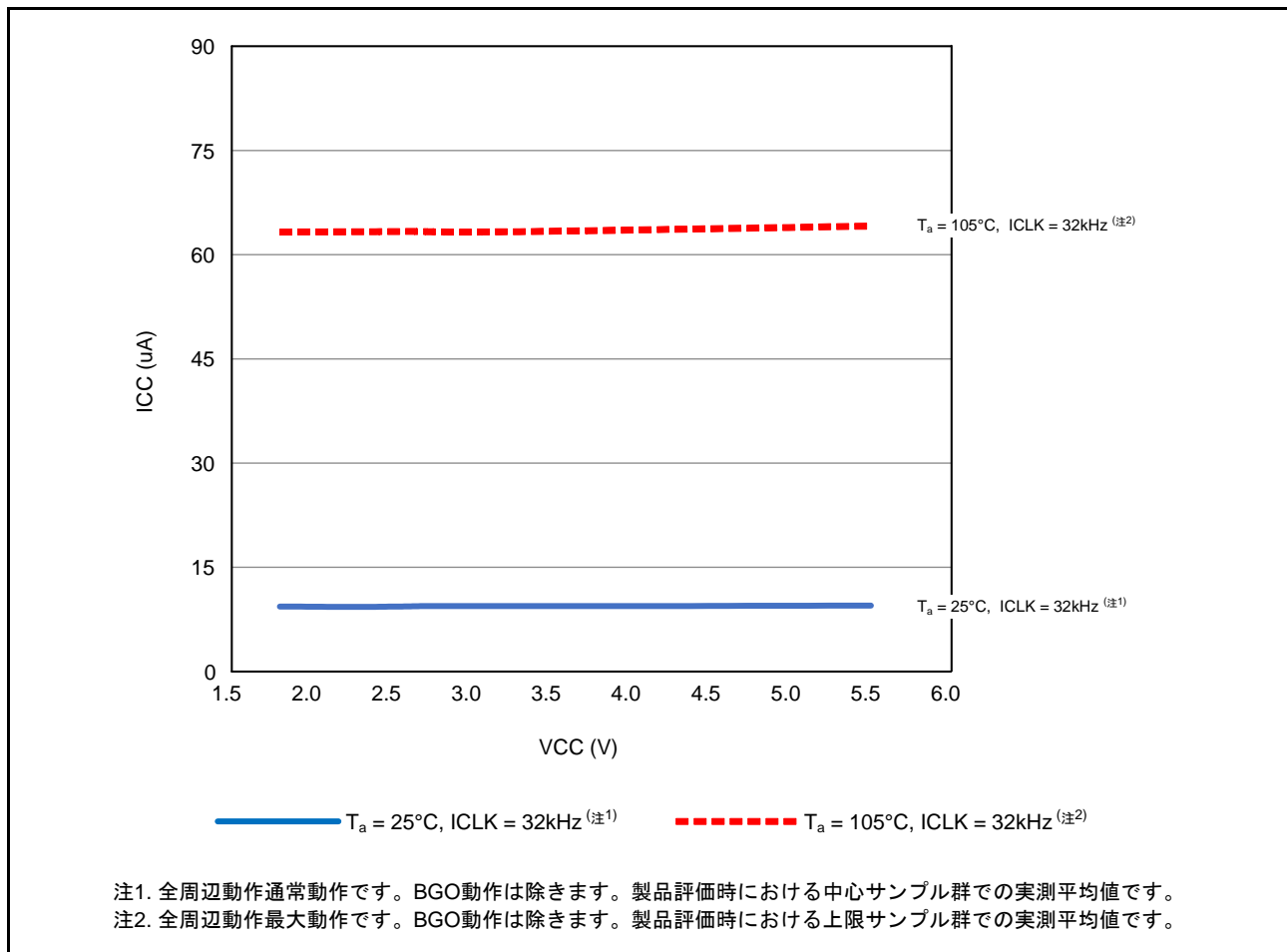


図 2.8 低速動作モードの電圧依存性 (ROM 容量が 128K バイト以上の製品の参考データ)

[ROM容量が64Kバイトの製品]

表2.10 DC特性(6)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目			記号	typ (注3)	max	単位	測定条件		
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	$T_a = 25^\circ C$	I_{CC}	0.25	1.56	μA			
		$T_a = 55^\circ C$		0.54	4.66				
		$T_a = 85^\circ C$		1.86	18.09				
		$T_a = 105^\circ C$		4.72	43.74				
	RTC動作の増加分 (注4)				0.97			—	SOMCR.SODRV[1:0]は標準CL用ドライブ能力設定
					0.52			—	SOMCR.SODRV[1:0]は低CL用ドライブ能力高設定
					0.27			—	SOMCR.SODRV[1:0]は低CL用ドライブ能力中設定
					0.17			—	SOMCR.SODRV[1:0]は低CL用ドライブ能力低設定
	ローパワータイマ動作の増加分				0.28			—	LPTCR1.LPCNTCKSELは、IWDT専用オンチップオシレータ選択時
					15.97			—	LPTCR1.LPCNTCKSEL2は、低速オンチップオシレータ選択時
	独立ウォッチドックタイマ動作の増加分				0.26			—	

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. $VCC = 3.3V$ の場合です。

注4. 発振回路を含みます。

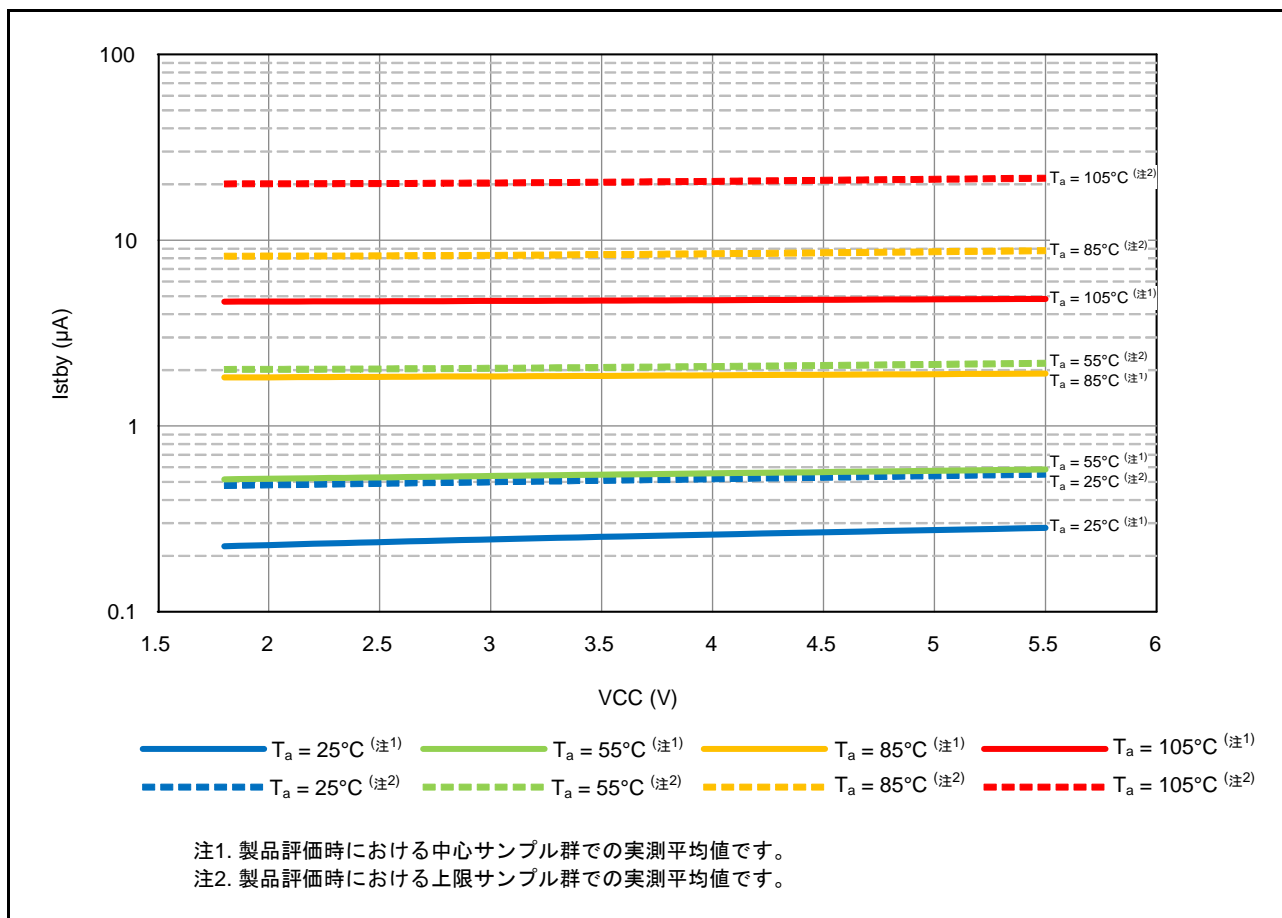


図 2.9 ソフトウェアスタンバイモード時の電圧依存性 (ROM 容量が 64K バイトの製品の参考データ)

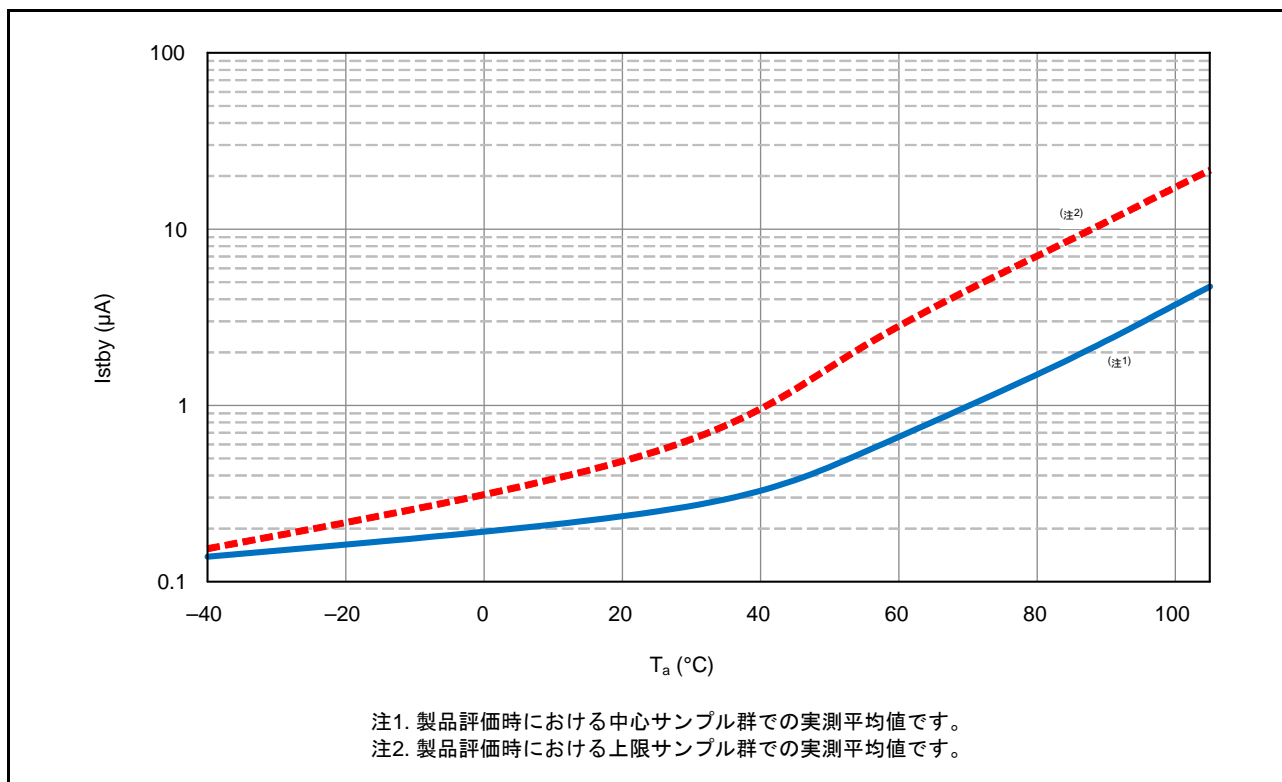


図 2.10 ソフトウェアスタンバイモード時の温度依存性 (ROM 容量が 64K バイトの製品の参考データ)

[ROM容量が128Kバイト以上の製品]

表2.11 DC特性(6)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件		
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.43	2.07	μA			
		T _a = 55°C		1.00	8.46				
		T _a = 85°C		3.30	31.14				
		T _a = 105°C		7.76	71.36				
	RTC動作の増加分 (注4)			0.99	—			SOMCR.SODRV[1:0]は標準CL用ドライブ能力設定	
				0.55	—			SOMCR.SODRV[1:0]は低CL用ドライブ能力高設定	
				0.32	—			SOMCR.SODRV[1:0]は低CL用ドライブ能力中設定	
				0.22	—			SOMCR.SODRV[1:0]は低CL用ドライブ能力低設定	
	ローパワータイマ動作の増加分			0.33	—			LPTCR1.LPCNTCKSELは、IWDT専用オンチップオシレータ選択時	
				15.89	—			LPTCR1.LPCNTCKSEL2は、低速オンチップオシレータ選択時	
	独立ウォッチドックタイマ動作の増加分			0.32	—				

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVD、CMPBは動作停止です。

注3. VCC = 3.3Vの場合です。

注4. 発振回路を含みます。

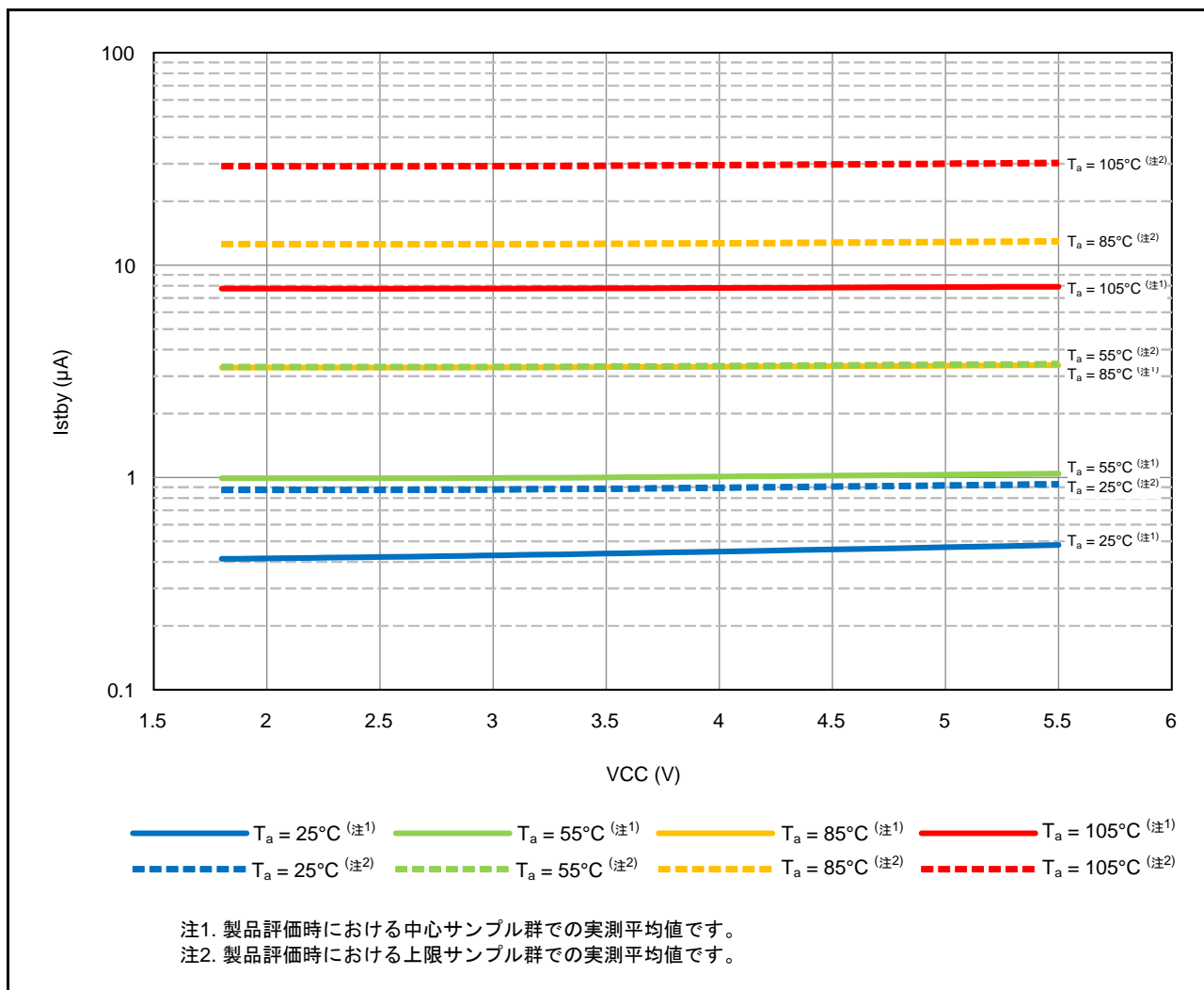


図 2.11 ソフトウェアスタンバイモード時の電圧依存性 (ROM 容量が 128K バイト以上の製品の参考データ)

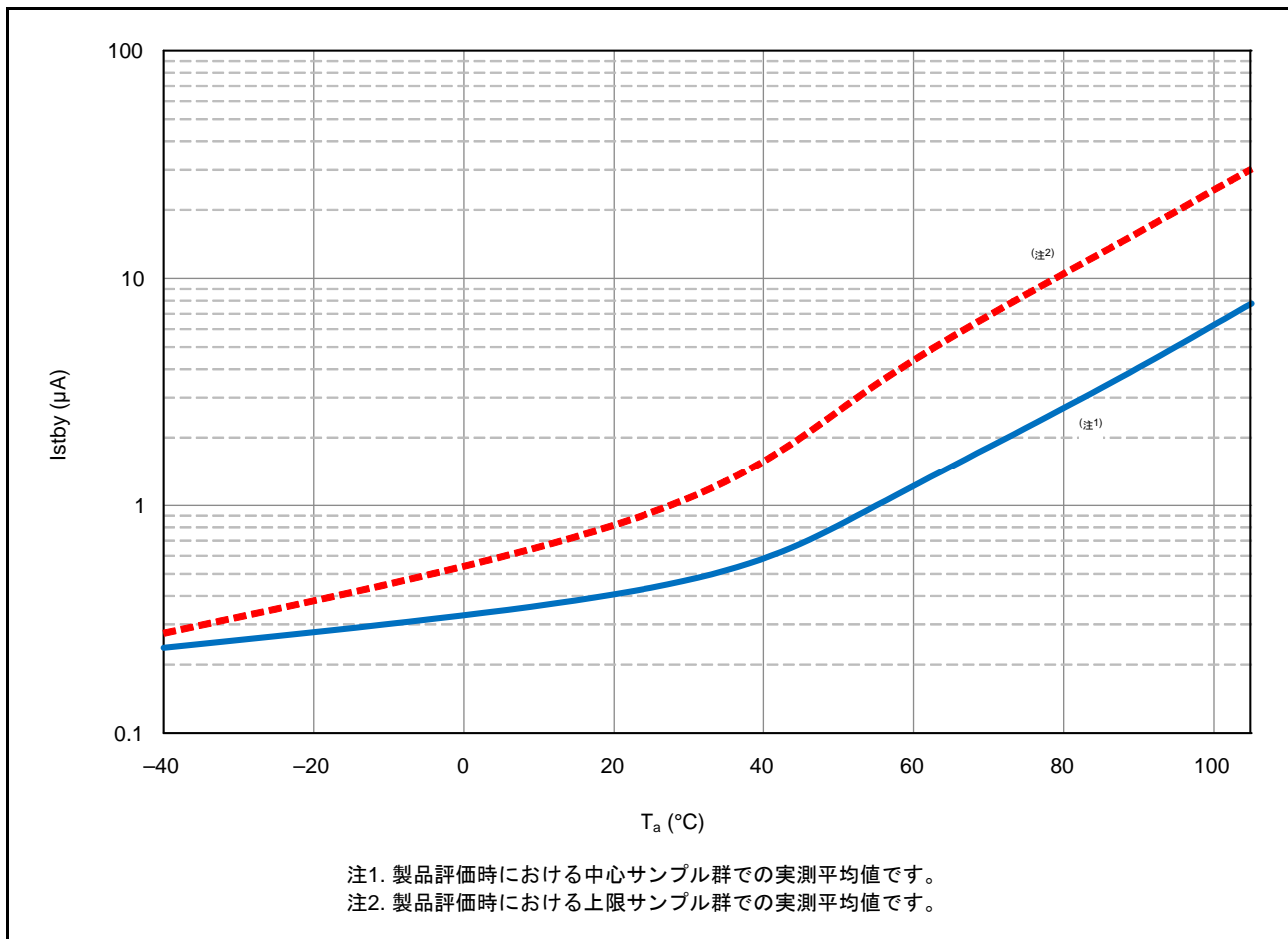


図 2.12 ソフトウェアスタンバイモード時の温度依存性 (ROM 容量が 128K バイト以上の製品の参考データ)

表2.12 DC特性(7)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ (注4)	max	単位	測定条件
アナログ電源電流	A/D変換中(高速変換時)	I _{AVCC}	—	0.6	1.3	mA	
	A/D変換中(低電流モード)		—	0.3	0.7		
	D/A変換中(1チャンネル当り)(注1)		—	—	0.5		
	A/D、D/A変換待機時		—	—	2.0	μA	
リファレンス電源電流	A/D変換中(高速変換時)	I _{REFH0}	—	49.6	120	μA	
	A/D変換待機時		—	—	0.3	μA	
LVD0	—	I _{LVD}	—	0.04	—	μA	
LVD1, 2	1チャンネル当り		—	0.12	—	μA	
温度センサ(注3)	—	I _{TEMP}	—	120	—	μA	
コンパレータB動作電流(注3)	ウィンドウ機能有効	I _{CMP} (注2)	—	7.5	12.5	μA	
	コンパレータ高速モード(1チャンネル当り)		—	5.0	10.0	μA	
	コンパレータ低速モード(1チャンネル当り)		—	1.5	3.0	μA	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. コンパレータBモジュールのみの消費電流です。

注3. 電源(VCC)の消費電流です。

注4. VCC = AVCC0 = 3.3Vのとき。

表2.13 DC特性(8)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
RAM保持電圧	V _{RAM}	1.8	—	—	V	

表2.14 DC特性(9)

条件：0V ≤ VCC ≤ 5.5V, 0V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時(注1)	SrVCC	0.02	—	20	ms/V	
	起動時間短縮時(注2)		0.02	—	2		
	起動時電圧監視0リセット有効時(注3、注4)		0.02	—	—		

注1. OFS1.(FASTSTUP, LVDAS) = 11bを設定した場合です。

注2. OFS1.(FASTSTUP, LVDAS) = 01bを設定した場合です。

注3. OFS1.LVDAS = 0を設定した場合です。

注4. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表2.15 DC特性(10)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_{r(VCC)}$ を満たしてください。VCC変動がVCC±10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_{r(VCC)}$	—	—	10	kHz	図2.13 $V_{r(VCC)} \leq VCC \times 0.2$ の場合
		—	—	1	MHz	図2.13 $V_{r(VCC)} \leq VCC \times 0.08$ の場合
		—	—	10	MHz	図2.13 $V_{r(VCC)} \leq VCC \times 0.06$ の場合
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC±10%を超える場合

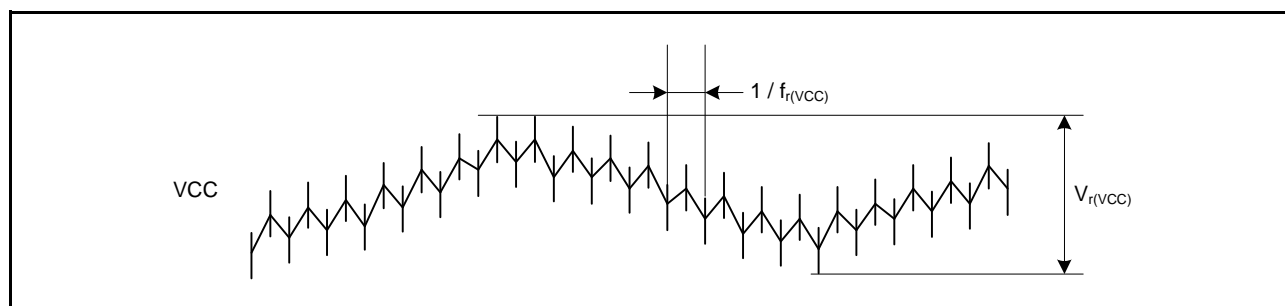


図 2.13 電源リップル波形

表 2.16 出力許容電流値(1)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +85°C

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07, P40~P47, PJ6、PJ7の合計	ΣI _{OL}	40	
	P12~P17, P20、P21、P26~P27, P30~P32、P34~P37、 PG7、PH2、PH3、 PJ1の合計		40	
	P54、P55、 PB0~PB7、 PC2~PC7、 PH0、PH1の合計		40	
	PA0~PA6、 PD0~PD2、 PE0~PE5の合計		40	
	全出力端子の総和		80	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07, P40~P47, PJ6、PJ7の合計	ΣI _{OH}	-40	
	P12~P17, P20、P21、P26~P27, P30~P32、P34~P37、 PG7、PH2、PH3、 PJ1の合計		-40	
	P54、P55、 PB0~PB7、 PC2~PC7、 PH0、PH1の合計		-40	
	PA0~PA6、 PD0~PD2、 PE0~PE5の合計		-40	
	全出力端子の総和		-80	

注. 許容総消費電流は超えないようにしてください。

表2.17 出力許容電流値(2)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OL}	8.0	mA
	それ以外のポート		8.0	
出力Lowレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		8.0	
	それ以外のポート		8.0	
出力Lowレベル許容電流	P03~P07, P40~P47, PJ6, PJ7の合計	ΣI _{OL}	30	
	P12~P17, P20, P21, P26~P27, P30~P32, P34~P37, PG7, PH2, PH3, PJ1の合計		30	
	P54, P55, PB0~PB7, PC2~PC7, PH0, PH1の合計		30	
	PA0~PA6, PD0~PD2, PE0~PE5の合計		30	
	全出力端子の総和		60	
出力Highレベル許容電流 (1端子あたりの平均値)	P03~P07, P40~P47, PJ6, PJ7	I _{OH}	-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流 (1端子あたりの最大値)	P03~P07, P40~P47, PJ6, PJ7		-4.0	
	それ以外のポート		-4.0	
出力Highレベル許容電流	P03~P07, P40~P47, PJ6, PJ7の合計	ΣI _{OH}	-30	
	P12~P17, P20, P21, P26~P27, P30~P32, P34~P37, PG7, PH2, PH3, PJ1の合計		-30	
	P54, P55, PB0~PB7, PC2~PC7, PH0, PH1の合計		-30	
	PA0~PA6, PD0~PD2, PE0~PE5の合計		-30	
	全出力端子の総和		-60	

注. 許容総消費電流は超えないようにしてください。

表2.18 出力電圧値(1)

条件：1.8V ≤ VCC < 2.7V, 1.8V ≤ AVCC0 < 2.7V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
出力Lowレベル	全出力端子(RIIC以外)	V _{OL}	—	0.3	V	I _{OL} = 1.0mA	
出力Highレベル	全出力端子	V _{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	AVCC0 - 0.3	—	V	I _{OH} = -0.5mA
	上記以外		VCC - 0.3	—			

表2.19 出力電圧値(2)

条件：2.7V ≤ VCC < 4.0V, 2.7V ≤ AVCC0 < 4.0V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子(RIIC以外)	V _{OL}	—	0.5	V	I _{OL} = 2.0mA
	RIIC端子		—	0.6		I _{OL} = 6.0mA
出力Highレベル	全出力端子	V _{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	AVCC0 - 0.5	V	I _{OH} = -1.0mA
	上記以外		VCC - 0.5	—		

表2.20 出力電圧値(3)

条件：4.0V ≤ VCC ≤ 5.5V, 4.0V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目		記号	min	max	単位	測定条件
出力Lowレベル	全出力端子(RIIC以外)	V _{OL}	—	0.8	V	I _{OL} = 4.0mA
	RIIC端子		—	0.6		I _{OL} = 6.0mA
出力Highレベル	全出力端子	V _{OH}	P03 ~ P07, P40 ~ P47, PJ6, PJ7	AVCC0 - 0.8	V	I _{OH} = -2.0mA
	上記以外		VCC - 0.8	—		

表2.21 熱抵抗値(参考値)

項目	パッケージ	記号	min	typ	max	単位	測定条件
熱抵抗	80ピンLFQFP (PLQP0080KB-B)	θ _{ja}	—	—	52.60	°C/W	JESD51-2およびJESD51-7 準拠
	64ピンLFQFP (PLQP0064KB-C)		—	—	54.70		
	64ピンLQFP (PLQP0064GA-A)		—	—	54.30		
	48ピンLFQFP (PLQP0048KB-B)		—	—	63.50		
	48ピンHWQFN (PWQN0048KC-A)		—	—	21.20 (注1)		
	32ピンLQFP (PLQP0032GB-A)		—	—	62.20		
	32ピンHWQFN (PWQN0032KE-A)		—	—	23.60 (注1)		
	80ピンLFQFP (PLQP0080KB-B)	ψ _{jt}	—	—	1.54		
	64ピンLFQFP (PLQP0064KB-C)		—	—	2.29		
	64ピンLQFP (PLQP0064GA-A)		—	—	2.29		
	48ピンLFQFP (PLQP0048KB-B)		—	—	2.78		
	48ピンHWQFN (PWQN0048KC-A)		—	—	0.21 (注1)		
	32ピンLQFP (PLQP0032GB-A)		—	—	2.78		
	32ピンHWQFN (PWQN0032KE-A)		—	—	0.23 (注1)		

注. 数値は4層の実装ボードを想定した参考値です。熱抵抗は実装ボードの層数やサイズなどの環境に依存しますので、環境の詳細については、JEDEC規格を参照してください。

注1. exposed die padにVSSを接続したときの値です。

2.4 標準 I/O 端子出力特性

表 2.22 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.05	—	V	I _{OH} = -0.5mA
			—	VCC - 0.09	—		I _{OH} = -1.0mA
			—	VCC - 0.20	—		I _{OH} = -2.0mA
			—	VCC - 0.49	—		I _{OH} = -4.0mA

表 2.23 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.05	—		I _{OH} = -1.0mA
			—	VCC - 0.10	—		I _{OH} = -2.0mA
			—	VCC - 0.22	—		I _{OH} = -4.0mA

表 2.24 標準 I/O 端子 V_{OH} 電圧特性 (参考値)条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
High レベル出力 電圧	全出力端子	V _{OH}	—	VCC - 0.02	—	V	I _{OH} = -0.5mA
			—	VCC - 0.04	—		I _{OH} = -1.0mA
			—	VCC - 0.08	—		I _{OH} = -2.0mA
			—	VCC - 0.15	—		I _{OH} = -4.0mA

表 2.25 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 2.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.02	—	V	I _{OL} = 0.5mA
			—	0.04	—		I _{OL} = 1.0mA
			—	0.08	—		I _{OL} = 2.0mA
			—	0.17	—		I _{OL} = 4.0mA
			—	0.43	—		I _{OL} = 8.0mA

表 2.26 標準 I/O 端子 V_{OL} 電圧特性 (参考値)条件 : VCC = AVCC0 = 3.3V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Low レベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.02	—		I _{OL} = 1.0mA
			—	0.04	—		I _{OL} = 2.0mA
			—	0.08	—		I _{OL} = 4.0mA
			—	0.17	—		I _{OL} = 8.0mA

表2.27 標準I/O端子VOL電圧特性(参考値)

条件 : VCC = AVCC0 = 5.0V, VSS = AVSS0 = 0V, T_a = 25°C

項目		記号	min	typ	max	単位	測定条件
Lowレベル出力 電圧	全出力端子	V _{OL}	—	0.01	—	V	I _{OL} = 0.5mA
			—	0.01	—		I _{OL} = 1.0mA
			—	0.03	—		I _{OL} = 2.0mA
			—	0.06	—		I _{OL} = 4.0mA
			—	0.12	—		I _{OL} = 8.0mA

2.5 AC 特性

2.5.1 クロックタイミング

表 2.28 動作周波数 (高速動作モード)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位
最大動作周波数 (注4)	システムクロック (ICLK)	f	—	—	48	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	48	
	周辺モジュールクロック (PCLKB)		—	—	32	
	周辺モジュールクロック (PCLKD) (注3)		—	—	48	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 1MHz です。

注4. 最高動作周波数には、HOCO の誤差、PLL ジッタは含んでいません。「表 2.35 HOCO クロックタイミング (ROM 容量: 128K バイト以上の製品)」、「表 2.36 HOCO クロックタイミング (ROM 容量: 64K バイト以上の製品)」を参照してください。

表 2.29 動作周波数 (中速動作モード)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位
最大動作周波数 (注4)	システムクロック (ICLK)	f	—	—	24	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	24	
	周辺モジュールクロック (PCLKB)		—	—	24	
	周辺モジュールクロック (PCLKD) (注3)		—	—	24	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/D コンバータ使用時の PCLKD の下限周波数は 1MHz です。

注4. 最高動作周波数には、HOCO の誤差、PLL ジッタは含んでいません。「表 2.35 HOCO クロックタイミング (ROM 容量: 128K バイト以上の製品)」、「表 2.36 HOCO クロックタイミング (ROM 容量: 64K バイト以上の製品)」を参照してください。

表 2.30 動作周波数 (中速動作モード2)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位
最大動作周波数	システムクロック (ICLK)	f	—	—	1	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKD) (注3)		—	—	1	

注1. フラッシュメモリ P/E 時、FCLK は 1MHz です。

注2. FCLK の周波数精度は $\pm 3.5\%$ である必要があります。

注3. A/D コンバータ使用時の PCLKD の周波数は 1MHz です。

表2.31 動作周波数(低速動作モード)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位
最大動作周波数	システムクロック (ICLK)	—	—	32.768	kHz
	FlashIFクロック (FCLK) (注1)	—	—	32.768	
	周辺モジュールクロック (PCLKB)	—	—	32.768	
	周辺モジュールクロック (PCLKD) (注2)	—	—	32.768	

注1. フラッシュメモリのP/Eはできません。

注2. A/Dコンバータは使用できません。

表2.32 EXTALクロックタイミング

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図2.14
EXTAL外部クロック入力Highパルス幅	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力Lowパルス幅	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間(注1)	t_{XWT}	0.5	—	—	μs	

注1. メインクロック発振器停止ビット(MOSCCR.MOSTP)を“0”(動作)にしてから、使用できるまでの時間です。

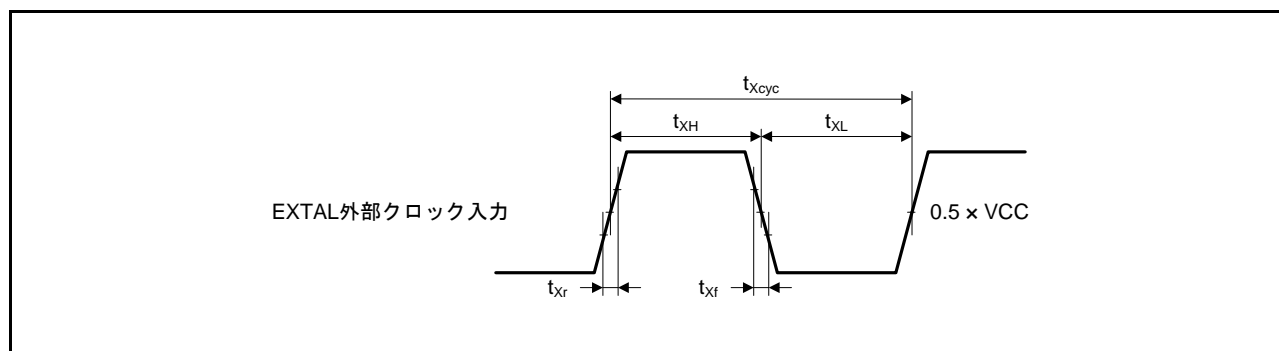


図2.14 EXTAL外部クロック入力タイミング

表2.33 メインクロックタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
メインクロック発振器発振周波数	f _{MAIN}	1	—	20	MHz	
メインクロック発振安定時間(水晶振動子)(注1)	t _{MAINOSC}	—	3	—	ms	図2.15
メインクロック発振安定時間(セラミック共振子)(注1)	t _{MAINOSC}	—	50	—	μs	

注1. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。
 MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

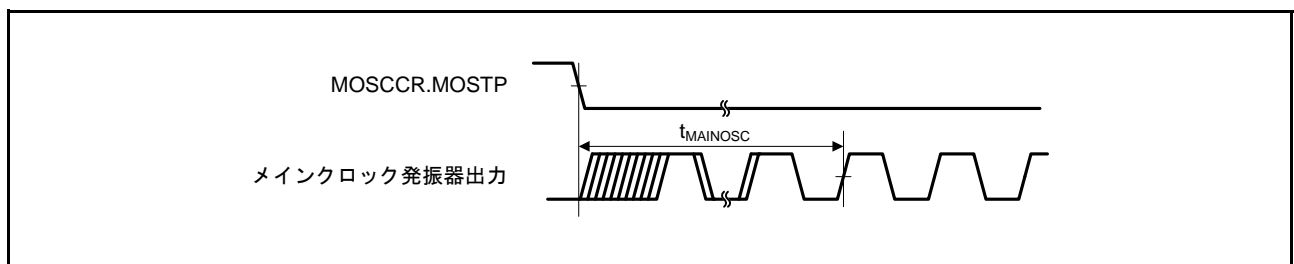


図 2.15 メインクロック発振開始タイミング

表2.34 LOCO, IWDT専用低速クロックタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
LOCOクロック発振周波数	f _{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振周波数誤差	Δf _{LOCO}	—	—	±14	%	
LOCOクロック発振安定時間	t _{LOCO}	—	—	0.5	μs	図2.16
IWDT専用クロック発振周波数	f _{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振周波数誤差	Δf _{ILOCO}	—	—	±15	%	
IWDT専用クロック発振安定時間	t _{ILOCO}	—	—	80	μs	図2.17

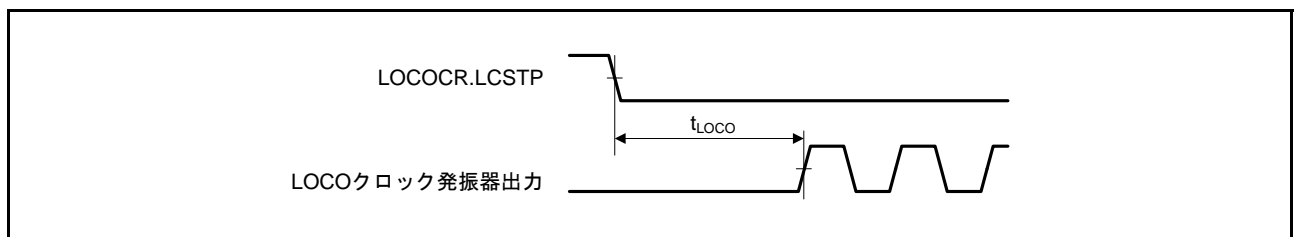


図 2.16 LOCO クロック発振開始タイミング

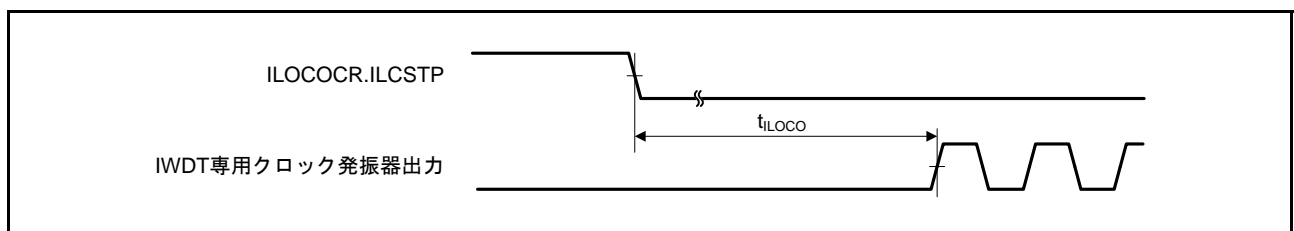


図 2.17 IWDT 専用クロック発振開始タイミング

表2.35 HOCOクロックタイミング (ROM容量 : 128Kバイト以上の製品)
 条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
HOCO発振周波数 (注1)	f_{HOCO}	23.76	24	24.24	MHz	$T_a = -40 \sim +105^\circ C$
		31.68	32	32.32		
		47.52	48	48.48		
HOCO発振周波数誤差 (注1)	Δf_{HOCO}	—	—	± 1.0	%	$T_a = -40 \sim +105^\circ C$
HOCOクロック発振安定時間	t_{HOCO}	—	—	4.95	μs	図2.19

注1. 出荷テスト時の精度です。

表2.36 HOCOクロックタイミング (ROM容量 : 64Kバイト以上の製品)
 条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件		
HOCO発振周波数 (注1)	f_{HOCO}	23.64	24	24.36	MHz	$T_a = -40 \sim -20^\circ C$		
		23.76		24.24		$T_a = -20 \sim +85^\circ C$		
		23.52		24.48		$T_a = +85 \sim +105^\circ C$		
	f_{HOCO}	31.52	32	32.48	MHz	$T_a = -40 \sim -20^\circ C$		
						31.68	32.32	$T_a = -20 \sim +85^\circ C$
						31.36	32.64	$T_a = +85 \sim +105^\circ C$
	f_{HOCO}	47.28	48	48.72	MHz	$T_a = -40 \sim -20^\circ C$		
						47.52	48.48	$T_a = -20 \sim +85^\circ C$
						47.04	48.96	$T_a = +85 \sim +105^\circ C$
HOCO発振周波数誤差 (注1)	Δf_{HOCO}	—	—	± 1.5	%	$T_a = -40 \sim -20^\circ C$		
		—	—	± 1.0		$T_a = -20 \sim +85^\circ C$		
		—	—	± 2.0		$T_a = +85 \sim +105^\circ C$		
HOCOクロック発振安定時間	t_{HOCO}	—	—	4.95	μs	図2.19		

注1. 出荷テスト時の精度です。

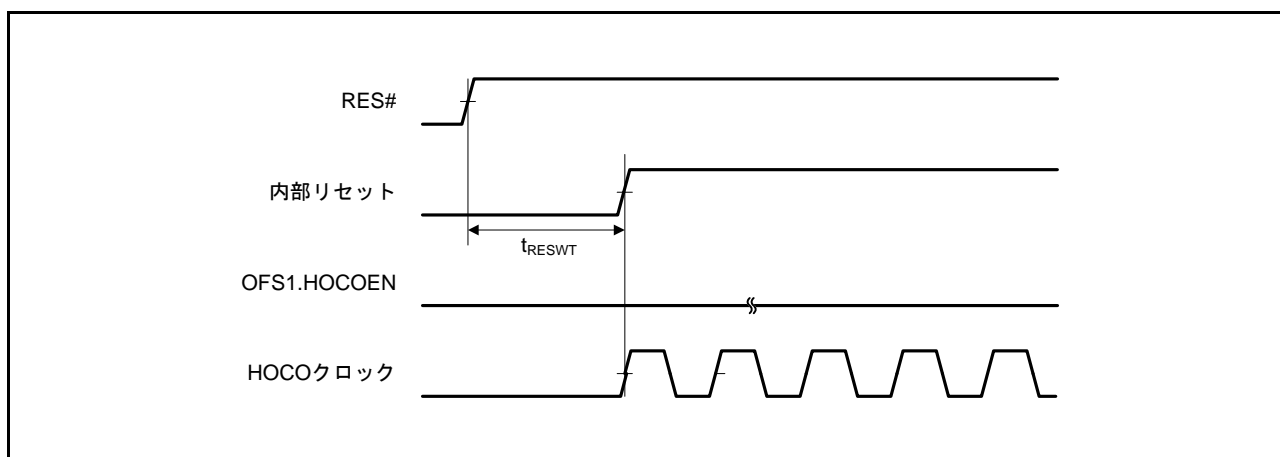


図 2.18 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット "0" 設定時のリセット解除後)

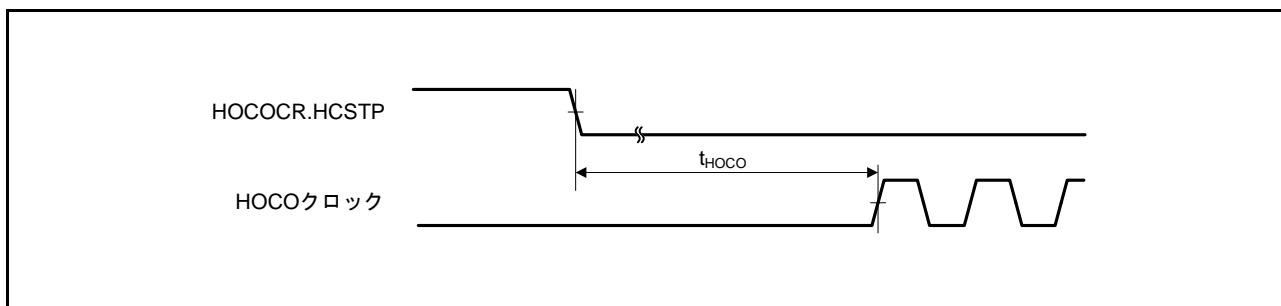


図 2.19 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

表 2.37 PLL クロックタイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
PLL入力周波数	f_{PLLIN}	4	—	12	MHz	
PLLクロック発振周波数	f_{PLL}	24	—	48	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	81.4	μs	図 2.20
PLL自励発振周波数	f_{PLLFR}	—	9	—	MHz	

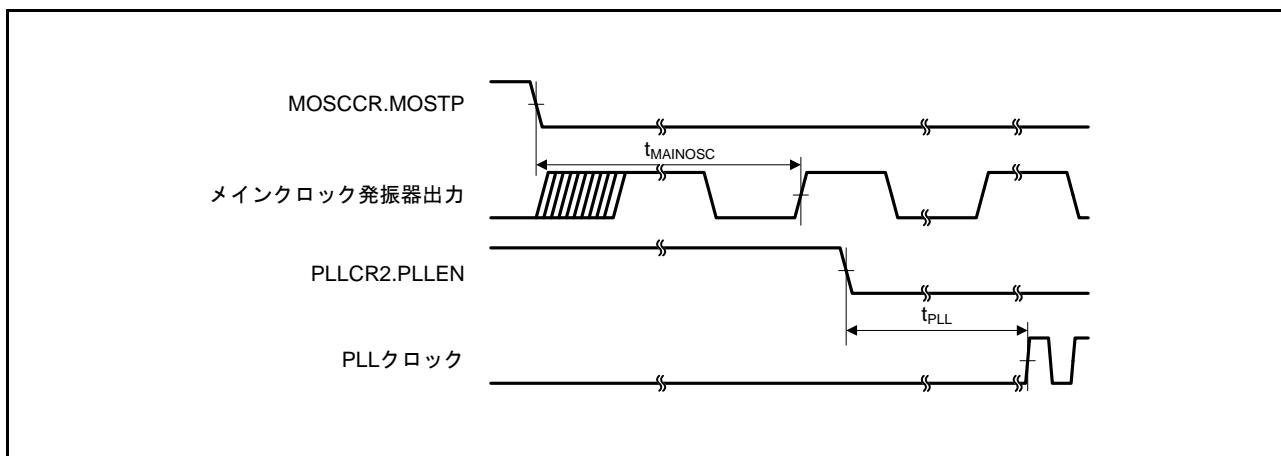


図 2.20 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

表2.38 サブクロックタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
サブクロック発振器発振周波数(注2)	f _{SUB}	—	32.768	—	kHz	
サブクロック発振安定時間(注1)	t _{SUBOSC}	—	0.5	—	s	図2.21

注1. 32.768kHzの発振子を使用した参考値です。

SOSCCR.SOSTPビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定時間として発振子メーカーが推奨する安定時間以上の時間が経過した後、サブクロックの使用を開始してください。

注2. 32.768kHzのみ使用可能です。

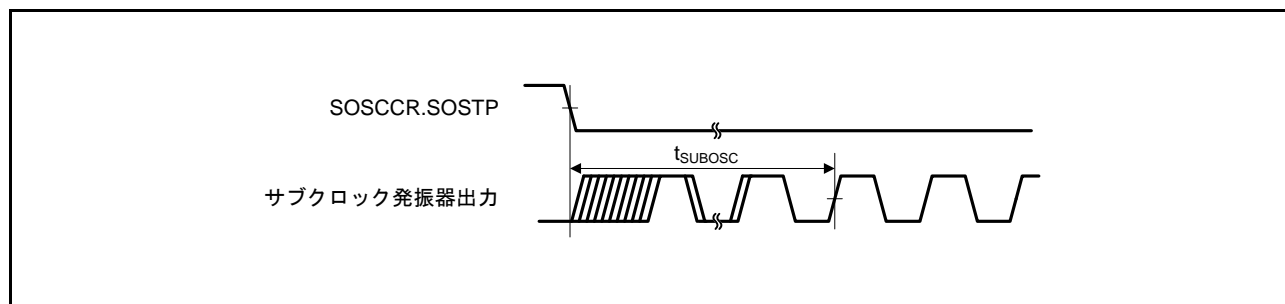


図 2.21 サブクロック発振開始タイミング

2.5.2 リセットタイミング

表2.39 リセットタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t _{RESWP}	10.5	—	—	ms	図2.22
	上記以外	t _{RESW}	30	—	—	μs	図2.23
RES#解除後待機時間(電源投入時)	通常起動時(注1)	t _{RESWT}	—	8.5	—	ms	図2.22
	起動時間短縮時(注2)	t _{RESWT}	—	850	—	μs	
RES#解除後待機時間(電源立ち上がった状態)	LVD0無効時(注3)	t _{RESWT}	—	120	—	μs	図2.23
	LVD0有効時(注4)	t _{RESWT}	—	850	—	μs	
内部リセット時間(独立ウォッチドックタイマリセット、ソフトウェアリセット)	LVD0無効時(注3)	t _{RESWT2}	—	190	—	μs	
	LVD0有効時(注4)	t _{RESWT2}	—	890	—	μs	

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. OFS1.LVDAS = 1bを設定した場合です。

注4. OFS1.LVDAS = 0bを設定した場合です。

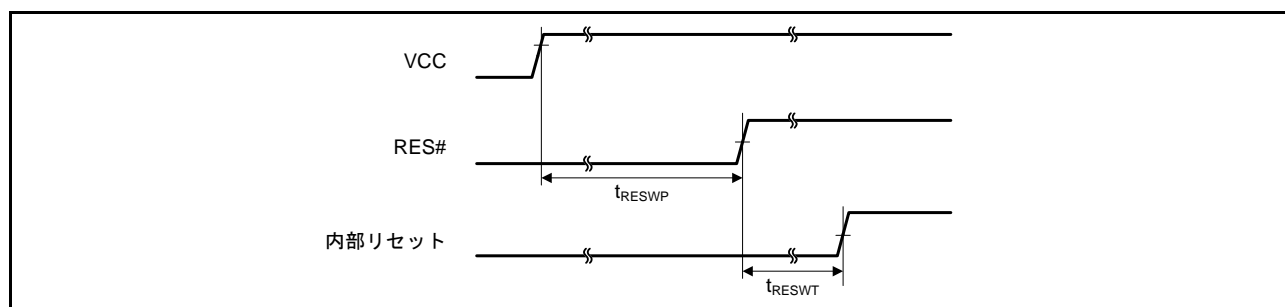


図 2.22 電源投入時リセット入力タイミング

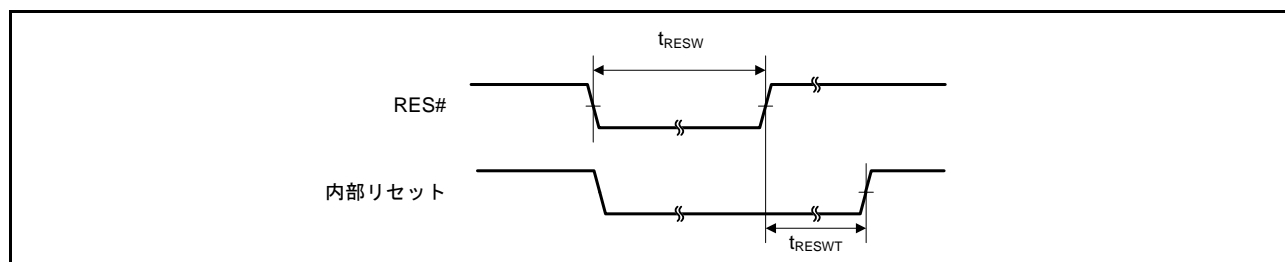


図 2.23 リセット入力タイミング (1)

2.5.3 低消費電力状態からの復帰タイミング

表2.40 低消費電力状態からの復帰タイミング(1)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max		単位	測定条件
							t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速動作モード/中速動作モード	メインロック発振器動作	メインロック発振器動作	t _{SBYMC}	—	—	$t_{LOCO} + (16 + \text{MOSCWTCR 設定のサイクル数}) / f_{LOCO} + 2 / f_{MOSC} + 4 / f_{ICLK}$	$4 / f_{LOCO} + 11 / f_{ICLK} + 3 / f_{PCLKB} + 3n / f_{ソースクロック}$	μs	図2.24
			メインロック発振器、PLL回路動作	t _{SBYPC}	$t_{LOCO} + (288 + \text{MOSCWTCR 設定のサイクル数}) / f_{LOCO} + 2 / f_{PLL} + 4 / f_{ICLK}$					
		サブクロック発振器動作	t _{SBYSC}	$3 / f_{SOSC} + 1 / f_{ICLK}$						
		HOCOクロック動作	t _{SBYHO}	$t_{LOCO} + 16 / f_{LOCO} + 2 / f_{HOCO} + 4 / f_{ICLK}$						
		低速オンチップオシレータ動作	t _{SBYLO}	$t_{LOCO} + 1 / f_{ICLK}$						

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

表2.41 低消費電力状態からの復帰タイミング(2)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目				記号	min	typ	max		単位	測定条件
							t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)		
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速動作モード2/低速動作モード	メインロック発振器動作	メインロック発振器動作	t _{SBYMC}	—	—	$t_{LOCO} + (16 + \text{MOSCWTCR 設定のサイクル数}) / f_{LOCO} + 2 / f_{MOSC} + 4 / f_{ICLK}$	$9 / f_{ICLK} + 3 / f_{PCLKB} + 3n / f_{ソースクロック}$	μs	図2.24
			メインロック発振器、PLL回路動作	t _{SBYPC}	$t_{LOCO} + (288 + \text{MOSCWTCR 設定のサイクル数}) / f_{LOCO} + 2 / f_{PLL} + 4 / f_{ICLK}$					
		サブクロック発振器動作	t _{SBYSC}	$3 / f_{SOSC} + 1 / f_{ICLK}$						
		HOCOクロック動作	t _{SBYHO}	$t_{LOCO} + 16 / f_{LOCO} + 2 / f_{HOCO} + 4 / f_{ICLK}$						
		低速オンチップオシレータ動作	t _{SBYLO}	$t_{LOCO} + 1 / f_{ICLK}$						

- 注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SBYOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SBYSEQ})の加算値で決まります。
- 注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SBYOSCWT}の内、最も大きな値が選択されます。
- 注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

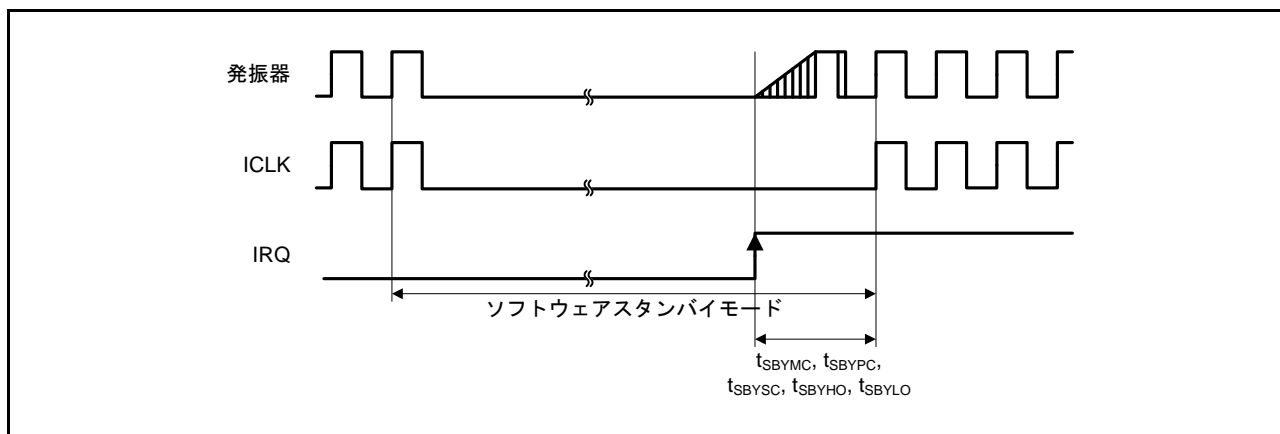


図 2.24 ソフトウェアスタンバイモード復帰タイミング

表 2.42 低消費電力状態からの復帰タイミング(3)

条件 : 1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max		単位	測定条件	
				t _{SBYOSCWT} (注2)	t _{SBYSEQ} (注3)			
ソフトウェアスタンバイモードからスヌーズモードへの遷移時間 (注1)	メインロック発振器動作	メインロック発振器動作	—	—	$t_{LOCO} + (16 + \text{MOSCWTCR 設定のサイクル数}) / f_{LOCO} + 2 / f_{MOSC} + 4 / f_{ICLK}$	$3 / f_{ICLK} + 2n / f_{ソースクロック}$	μs	図 2.25
					メインロック発振器、PLL回路動作			
	サブクロック発振器動作	$3 / f_{SOSC} + 1 / f_{ICLK}$						
	HOCOクロック動作	$t_{LOCO} + 16 / f_{LOCO} + 2 / f_{HOCO} + 4 / f_{ICLK}$						
	低速オンチップオシレータ動作	$t_{LOCO} + 1 / f_{ICLK}$						

注1. ソフトウェアスタンバイモード解除後復帰時間は、発振安定待機時間(t_{SNZOSCWT})とソフトウェアスタンバイモード解除シーケンサ動作時間(t_{SNZSEQ})の加算値で決まります。

注2. ソフトウェアスタンバイモード移行前に複数の発振器が動作している場合、発振安定待機時間はt_{SNZOSCWT}の内、最も大きな値が選択されます。

注3. nは内部クロックの分周設定の内、最も大きな値が選択されます。

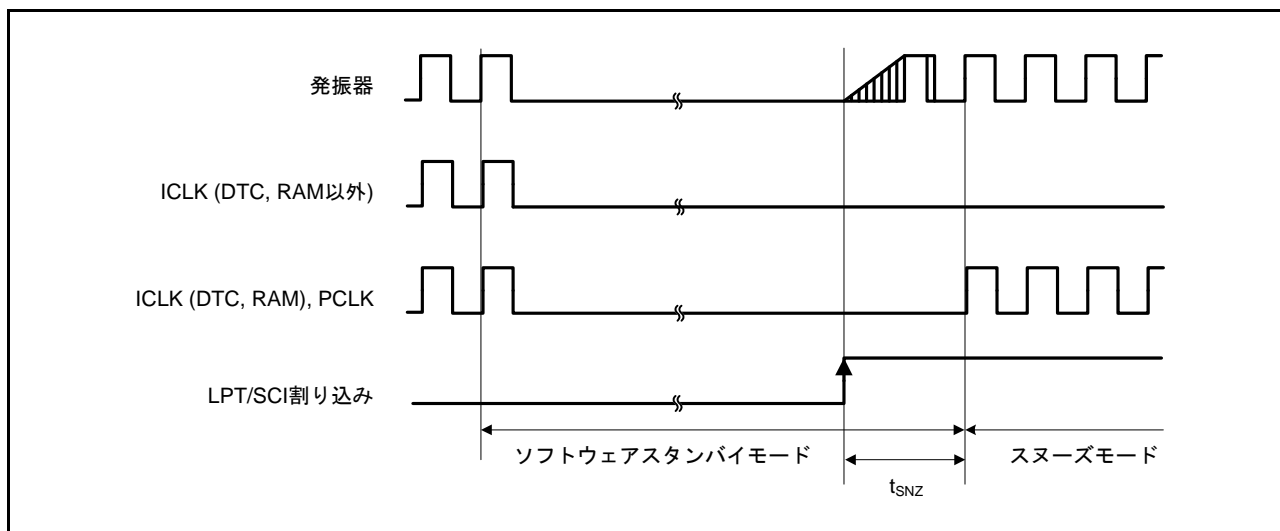


図 2.25 ソフトウェアスタンバイモードからスリープモードへの遷移タイミング

表 2.43 低消費電力状態からの復帰タイミング(4)

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max (注2)	単位	測定条件
ディープスリープモード 解除後復帰時間(注1)	高速動作モード	$t_{DSL P}$	—	—	$4 / f_{LOCO} + 10 / f_{I CLK} + 3n / f_{ソースクロック}$	μs	図 2.26
	中速動作モード				$4 / f_{LOCO} + 10 / f_{I CLK} + 3n / f_{ソースクロック}$		
	中速動作モード2				$8 / f_{I CLK} + 3n / f_{ソースクロック}$		
	低速動作モード				$8 / f_{I CLK} + 3n / f_{ソースクロック}$		

注1. ディープスリープモードでは発振器は発振を継続します。

注2. nは内部クロックの分周設定のうち最も大きな値が選択されます。

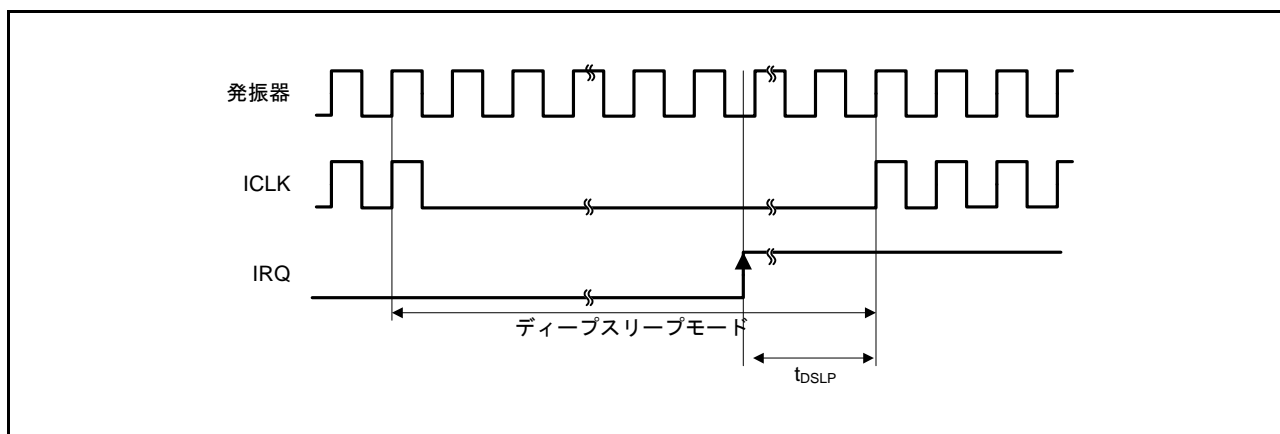


図 2.26 ディープスリープモード解除タイミング

表2.44 動作モード遷移時間

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	24MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	μs
	中速動作モード2	1MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	低速動作モード	32.768kHz	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	—	
中速動作モード	高速動作モード	24MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	中速動作モード2	1MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	低速動作モード	32.768kHz	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	—	
中速動作モード2	高速動作モード	1MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	中速動作モード	1MHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	低速動作モード	32.768kHz	—	$3 / f_{ICLK} + 2 / f_{FCLK}$	—	
低速動作モード	高速動作モード	32.768kHz	—	$5 / f_{ICLK} + 3 / f_{FCLK}$	—	
	中速動作モード	32.768kHz	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	—	
	中速動作モード2	32.768kHz	—	$3 / f_{ICLK} + 3 / f_{FCLK}$	—	

2.5.4 制御信号タイミング

表2.45 制御信号タイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t _{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	t _{NMICK} × 3 ≤ 200ns
		t _{NMICK} × 3.5 (注2)	—	—			t _{NMICK} × 3 > 200ns
IRQパルス幅	t _{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	t _{Pcyc} × 2 ≤ 200ns
		t _{Pcyc} × 2 (注1)	—	—			t _{Pcyc} × 2 > 200ns
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	t _{IRQCK} × 3 ≤ 200ns
		t _{IRQCK} × 3.5 (注3)	—	—			t _{IRQCK} × 3 > 200ns

注. ソフトウェアスタンバイモード時は最小200nsです。

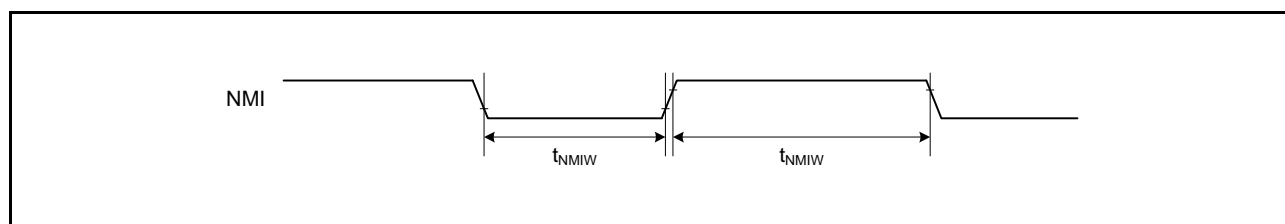
注1. t_{Pcyc}はPCLKBの周期を指します。注2. t_{NMICK}はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK}はIRQiデジタルフィルタサンプリングクロック(i = 0~7)の周期を指します。

図 2.27 NMI 割り込み入力タイミング

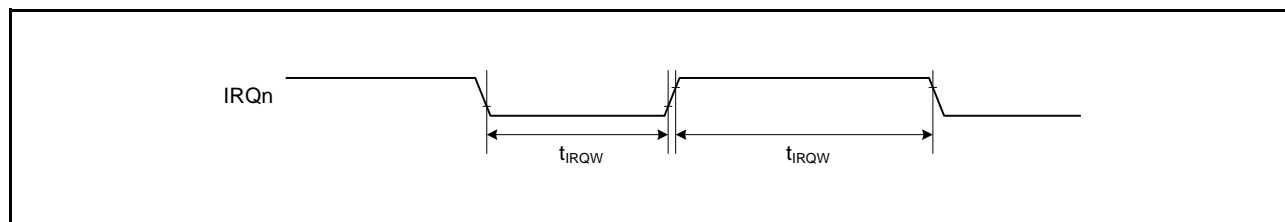


図 2.28 IRQ 割り込み入力タイミング

2.5.5 内蔵周辺モジュールタイミング

2.5.5.1 I/Oポート

表2.46 I/Oポートタイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$ 出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図2.29

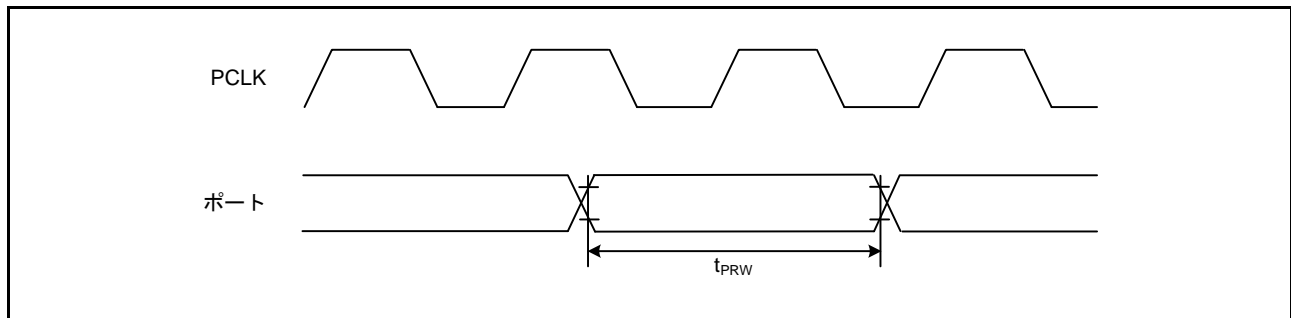
注1. t_{Pcyc} : PCLKの周期

図 2.29 I/Oポート入力タイミング

2.5.5.2 MTU2

表2.47 MTU2タイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$ 出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
MTU2	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	1.5	—	t_{Pcyc}	図2.30
		両エッジ指定		2.5	—		
	インプットキャプチャ入力 立ち上がり/立ち下がり時間	t_{TICr} t_{TICf}	—	0.1	$\mu s/V$		
MTU2	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} t_{TCKWL}	1.5	—	t_{Pcyc}	図2.31
		両エッジ指定		2.5	—		
		位相係数モード		2.5	—		
	タイマクロック立ち上がり/立ち下がり時間	t_{TCKr} t_{TCKf}	—	0.1	$\mu s/V$		

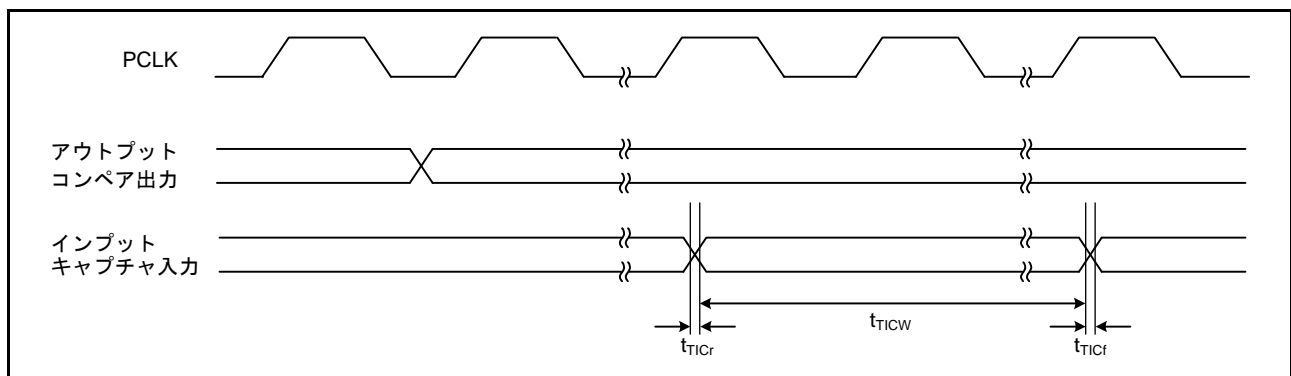
注1. t_{Pcyc} : PCLKの周期

図 2.30 MTU2 入出力タイミング

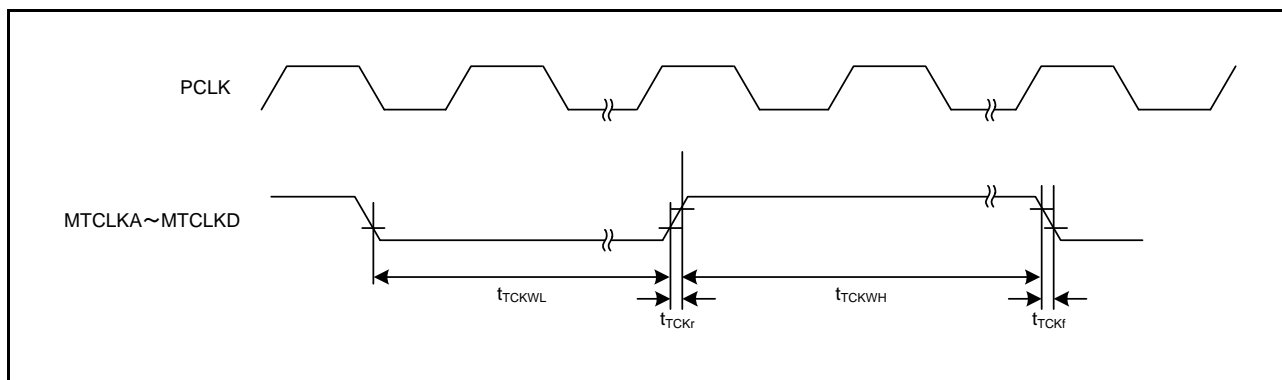


図 2.31 MTU2 クロック入力タイミング

2.5.5.3 POE2

表 2.48 POE2 タイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
POE2	POE# 入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 2.32	
	POE# 入力立ち上がり/立ち下がり時間	t_{POEr} t_{POEf}	—	0.1	$\mu s/V$		
	出力ディセーブル時間	POE# 端子の変化	t_{POEDI}	—	$5t_{Pcyc} + 0.24$	μs	図 2.33 立ち下がりエッジ検出時 (ICSRm.POE _n M[3:0] = 0000 (m = 1, 2; n = 0, 1, 2, 3, 8))
		出力端子の短絡	t_{POEDO}	—	$3t_{Pcyc} + 0.2$		図 2.34
		レジスタ設定	t_{POEDS}	—	$1t_{Pcyc} + 0.2$		図 2.35 レジスタアクセス時間は除く
	発振停止検出	t_{POEDOS}	—	21		図 2.36	

注 1. t_{Pcyc} : PCLKの周期

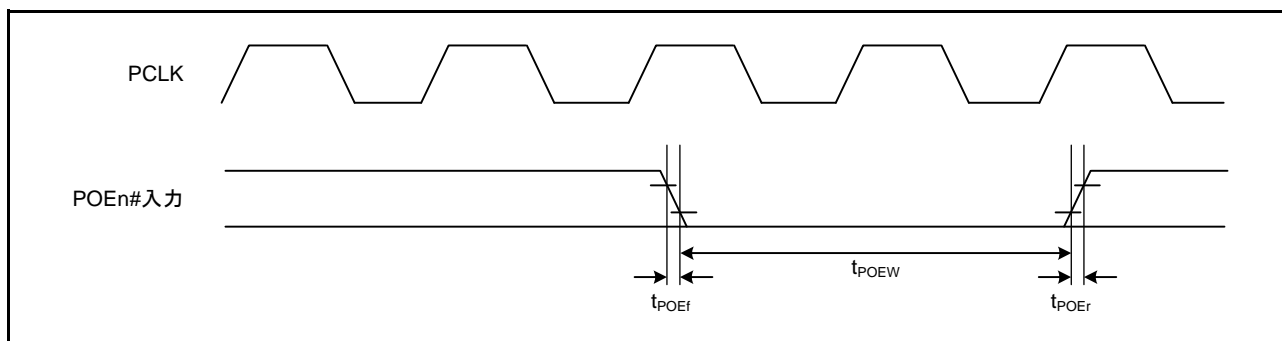


図 2.32 POE# 入力タイミング

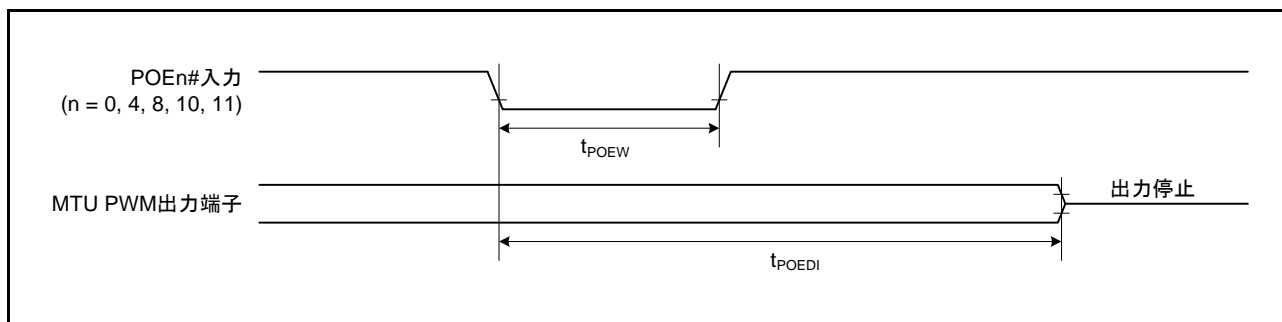


図 2.33 POE 出力ディセーブル時間 (POEn# 端子の変化)

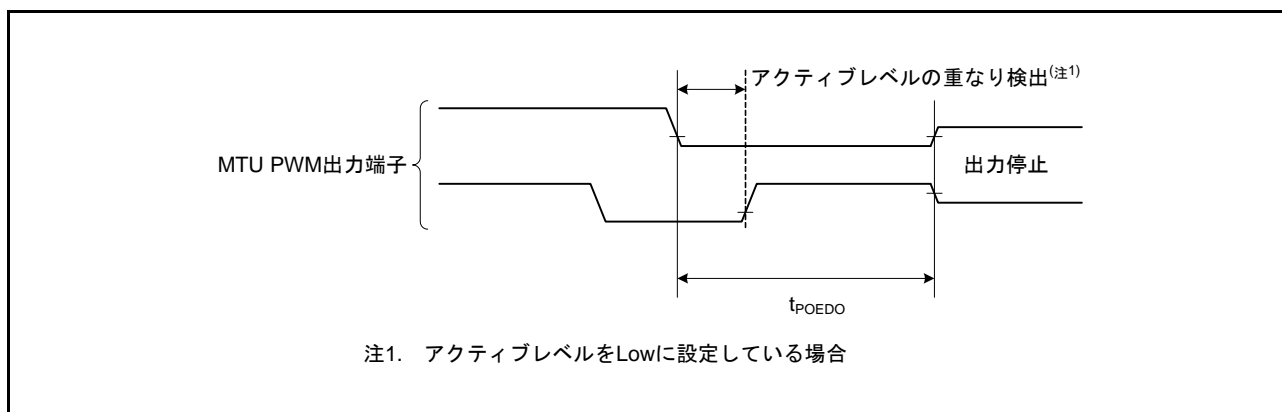


図 2.34 POE 出力ディセーブル時間 (出力端子の短絡)

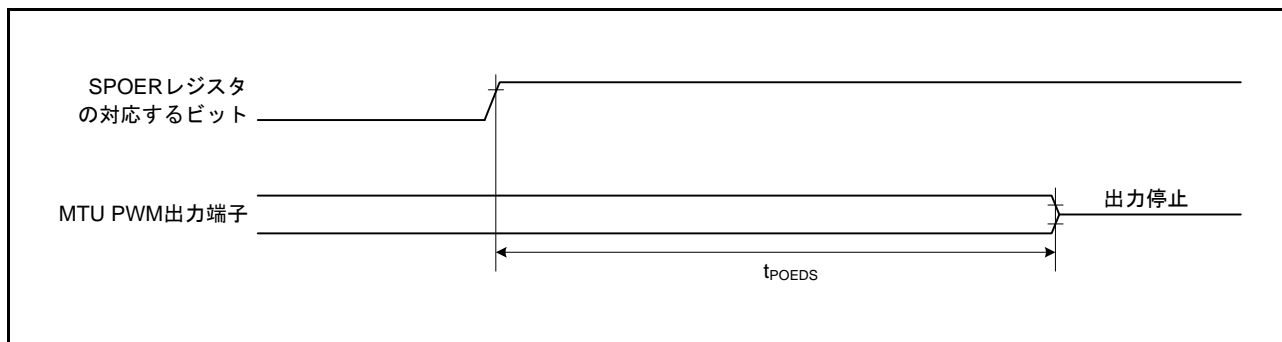


図 2.35 POE 出力ディセーブル時間 (レジスタ設定)

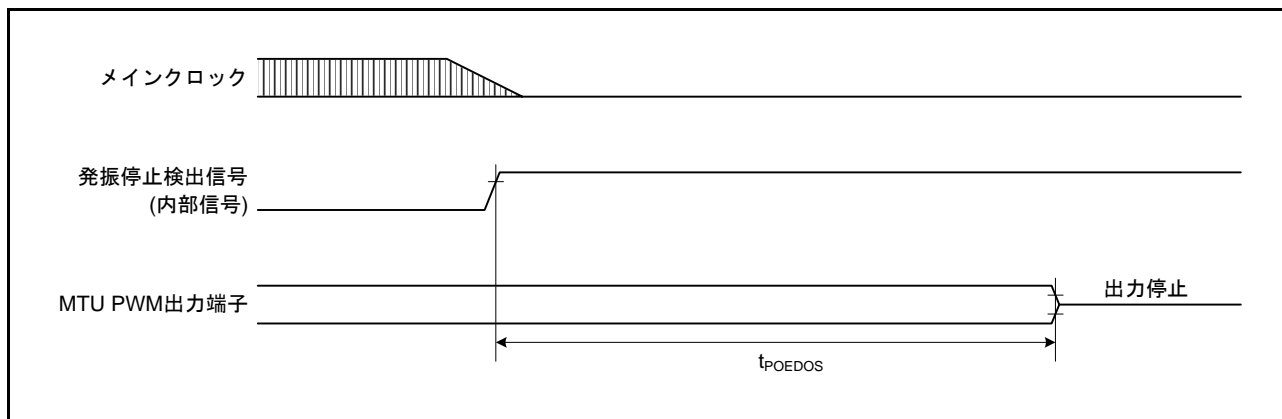


図 2.36 POE 出力ディセーブル時間 (発振停止検出)

2.5.5.4 TMR

表2.49 TMR タイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位 (注1)	測定条件	
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{Pcyc}	図2.37
		両エッジ指定	t_{TMCWL}	2.5	—		
タイマクロック立ち上がり/立ち下がり時間		t_{TMCr} t_{TMcf}	—	0.1	$\mu s/V$		

注1. t_{Pcyc} : PCLKの周期

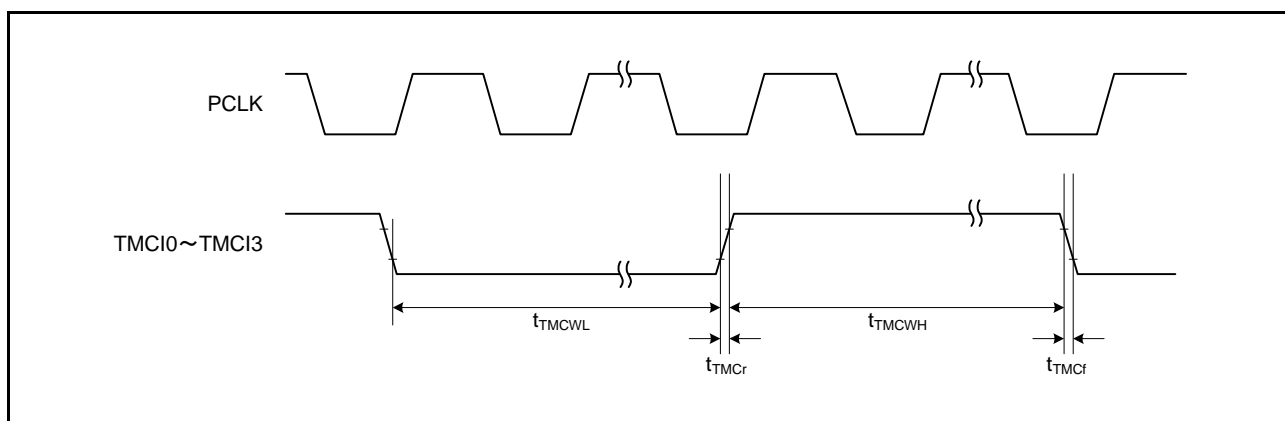


図 2.37 TMR クロック入力タイミング

2.5.5.5 SCI

表2.50 SCIタイミング

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

出力負荷条件 : $V_{OH} = 0.5 \times VCC$, $V_{OL} = 0.5 \times VCC$, $C = 30pF$

項目				記号	min	max	単位 (注1)	測定条件		
SCI (チャンネル 1,5)	入力クロックサイクル時間		調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図 2.38		
			クロック同期		6	—				
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}			
	入力クロック立ち上がり時間			t_{SCKr}	—	20	ns			
	入力クロック立ち下がり時間			t_{SCKf}	—	20	ns			
	出力クロック サイクル時間	調歩同期		t_{Scyc}	6	—	t_{Pcyc}	図 2.39		
		クロック同期	$2.4V \leq VCC \leq 5.5V$		4	—				
			$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$				8	—
					$PCLKB \leq 24MHz$				4	—
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}			
	出力クロック立ち上がり時間			t_{SCKr}	—	20	ns			
	出力クロック立ち下がり時間			t_{SCKf}	—	20	ns			
	送信データ遅延時間(マスタ)		クロック同期	t_{TXD}	—	40	ns			
	送信データ遅延時間(スレーブ)	クロック同期	2.7V以上		—	55	ns			
2.4V以上			—		60	ns				
		1.8V以上	—	100	ns					
受信データセットアップ時間 (マスタ)	クロック同期	2.7V以上	t_{RXS}	45	—	ns				
		2.4V以上		55	—	ns				
		1.8V以上		90	—	ns				
受信データセットアップ時間 (スレーブ)		クロック同期	t_{RXS}	40	—	ns				
受信データホールド時間		クロック同期	t_{RXH}	40	—	ns				
SCI (チャンネル 6,8,9,12)	入力クロックサイクル時間		調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図 2.38		
			クロック同期		6	—				
	入力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}			
	入力クロック立ち上がり時間			t_{SCKr}	—	20	ns			
	入力クロック立ち下がり時間			t_{SCKf}	—	20	ns			
	出力クロック サイクル時間	調歩同期		t_{Scyc}	16	—	t_{Pcyc}	図 2.39		
		クロック同期	$2.4V \leq VCC \leq 5.5V$		4	—				
			$1.8V \leq VCC < 2.4V$		$24MHz < PCLKB \leq 32MHz$				8	—
					$PCLKB \leq 24MHz$				4	—
	出力クロックパルス幅			t_{SCKW}	0.4	0.6	t_{Scyc}			
	出力クロック立ち上がり時間			t_{SCKr}	—	20	ns			
	出力クロック立ち下がり時間			t_{SCKf}	—	20	ns			
	送信データ遅延時間(マスタ)		クロック同期	t_{TXD}	—	40	ns			
	送信データ遅延時間(スレーブ)	クロック同期	2.7V以上		—	65	ns			
1.8V以上			—		100	ns				
受信データセットアップ時間 (マスタ)	クロック同期	2.7V以上	t_{RXS}	65	—	ns				
		1.8V以上		90	—	ns				
		受信データセットアップ時間 (スレーブ)		クロック同期	t_{RXS}	40	—		ns	
受信データホールド時間		クロック同期	t_{RXH}	40	—	ns				

注1. t_{Pcyc} : PCLKの周期

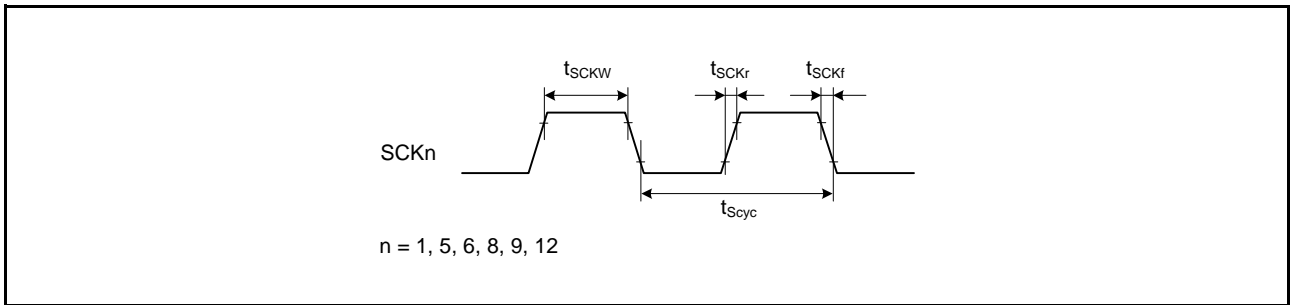


図 2.38 SCK クロック入力タイミング

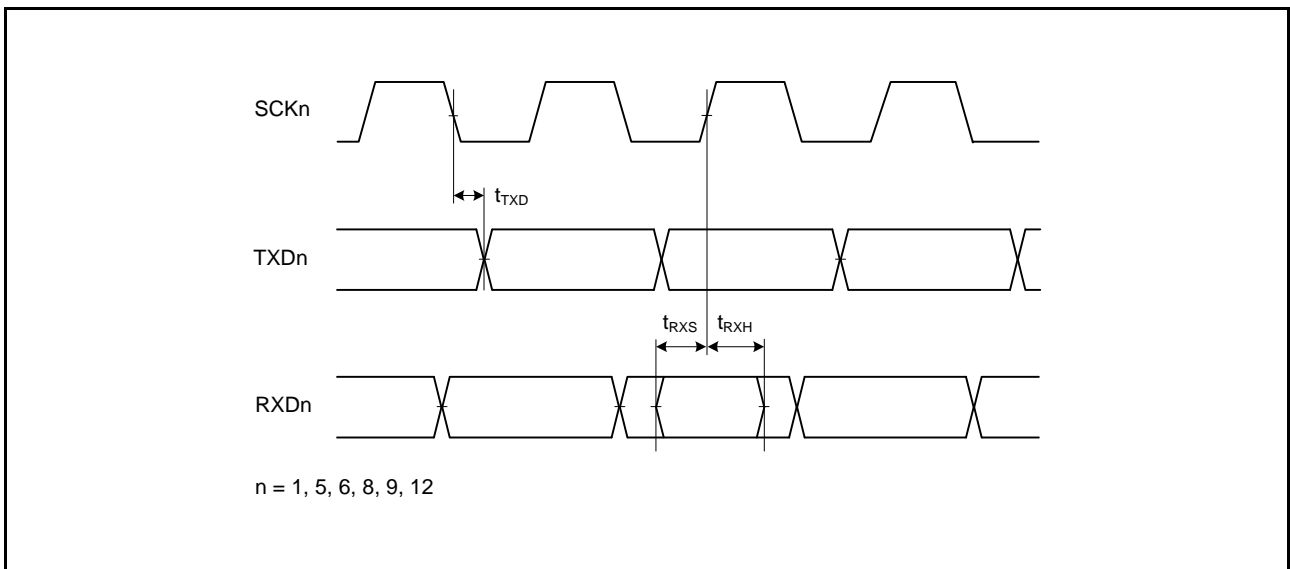


図 2.39 SCI 入出力タイミング/クロック同期式モード

表2.51 簡易I²Cタイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{sr}	—	1000	ns	図2.40
	SDA立ち下がり時間	t _{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注1)	—	400	pF	
簡易I ² C (ファストモード)	SDA立ち上がり時間	t _{sr}	—	300	ns	図2.40
	SDA立ち下がり時間	t _{sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{Pcyc}	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注1)	—	400	pF	

注. t_{Pcyc} : PCLKの周期

注1. C_bはバスラインの容量総計です。

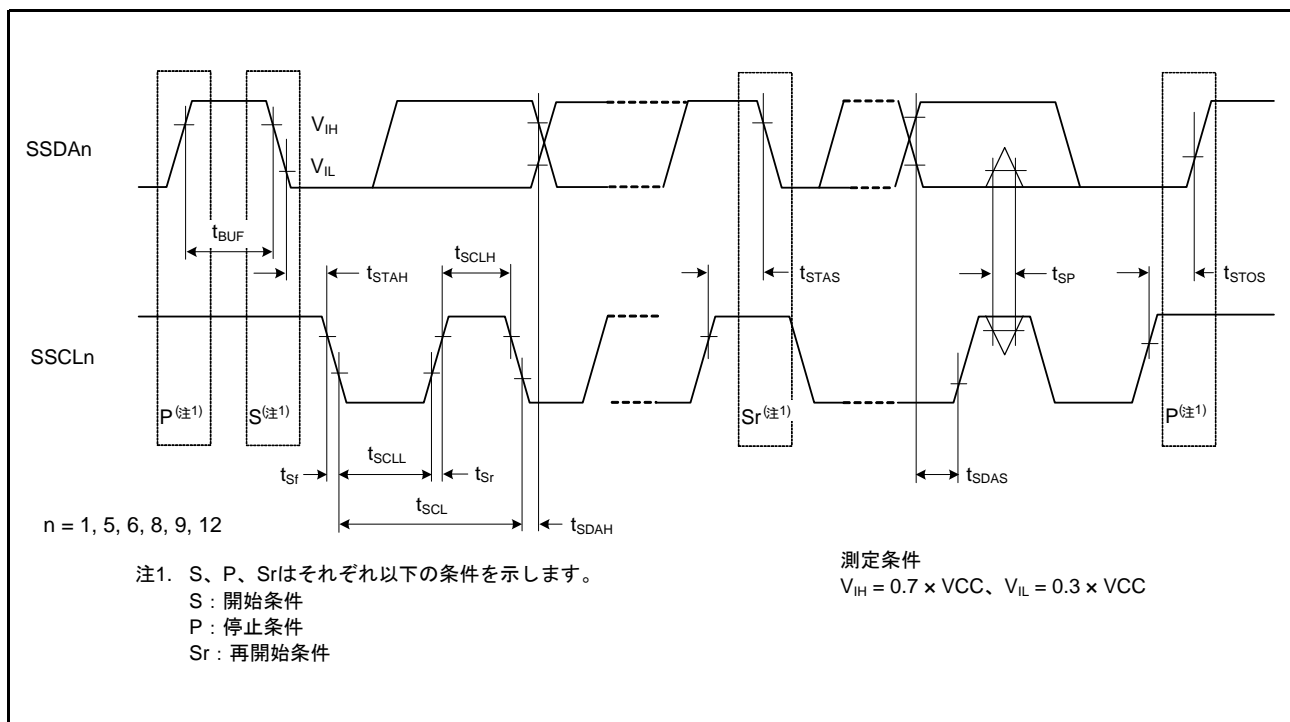


図2.40 簡易I²Cバスインタフェース入出力タイミング

表2.52 簡易SPIタイミング

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目		記号	min	max	単位 (注1)	測定条件		
簡易SPI	SCKクロック サイクル出力 (マスタ)	2.4V ≤ VCC ≤ 5.5V	t _{SPcyc}	4	65536	t _{Pcyc}	図2.41	
		1.8V ≤ VCC < 2.4V		24MHz < PCLKB ≤ 32MHz	8			65536
				PCLKB ≤ 24MHz	4			65536
	SCKクロックサイクル入力(スレーブ)			6	—	t _{Pcyc}		
	SCKクロック High レベルパルス幅		t _{SPCKWH}	0.4	0.6	t _{SPcyc}		
	SCKクロック Low レベルパルス幅		t _{SPCKWL}	0.4	0.6	t _{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間		t _{SPCKr} t _{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V 以上	t _{SU}	45	—	ns		図2.42、 図2.43
		2.4V 以上		55	—			
		1.8V 以上		80	—			
	データ入力セットアップ時間(スレーブ)			40	—			
	データ入力ホールド時間		t _H	40	—	ns		
	SSL入力セットアップ時間		t _{LEAD}	1	—	t _{SPcyc}		
	SSL入力ホールド時間		t _{LAG}	1	—	t _{SPcyc}		
データ出力遅延時間(マスタ)		t _{OD}	—	40	ns			
データ出力遅延時間(スレーブ)	2.7V 以上		—	65				
	1.8V 以上		—	100				
データ出力ホールド時間 (マスタ)	2.7V 以上	t _{OH}	-10	—	ns			
	1.8V 以上		-20	—				
データ出力ホールド時間(スレーブ)				-10		—		
データ立ち上がり/立ち下がり時間		t _{Dn} , t _{Df}	—	20	ns			
SSL入力立ち上がり/立ち下がり時間		t _{SSLr} , t _{SSLf}	—	20	ns			
スレーブアク セス時間	2.4V ≤ VCC ≤ 5.5V	t _{SA}	—	6	t _{Pcyc}	図2.44、 図2.45		
	1.8V ≤ VCC < 2.4V		24MHz < PCLKB ≤ 32MHz	—			7	
			PCLKB ≤ 24MHz	—			6	
スレーブ出力 開放時間	2.4V ≤ VCC ≤ 5.5V	t _{REL}	—	6	t _{Pcyc}			
	1.8V ≤ VCC < 2.4V		24MHz < PCLKB ≤ 32MHz	—		7		
			PCLKB ≤ 24MHz	—		6		

注1. t_{Pcyc} : PCLKの周期

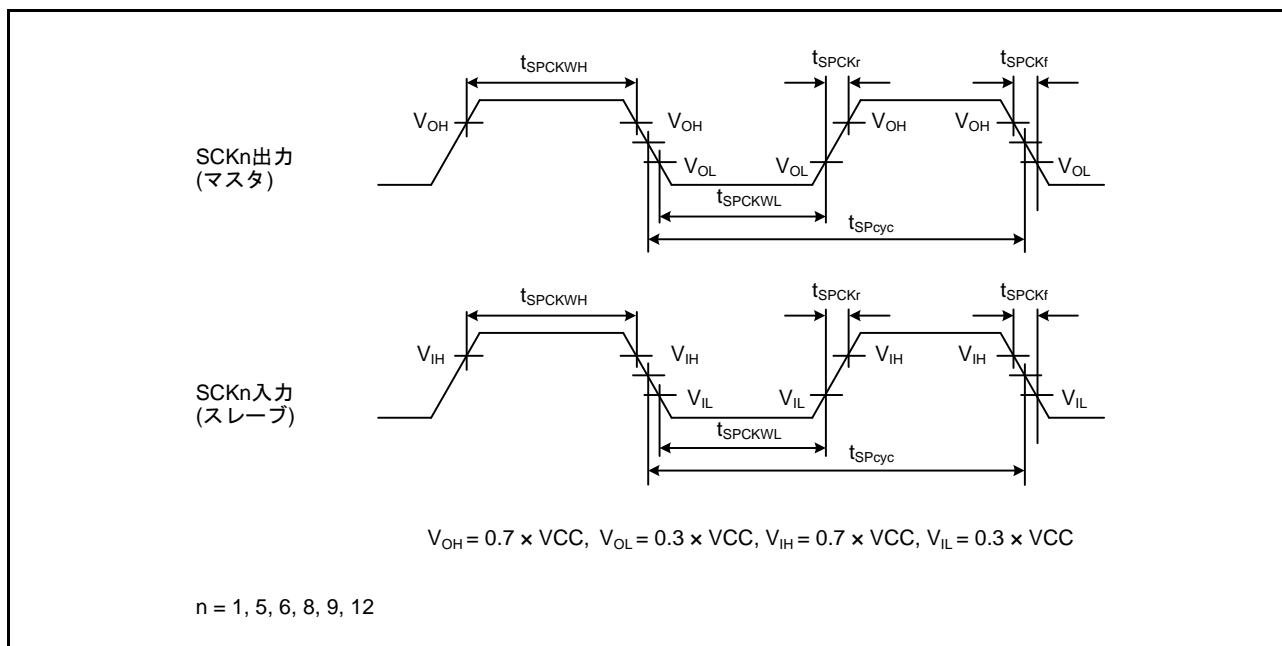


図 2.41 簡易 SPI クロックタイミング

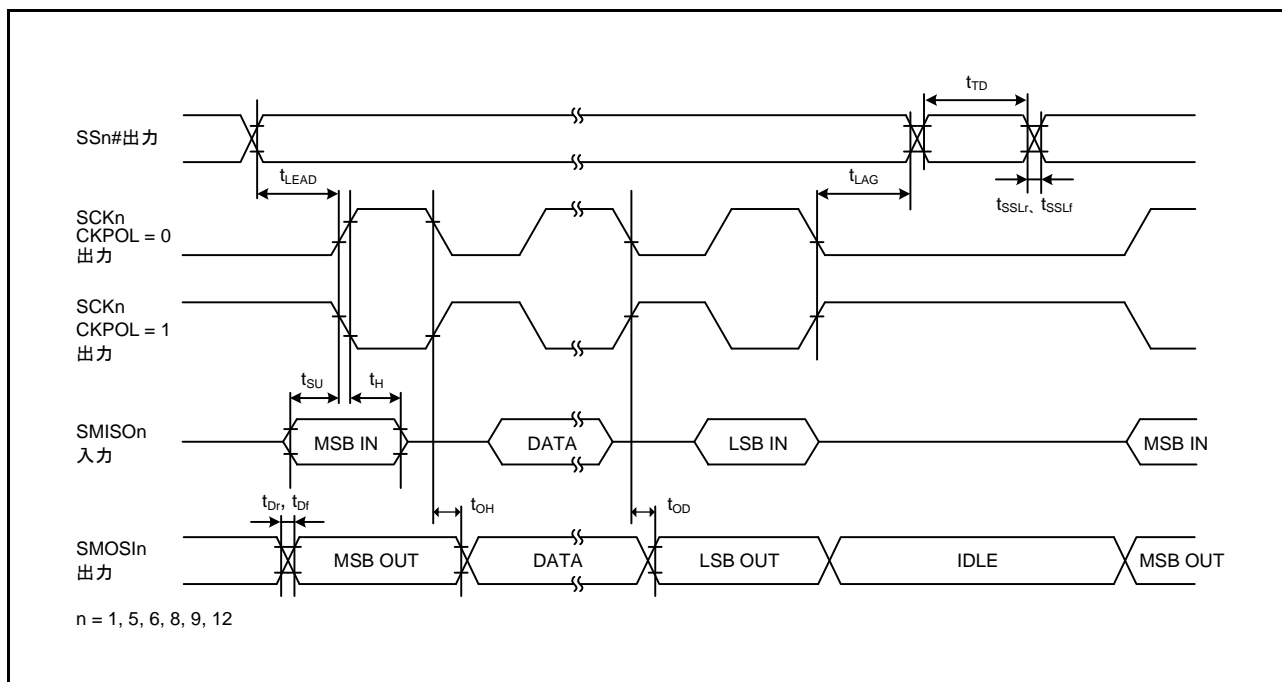


図 2.42 簡易 SPI クロックタイミング (マスタ、CKPH = 1)

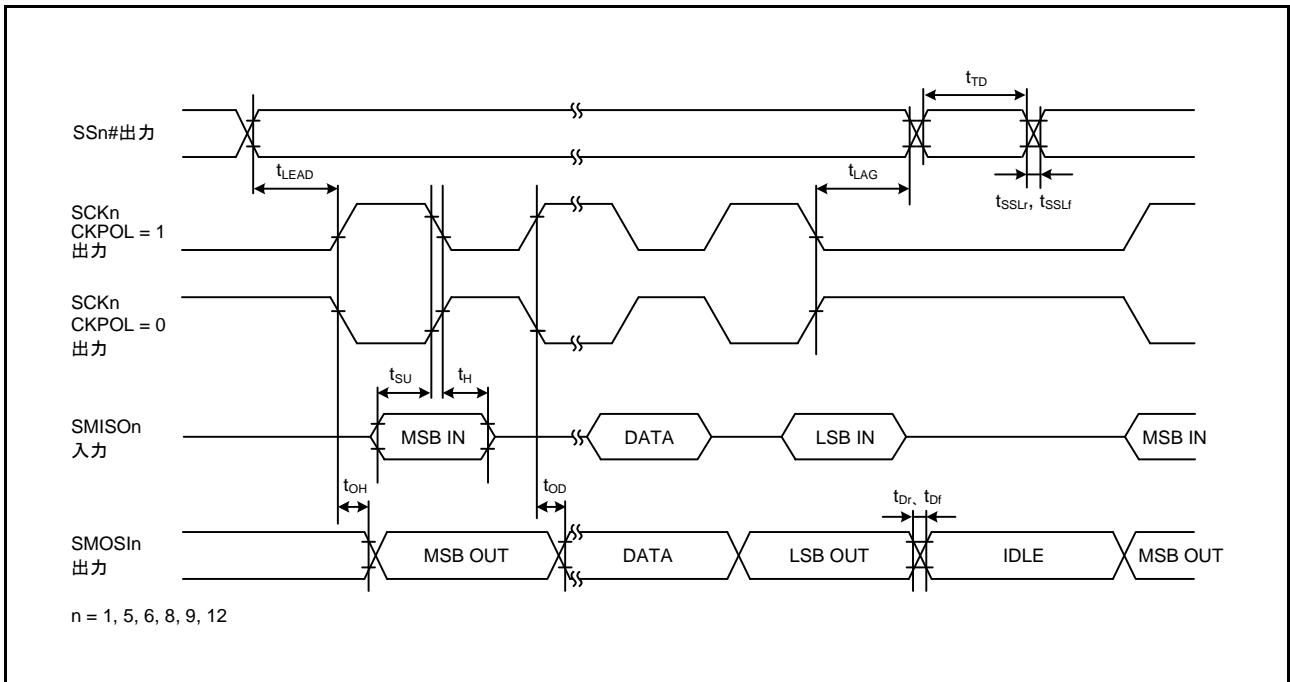


図 2.43 簡易 SPI クロックタイミング (マスタ、CKPH = 0)

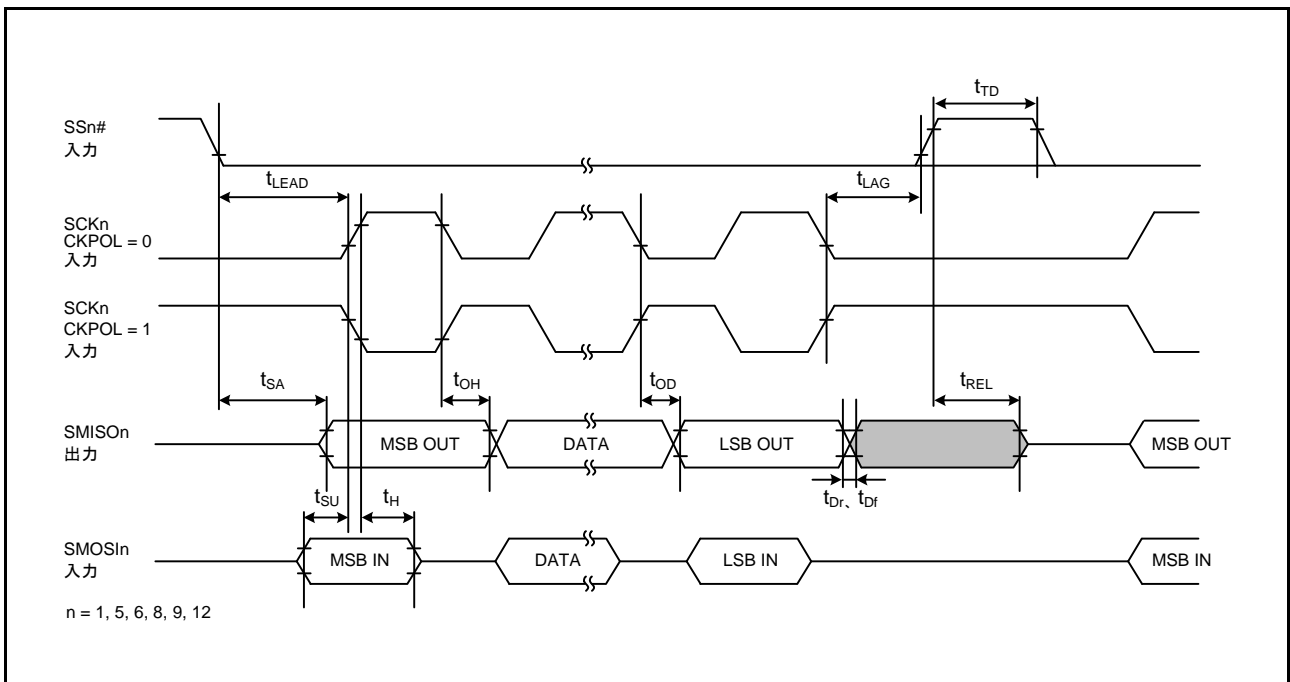


図 2.44 簡易 SPI クロックタイミング (スレーブ、CKPH = 1)

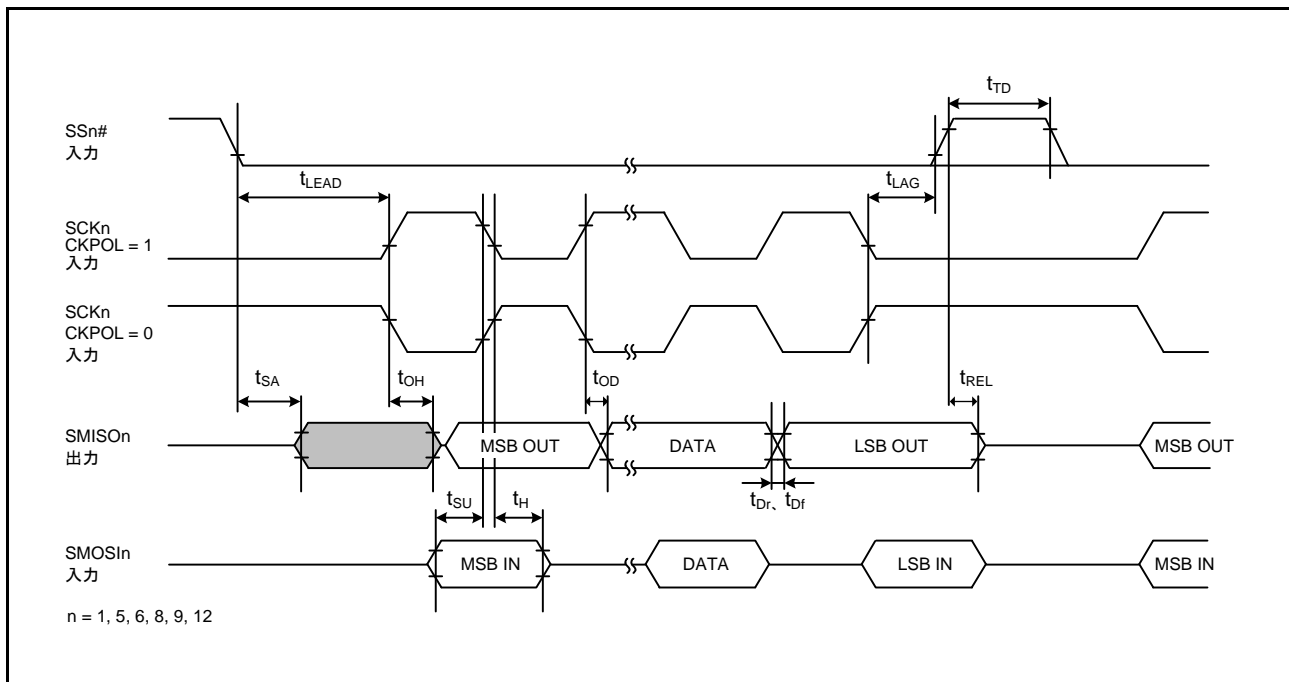


図 2.45 簡易 SPI クロックタイミング (スレーブ、CKPH = 0)

2.5.5.6 RIIC

表2.53 RIICタイミング

条件：2.7V ≤ VCC ≤ 5.5V, 2.7V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C出力負荷条件：V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, C = 30pF

項目	記号	min (注1)	max	単位	測定条件	
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 1300	—	ns	図2.46
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	1000	—	ns	
	停止条件セットアップ時間	t _{STOS}	1000	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t _{SCL}	6 (12) × t _{IICcyc} + 600	—	ns	図2.46
	SCL Highパルス幅	t _{SCLH}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL Lowパルス幅	t _{SCLL}	3 (6) × t _{IICcyc} + 300	—	ns	
	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	1 (4) × t _{IICcyc}	ns	
	SDAバスフリー時間	t _{BUF}	3 (6) × t _{IICcyc} + 300	—	ns	
	開始条件ホールド時間	t _{STAH}	t _{IICcyc} + 300	—	ns	
	再送開始条件セットアップ時間	t _{STAS}	300	—	ns	
	停止条件セットアップ時間	t _{STOS}	300	—	ns	
	データセットアップ時間	t _{SDAS}	t _{IICcyc} + 50	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b (注2)	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック(IICφ)の周期

注1. ()内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

注2. C_bはバスラインの容量総計です。

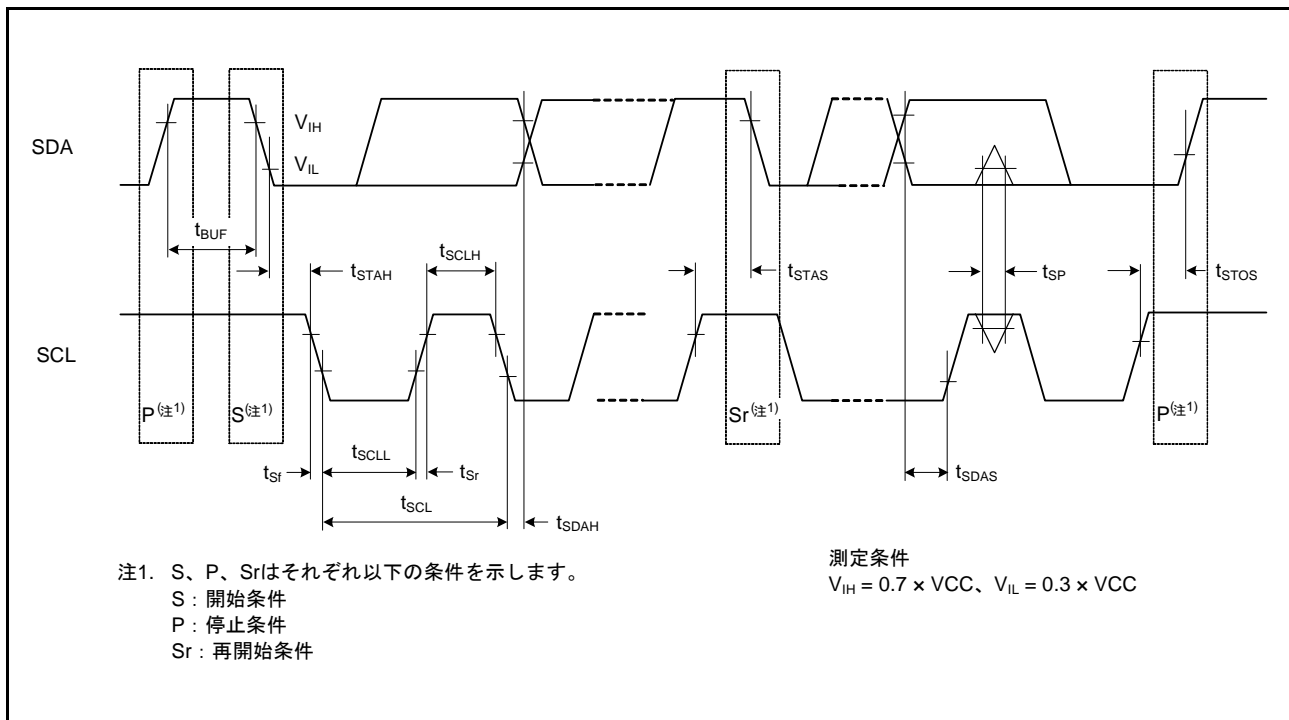


図 2.46 RIIC バスインタフェース入出力タイミング

2.5.5.7 RSPI

表2.54 RSPIタイミング (1/2)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$, $C = 30pF$ 出力負荷条件: $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位	測定条件		
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} (注1)	図2.47		
		スレーブ		4	—				
	RSPCKクロック Highレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック Lowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—		ns	
		スレーブ		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{SPCKr} t_{SPCKf}	—	10		ns	
			2.4V以上		—	15			
			1.8V以上		—	20			
		入力	—	—	0.1	$\mu s/V$			
	データ入力セット アップ時間	マスタ	2.7V以上	t_{SU}	10	—		ns	図2.48～ 図2.51
			1.8V以上		30	—			
スレーブ		2.4V以上	10		—				
		1.8V以上	15		—				
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—	ns			
		RSPCKをPCLKB の2分周に設定		0	—				
	スレーブ	t_H	20	—					
SSLセットアップ 時間	マスタ		t_{LEAD}	$-30 + N^{(注2)} \times t_{SPcyc}$	—	ns			
	スレーブ			6	—		t_{Pcyc}		
SSLホールド時間	マスタ		t_{LAG}	$-30 + N^{(注3)} \times t_{SPcyc}$	—	ns			
	スレーブ			6	—		t_{Pcyc}		
データ出力遅延時間	マスタ	2.7V以上	t_{OD}	—	14	ns			
		2.4V以上		—	20				
		1.8V以上		—	25				
	スレーブ	2.7V以上		—	50				
		2.4V以上		—	60				
		1.8V以上		—	85				
データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns			
	スレーブ			0	—				
連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns			
	スレーブ			$6 \times t_{Pcyc}$	—				
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力	2.7V以上	t_{Dr} , t_{Df}	—	10	ns			
		2.4V以上		—	15				
		1.8V以上		—	20				
	入力	—		1	μs				

表2.54 RSPIタイミング (2/2)

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$, $C = 30pF$

出力負荷条件 : $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目			記号	min	max	単位	測定条件
RSPI	SSL立ち上がり/ 立ち下がり時間	出力	t_{SSLr}	—	10	ns	図2.48～ 図2.51
			t_{SSLf}	—	15	ns	
				—	20	ns	
				—	1	μs	
	スレーブアクセス時間		t_{SA}	—	$2 \times t_{Pcyc} + 100$	ns	図2.50、図 2.51
				—	$2 \times t_{Pcyc} + 140$	ns	
スレーブ出力開放時間		t_{REL}	—	$2 \times t_{Pcyc} + 100$	ns		
			—	$2 \times t_{Pcyc} + 140$	ns		

注1. t_{Pcyc} : PCLKの周期

注2. N : RSPIクロック遅延レジスタ (SPCKD)にて設定可能な1～8の整数

注3. N : RSPIスレーブセレクトネゲート遅延レジスタ (SSLND)にて設定可能な1～8の整数

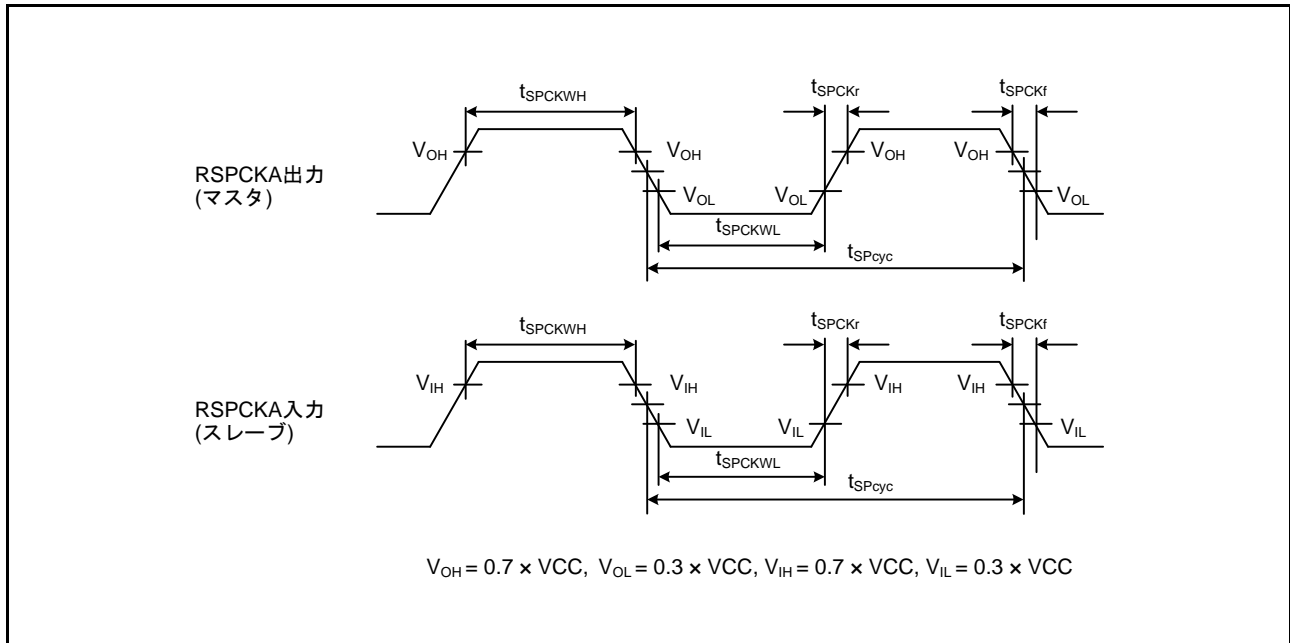


図 2.47 RSPI クロックタイミング

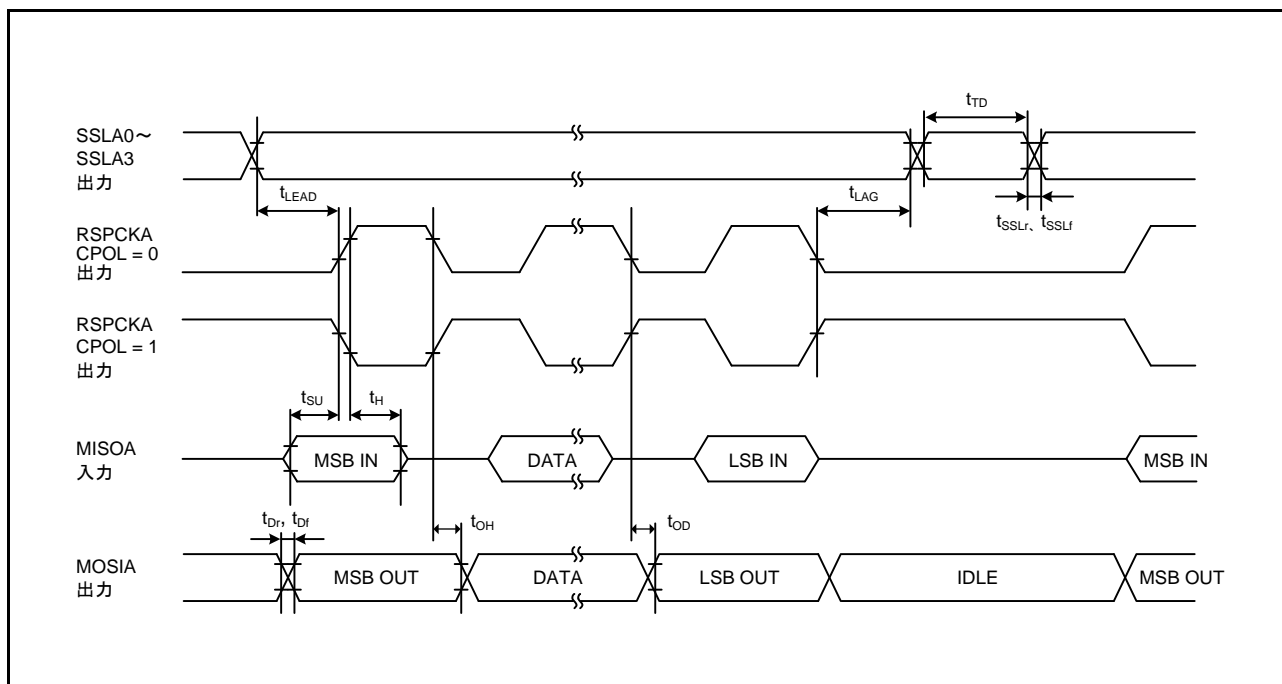


図 2.48 RSPI タイミング (マスタ、CPHA = 0)

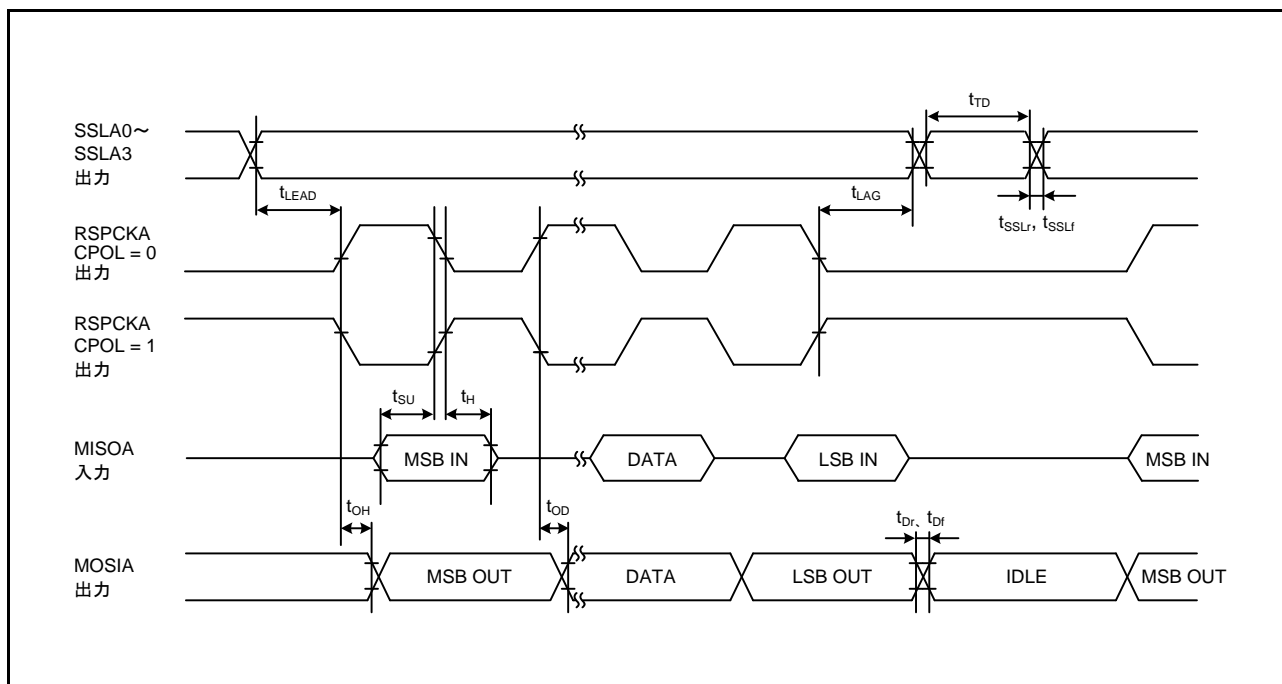


図 2.49 RSPI タイミング (マスタ、CPHA = 1)

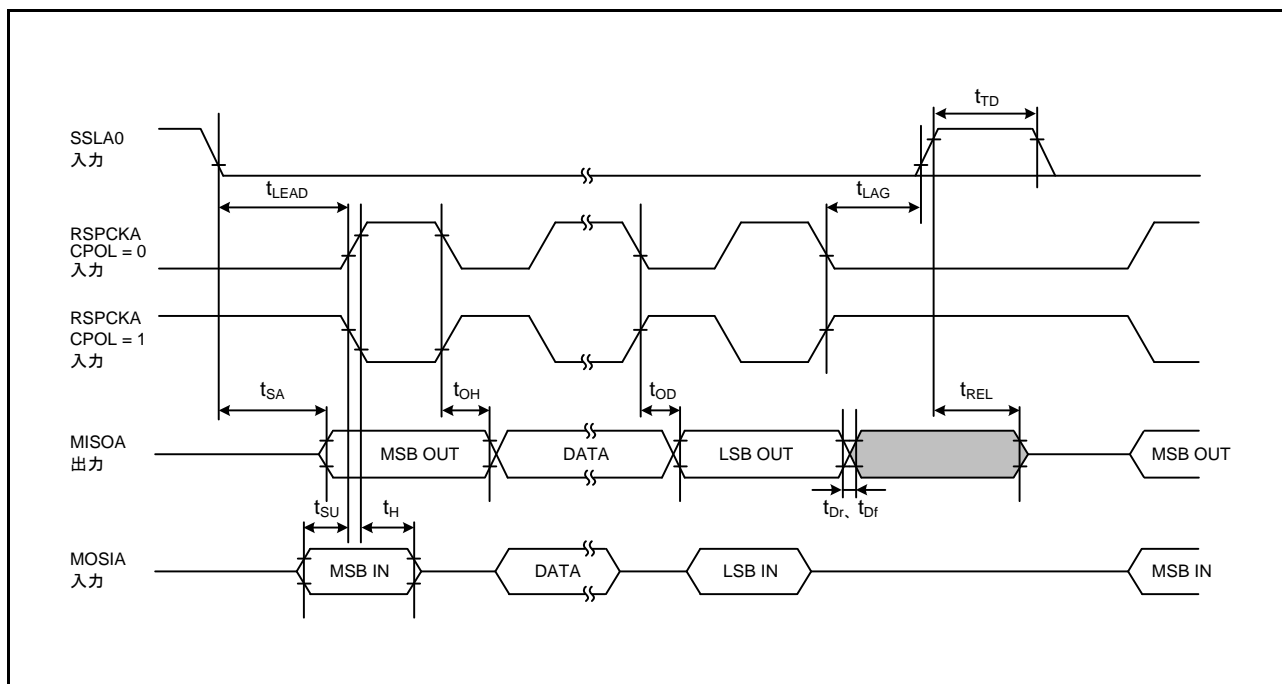


図 2.50 RSPI タイミング (スレーブ、CPHA = 0)

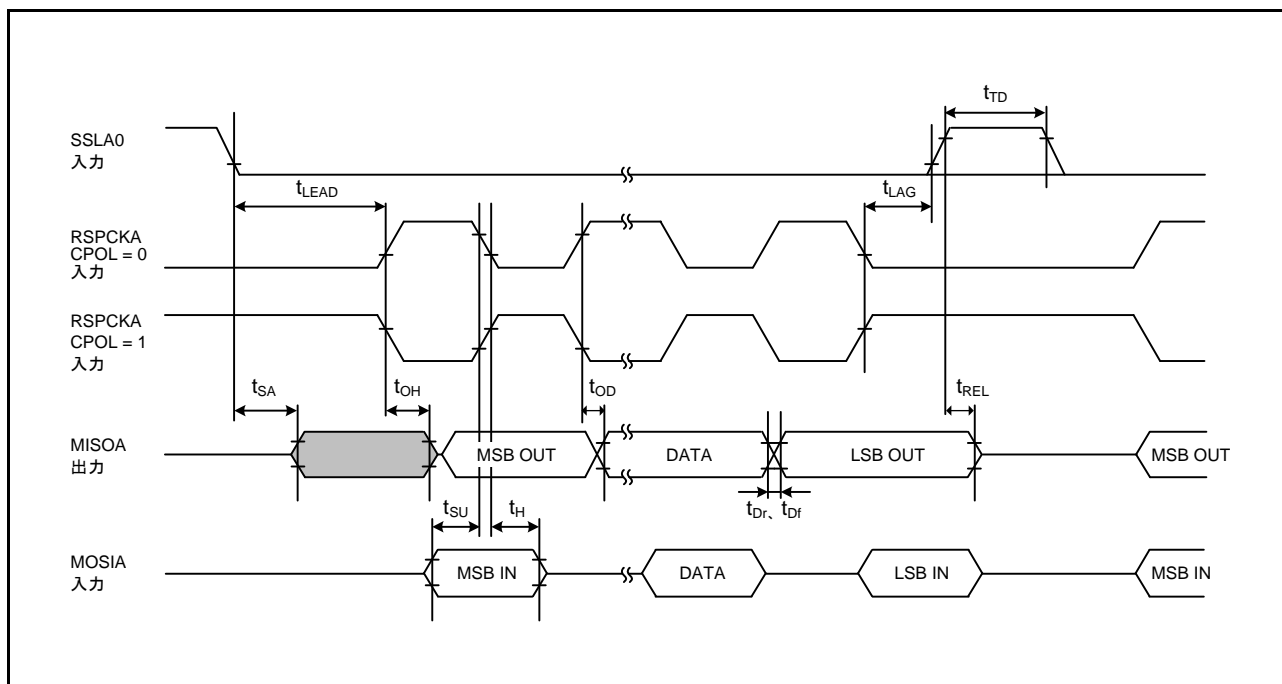


図 2.51 RSPI タイミング (スレーブ、CPHA = 1)

2.5.5.8 A/Dコンバータトリガ

表2.55 A/Dコンバータトリガタイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$ 出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目	記号	min	max	単位 (注1)	測定条件
A/Dコンバータ トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図2.52

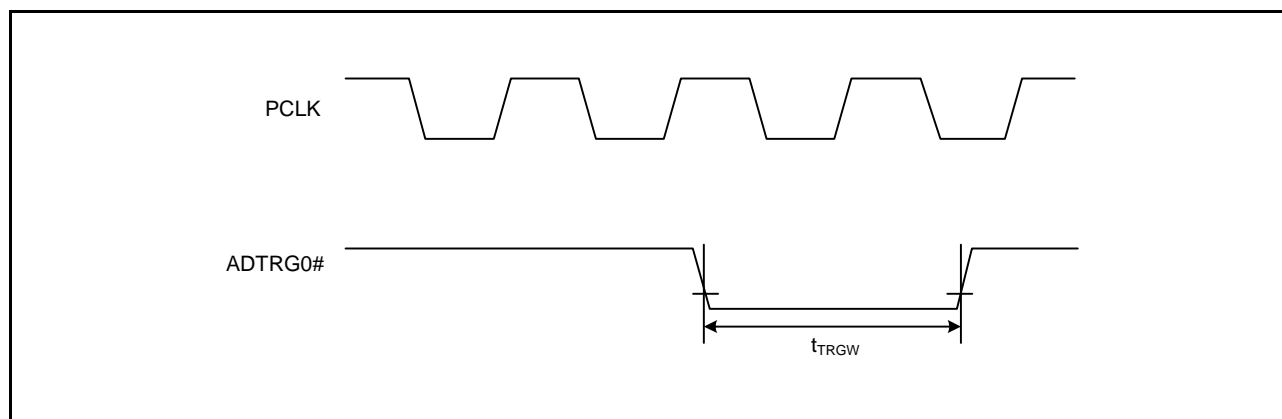
注1. t_{Pcyc} : PCLKの周期

図 2.52 A/Dコンバータ外部トリガ入力タイミング

2.5.5.9 CAC

表2.56 CACタイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$ 出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目	記号	min	max	単位 (注1)	測定条件	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$		
	CACREF入力立ち上がり/立ち下がり時間	$t_{CACREFr}$ $t_{CACREFf}$	—	0.1	$\mu s/V$	

注1. t_{Pcyc} : PCLKの周期注2. t_{cac} : CACカウントクロックソースの周期

2.5.5.10 CLKOUT

表2.57 CLKOUT タイミング

条件： $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$ 出力負荷条件： $V_{OH} = 0.7 \times VCC$, $V_{OL} = 0.3 \times VCC$, $C = 30pF$

項目		記号	min	max	単位	測定条件	
CLKOUT	CLKOUT 端子出力サイクル (注2)	$VCC = 2.7V$ 以上	62.5	—	ns	図2.53	
		$VCC = 1.8V$ 以上	125				
	CLKOUT 端子 High レベルパルス幅 (注1)	$VCC = 2.7V$ 以上	t_{CH}	15	—		ns
		$VCC = 1.8V$ 以上		30			
	CLKOUT 端子 Low レベルパルス幅 (注1)	$VCC = 2.7V$ 以上	t_{CL}	15	—		ns
		$VCC = 1.8V$ 以上		30			
	CLKOUT 端子出力立ち上がり時間	$VCC = 2.7V$ 以上	t_{Cr}	—	12		ns
		$VCC = 1.8V$ 以上			25		
	CLKOUT 端子出力立ち下がり時間	$VCC = 2.7V$ 以上	t_{Cf}	—	12		ns
		$VCC = 1.8V$ 以上			25		

注1. クロック出力ソースに LOCO 選択 (CKOCR.CKOSSEL[3:0] ビット = 0000b) の場合は、クロック出力分周比選択を 2 分周 (CKOCR.CKODIV[2:0] ビット = 001b) に設定してください。

注2. XTAL 外部クロック入力または発振子を使用して 1 分周 (CKOCR.CKOSSEL[3:0] ビット = 0010b かつ CKOCR.CKODIV[2:0] ビット = 000b) を CLKOUT より出力する場合は、入力デューティ比 45 ~ 55% で上記を満たします。

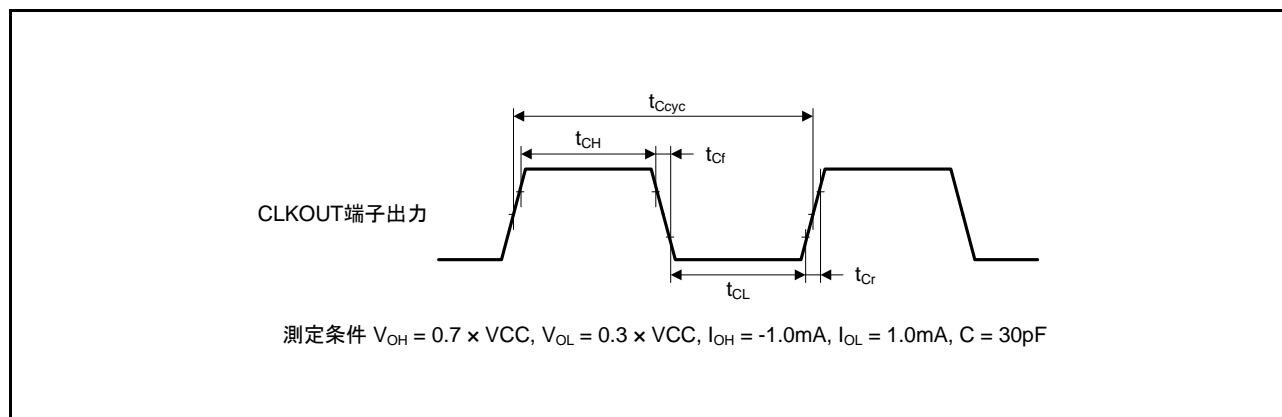


図 2.53 CLKOUT 出力タイミング

2.6 A/D 変換特性

表 2.58 A/D変換特性(1)

条件: $2.7V \leq VCC \leq 5.5V$, $2.7V \leq VREFH0 = AVCC0 \leq 5.5V$ (注1), $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $0.3k\Omega$
 VREFH0を基準電圧にしたとき

項目	min	typ	max	単位	測定条件
周波数	1	—	48	MHz	
分解能	—	—	12	ビット	
変換時間(注2) (PCLKD = 48MHz時)	0.67 (0.208) (注3)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
	1.29 (0.833) (注3)	—	—		通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	pF	高精度チャネル
		—	—		10(注4)
アナログ入力抵抗	Rs	—	—	k Ω	高精度チャネル
		—	—		6.0(注4)
アナログ入力電圧有効範囲	0	—	VREFH0	V	
オフセット誤差	—	± 1.0	± 4.5	LSB	高精度チャネル
			± 6.0	LSB	上記以外
フルスケール誤差	—	± 1.0	± 4.5	LSB	高精度チャネル
			± 6.0	LSB	上記以外
量子化誤差	—	± 0.5	—	LSB	
絶対精度	—	± 2.5	± 5.5	LSB	高精度チャネル
			± 8.5	LSB	上記以外
DNL微分非直線性誤差	—	± 1.0	—	LSB	
INL積分非直線性誤差	—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 32ピンの製品ではVREFH0 = AVCC0になります。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注3. ()はサンプリング時間を示します。

注4. 参考値

表 2.59 A/D変換特性(2)

条件: $2.4V \leq VCC \leq 5.5V$, $2.4V \leq VREFH0 = AVCC0 \leq 5.5V$ (注1), $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $1.3k\Omega$
 VREFH0を基準電圧にしたとき

項目		min	typ	max	単位	測定条件
周波数		1	—	32	MHz	
分解能		—	—	12	ビット	
変換時間(注2) (PCLKD = 32MHz時)		1.00 (0.313) (注3)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 0Ah ADCCR.CCS = 1
		1.94 (1.250) (注3)	—	—		通常精度チャネル ADCSR.ADHSCビット=0 ADSSTRn = 28h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	9(注4)	pF	高精度チャネル
		—	—	10(注4)		通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注4)	k Ω	高精度チャネル
		—	—	7.0(注4)		通常精度チャネル
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 1.0	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
フルスケール誤差		—	± 1.0	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 2.5	± 5.5	LSB	高精度チャネル
				± 8.5	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 32ピンの製品ではVREFH0 = AVCC0になります。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注3. ()はサンプリング時間を示します。

注4. 参考値

表 2.60 A/D変換特性(3)

条件: $2.7V \leq VCC \leq 5.5V$, $2.7V \leq VREFH0 = AVCC0 \leq 5.5V$ (注1), $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $1.1k\Omega$
 $VREFH0$ を基準電圧にしたとき

項目		min	typ	max	単位	測定条件
周波数		1	—	24	MHz	
分解能		—	—	12	ビット	
変換時間(注2) (PCLKD = 24MHz時)		1.58 (0.417) (注3)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 0Ah ADCCR.CCS = 1
		2.00 (0.833) (注3)	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	9(注4)	pF	高精度チャネル
		—	—	10(注4)		通常精度チャネル
アナログ入力抵抗	Rs	—	—	1.9(注4)	k Ω	高精度チャネル
		—	—	6(注4)		通常精度チャネル
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 1.25	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
フルスケール誤差		—	± 1.0	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 2.5	± 5.5	LSB	高精度チャネル
				± 8.5	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 32ピンの製品ではVREFH0 = AVCC0になります。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注3. ()はサンプリング時間を示します。

注4. 参考値

表 2.61 A/D変換特性(4)

条件: $2.4V \leq VCC \leq 5.5V$, $2.4V \leq VREFH0 = AVCC0 \leq 5.5V$ (注1), $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号源インピーダンス = $2.2k\Omega$
 VREFH0を基準電圧にしたとき

項目		min	typ	max	単位	測定条件
周波数		1	—	16	MHz	
分解能		—	—	12	ビット	
変換時間(注2) (PCLKD = 16MHz時)		2.38 (0.625) (注3)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 0Ah ADCCR.CCS = 1
		3.00 (1.250) (注3)	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	9(注4)	pF	高精度チャネル
		—	—	10(注4)		通常精度チャネル
アナログ入力抵抗	Rs	—	—	2.2(注4)	k Ω	高精度チャネル
		—	—	7(注4)		通常精度チャネル
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 1.25	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
フルスケール誤差		—	± 1.0	± 4.5	LSB	高精度チャネル
				± 6.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 2.5	± 5.5	LSB	高精度チャネル
				± 8.5	LSB	上記以外
DNL微分非直線性誤差		—	± 1.0	—	LSB	
INL積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 32ピンの製品ではVREFH0 = AVCC0になります。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注3. ()はサンプリング時間を示します。

注4. 参考値

表 2.62 A/D変換特性(5)

条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq VREFH0 = AVCC0 \leq 5.5V$ (注1), $VSS = AVSS0 = VREFL0 = 0V$, $T_a = -40 \sim +105^\circ C$, 信号インピーダンス = $5k\Omega$
 $VREFH0$ を基準電圧にしたとき

項目		min	typ	max	単位	測定条件
周波数		1	—	8	MHz	
分解能		—	—	12	ビット	
変換時間(注2) (PCLKD = 8MHz時)		4.75 (1.250) (注3)	—	—	μs	高精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 0Ah ADCCR.CCS = 1
		6.00 (2.500) (注3)	—	—		通常精度チャネル ADCSR.ADHSCビット=1 ADSSTRn = 14h ADCCR.CCS = 1
アナログ入力容量	Cs	—	—	9(注4)	pF	高精度チャネル
		—	—	10(注4)		通常精度チャネル
アナログ入力抵抗	Rs	—	—	6(注4)	k Ω	高精度チャネル
		—	—	14(注4)		通常精度チャネル
アナログ入力電圧有効範囲		0	—	VREFH0	V	
オフセット誤差		—	± 1.25	± 7.5	LSB	高精度チャネル
				± 10.0	LSB	上記以外
フルスケール誤差		—	± 1.5	± 7.5	LSB	高精度チャネル
				± 10.0	LSB	上記以外
量子化誤差		—	± 0.5	—	LSB	
絶対精度		—	± 3.0	± 8.0	LSB	高精度チャネル
				± 11.0	LSB	上記以外
DNL微分非直線性誤差		—	± 1.25	—	LSB	
INL積分非直線性誤差		—	± 1.5	± 3.5	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 32ピンの製品ではVREFH0 = AVCC0になります。

注2. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注3. ()はサンプリング時間を示します。

注4. 参考値

表2.63 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000～AN007	AVCC0 = 1.8～5.5V	A/Dコンバータ使用時、AN000～AN007端子をデジタル出力として使用することはできません
通常精度チャネル	AN016～AN021, AN024～AN026		
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 1.8～5.5V	
温度センサ入力チャネル	温度センサ出力	AVCC0 = 1.8～5.5V	
CTSU入力チャネル	AN008	AVCC0 = 1.8～5.5V	

表2.64 A/D内部基準電圧特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ VREFH0 = AVCC0 ≤ 5.5V, VSS = AVSS0 = VREFL0 = 0V, T_a = -40～+105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャネル(注1)	1.42	1.48	1.54	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

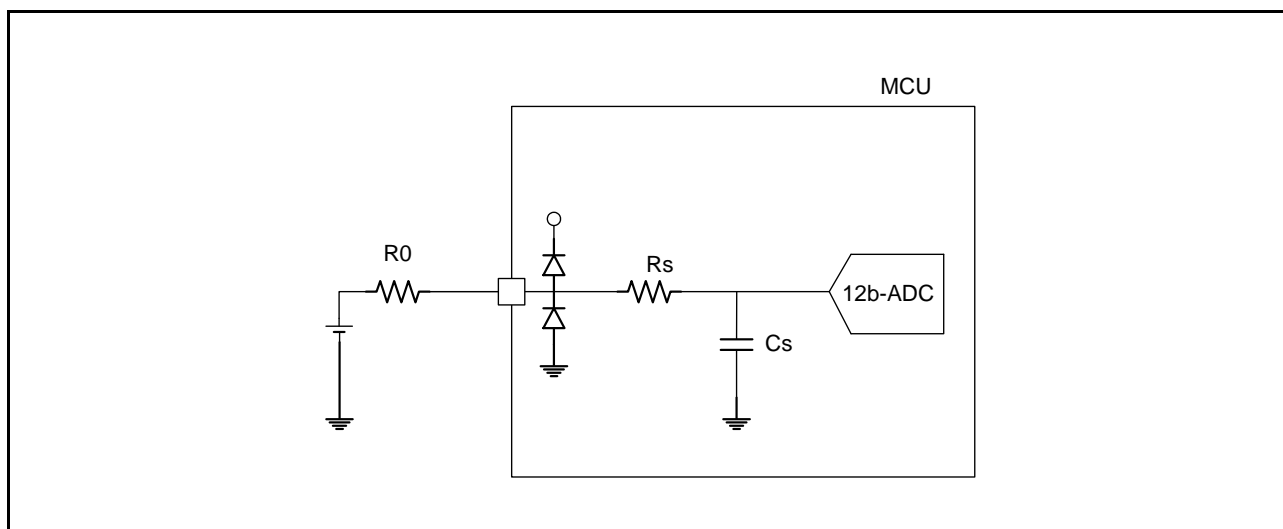


図 2.54 等価回路

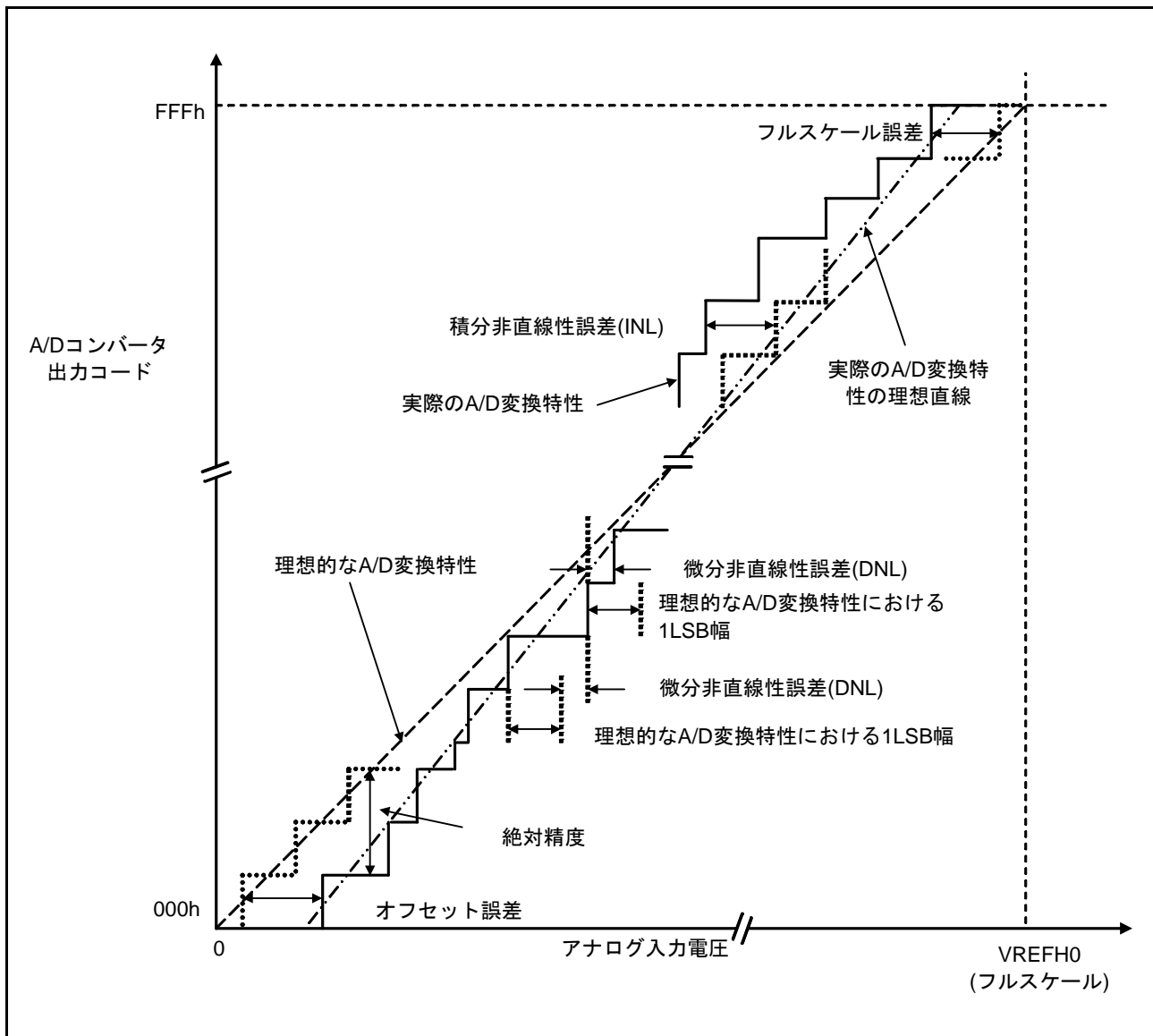


図 2.55 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅 (1LSB 幅) の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧 (VREFH0 = 3.072V) の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 = $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “003h” ~ “00dh” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

2.7 D/A 変換特性

表 2.65 D/A変換特性(1)

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目		記号	min	typ	max	単位	測定条件
分解能		—	—	—	8	ビット	
変換時間	VCC = 1.8 ~ 5.5V	t_{DCONV}	—	—	3.0	μs	負荷容量 35pF
絶対精度	VCC = 2.4 ~ 5.5V	—	—	—	± 3.0	LSB	負荷抵抗 2M Ω
	VCC = 1.8 ~ 2.4V	—	—	—	± 3.5		
	VCC = 2.4 ~ 5.5V	—	—	—	± 2.0	LSB	負荷抵抗 4M Ω
	VCC = 1.8 ~ 2.4V	—	—	—	± 2.5		
RO出力抵抗		—	—	9.0	—	k Ω	

2.8 温度センサ特性

表2.66 温度センサ特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.5	—	°C	2.4V以上
		—	±2.0	—		2.4V未満
温度傾斜	—	—	-3.3	—	mV/°C	
出力電位(25°C)	—	—	1.05	—	V	VCC = 3.3V
温度センサ起動時間	t _{START}	—	—	5	μs	
サンプリング時間	—	5	—	—	μs	

2.9 コンパレータ特性

表2.67 コンパレータ特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
CVREFB0~CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V	
CMPB0~CMPB1入力電圧	VI	0	—	VCC	V	
内部基準電圧	—	1.34	1.44	1.54	V	
オフセット	コンパレータ高速モード	—	—	50	mV	
	コンパレータ高速モード ウィンドウ機能有効	—	—	60	mV	
	コンパレータ低速モード	—	—	40	mV	
コンパレータ 出力遅延時間	コンパレータ高速モード	Td	—	1.2	μs	VCC = 3V、 入カスルーレート ≥ 50mV/μs
	コンパレータ高速モード ウィンドウ機能有効	Tdw	—	2.0	μs	
	コンパレータ低速モード	Td	—	9.0	μs	
高電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFH	—	0.76 × VCC	—	V	
低電位側リファレンス電圧 (コンパレータ高速モード、ウィンドウ機能 有効)	VRFL	—	0.24 × VCC	—	V	
動作安定待ち時間	Tcmp	100	—	—	μs	

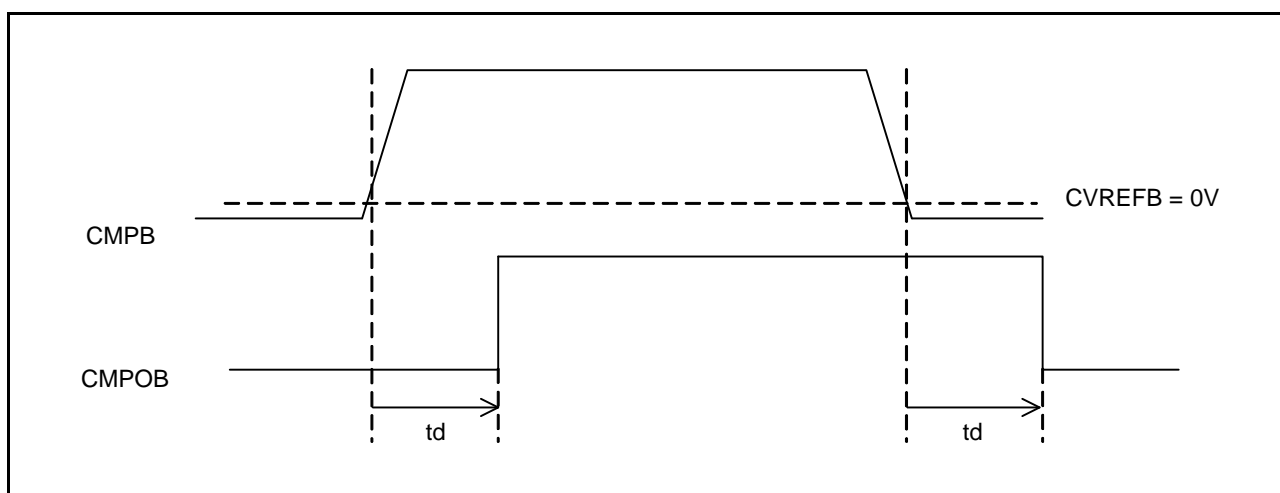


図 2.56 コンパレータ高速モード、低速モードのコンパレータ出力遅延時間

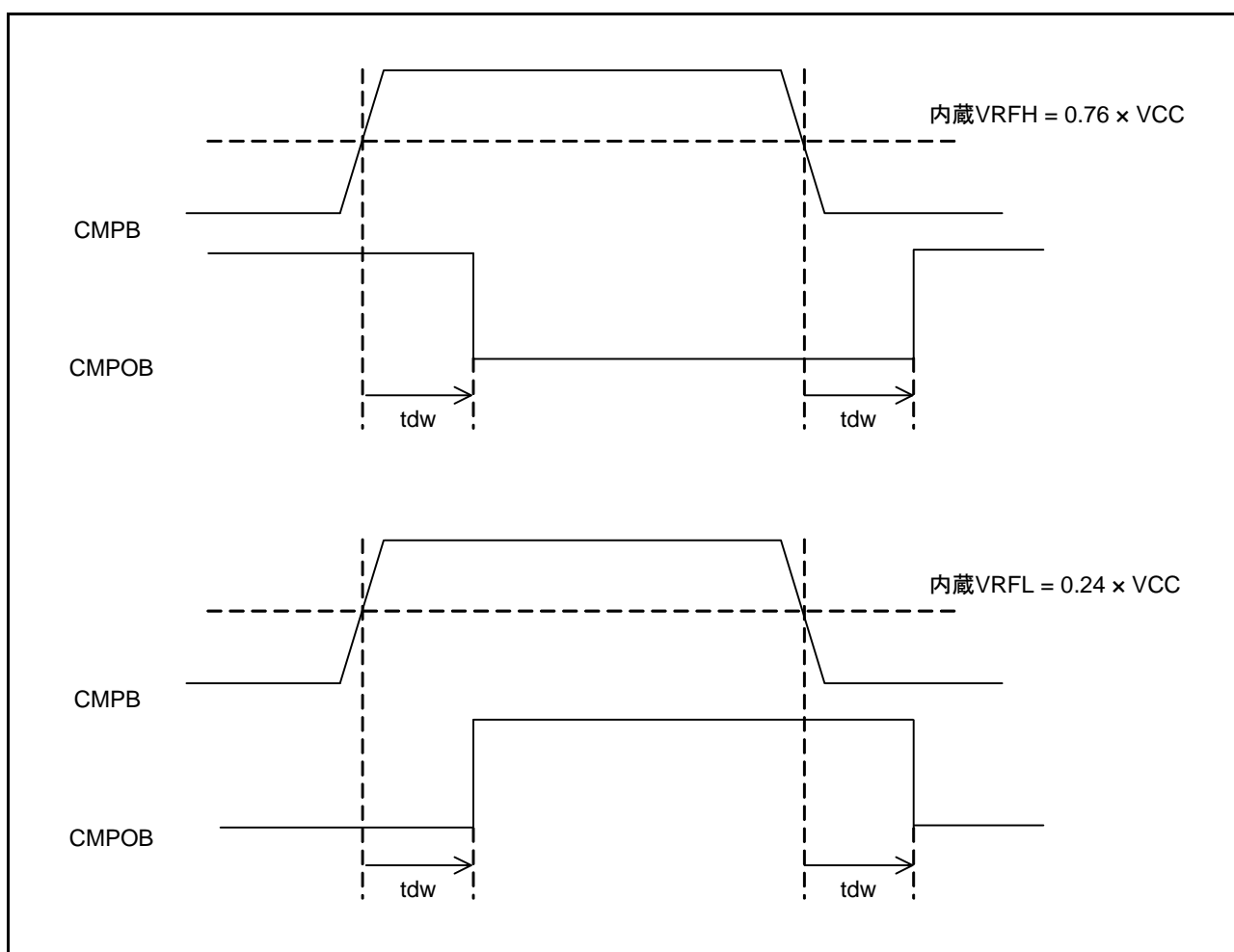


図 2.57 コンパレータ高速モードウィンドウ機能有効のコンパレータ出力遅延時間

2.10 CTSU 特性

表2.68 CTSU 特性

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
TSCAP端子外付け容量	C _{Tscap}	9	10	11	nF		
出力High/Lowレベル許容電流	P12~P17, P20, P21, P26, P27, P30~P32, P34, P35, P54, P55, PB1~PB7, PC2~PC7, PH0~PH3 PA0, PA1, PA3, PA4, PA6, PB0, PE0~PE5 PA0~PA6, PB0, PD0~PD2, PE0~PE5	ΣI _{OH} + ΣI _{OL}	—	—	24	mA	VXSEL = 0の時
			—	—	16	mA	フラッシュメモリの容量が64Kバイト以下の製品 VXSEL = 0の時
			—	—	16	mA	フラッシュメモリの容量が128Kバイト以上の製品 VXSEL = 0の時

2.11 パワーオンリセット回路、電圧検出回路特性

表2.69 パワーオンリセット回路、電圧検出回路特性(1)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図2.58、図2.59
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.85	3.97	V	図2.60 VCC立ち下がり時
		V _{det0_1}	2.70	2.85	3.00		
		V _{det0_2}	2.37	2.53	2.67		
		V _{det0_3}	1.80	1.90	1.99		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図2.61 VCC立ち下がり時
		V _{det1_1}	3.98	4.16	4.28		
		V _{det1_2}	3.86	4.03	4.16		
		V _{det1_3}	3.68	3.86	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.80	2.98		
		V _{det1_8}	2.57	2.68	2.87		
		V _{det1_9}	2.47	2.59	2.67		
		V _{det1_A}	2.37	2.48	2.57		
		V _{det1_B}	2.10	2.20	2.30		
	V _{det1_C}	1.86	1.96	2.06			
	V _{det1_D}	1.80	1.86	1.96			
	電圧検出回路 (LVD2) (注3)	V _{det2_0} (注4)	4.08	4.32	4.48	V	図2.62 VCC立ち下がり時
V _{det2_1}		3.95	4.17	4.35			
V _{det2_2}		3.82	4.03	4.22			
V _{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバラップする設定を行う

た場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号Vdet0_nのnは、VDSEL1[1:0]ビットの値です。

注2. 記号Vdet1_nのnは、LVDLVLRLVD1LVL[3:0]ビットの値です。

注3. 記号Vdet2_nのnは、LVDLVLRLVD2LVL[1:0]ビットの値です。

注4. Vdet2_0選択はCMPA2端子入力電圧選択時のみ使用可能で、電源電圧(VCC)選択時は使用できません。

表2.70 パワーオンリセット回路、電圧検出回路特性(2)

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	通常起動時(注1)	t _{POR}	—	12.5	—	ms 図2.59
	起動時間短縮時(注2)	t _{POR}	—	5.0	—	
電圧監視0リセット解除後待機時間	t _{LVD0}	—	860	—	μs	図2.60
電圧監視1リセット解除後待機時間	LVD0無効時(注4)	t _{LVD1}	—	160	—	μs 図2.61
	LVD0有効時(注5)	t _{LVD1}	—	860	—	
電圧監視2リセット解除後待機時間	LVD0無効時(注4)	t _{LVD2}	—	160	—	μs 図2.62
	LVD0有効時(注5)	t _{LVD2}	—	860	—	
POR応答遅延時間	t _{det}	—	—	500	μs	図2.58
LVD0応答遅延時間		—	—	500	μs	図2.58
LVD1応答遅延時間		—	—	360	μs	図2.58
LVD2応答遅延時間		—	—	600	μs	図2.58
POR/LVD0最小VCC低下時間(注3)	t _{VOFF}	500	—	—	μs	図2.58、VCC = 1.0V以上
LVD1最小VCC低下時間(注3)		300	—	—	μs	図2.58、VCC = 1.0V以上
LVD2最小VCC低下時間(注3)		600	—	—	μs	図2.58、VCC = 1.0V以上
パワーオンリセット有効時間	t _{W(POR)}	1	—	—	ms	図2.59、VCC = 1.0V未満
LVD1動作安定時間(LVD有効切り替え時)	t _{d(E-A)}	—	—	300	μs	図2.61
LVD2動作安定時間(LVD有効切り替え時)	t _{d(E-A)}	—	—	1200	μs	図2.62
ヒステリシス幅(パワーオンリセット(POR))	V _{PORH}	—	110	—	mV	
ヒステリシス幅(電圧検出回路(LVD0, LVD1, LVD2))	V _{LVH}	—	60	—	mV	Vdet0_0 ~ Vdet0_3選択時
		—	110	—		Vdet1_0 ~ Vdet1_2選択時
		—	70	—		Vdet1_3 ~ 9選択時
		—	60	—		Vdet1_A ~ B選択時
		—	50	—		Vdet1_C ~ D選択時
		—	90	—		LVD2選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路(LVD1)の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. OFS1.(LVDAS, FASTSTUP) = 11bを設定した場合です。

注2. OFS1.(LVDAS, FASTSTUP) = 11b以外を設定した場合です。

注3. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

注4. OFS1.LVDAS = 1bを設定した場合です。

注5. OFS1.LVDAS = 0bを設定した場合です。

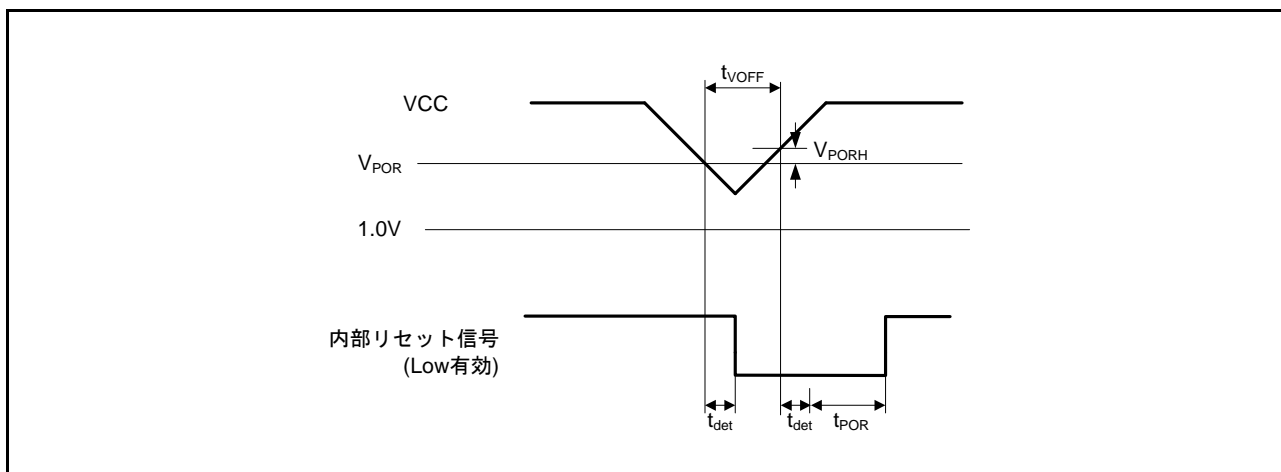


図 2.58 電圧検出リセットタイミング

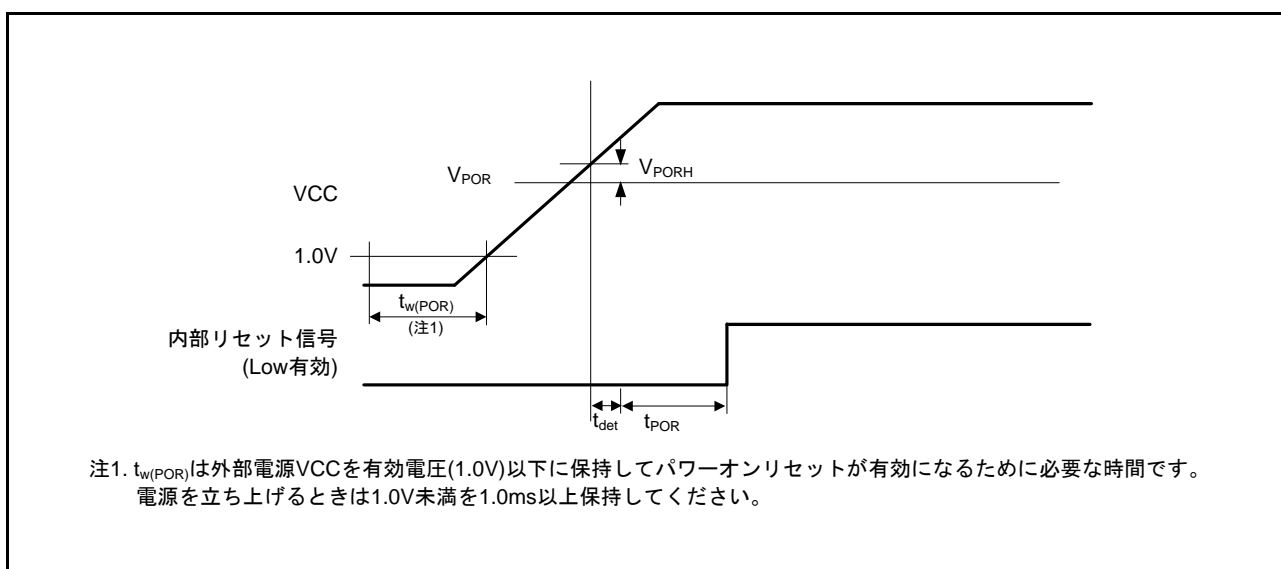


図 2.59 パワーオンリセットタイミング

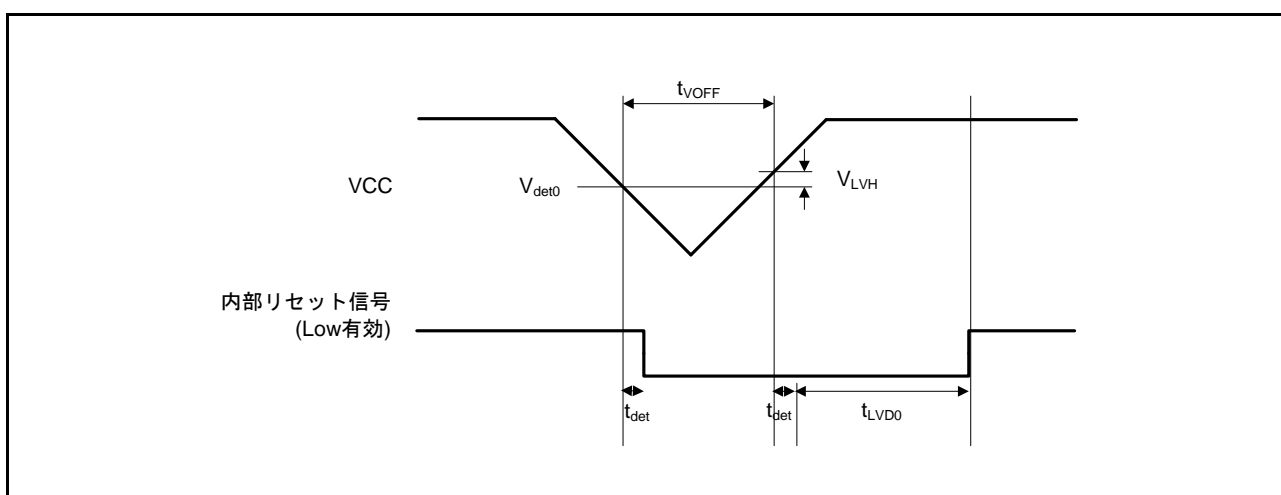


図 2.60 電圧検出回路タイミング (V_{det0})

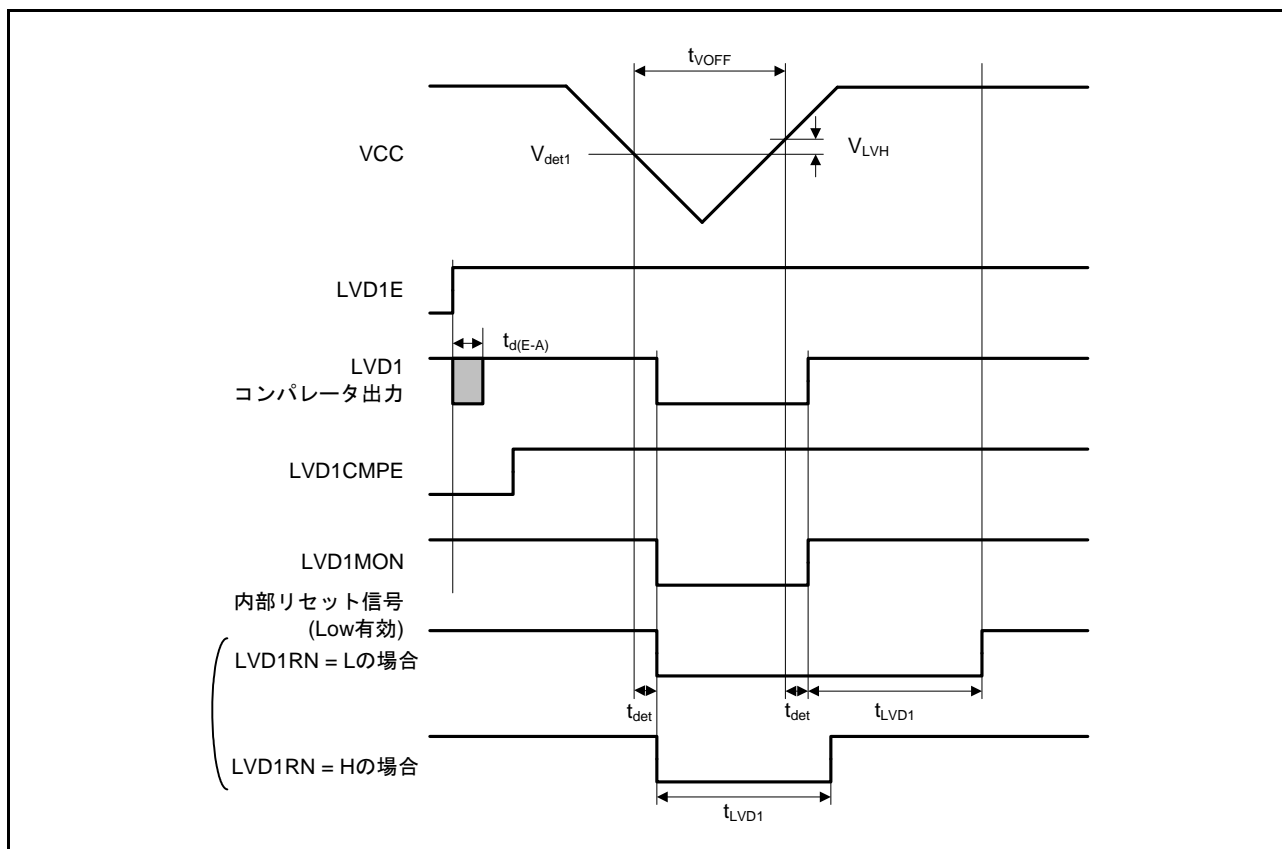


図 2.61 電圧検出回路タイミング (V_{det1})

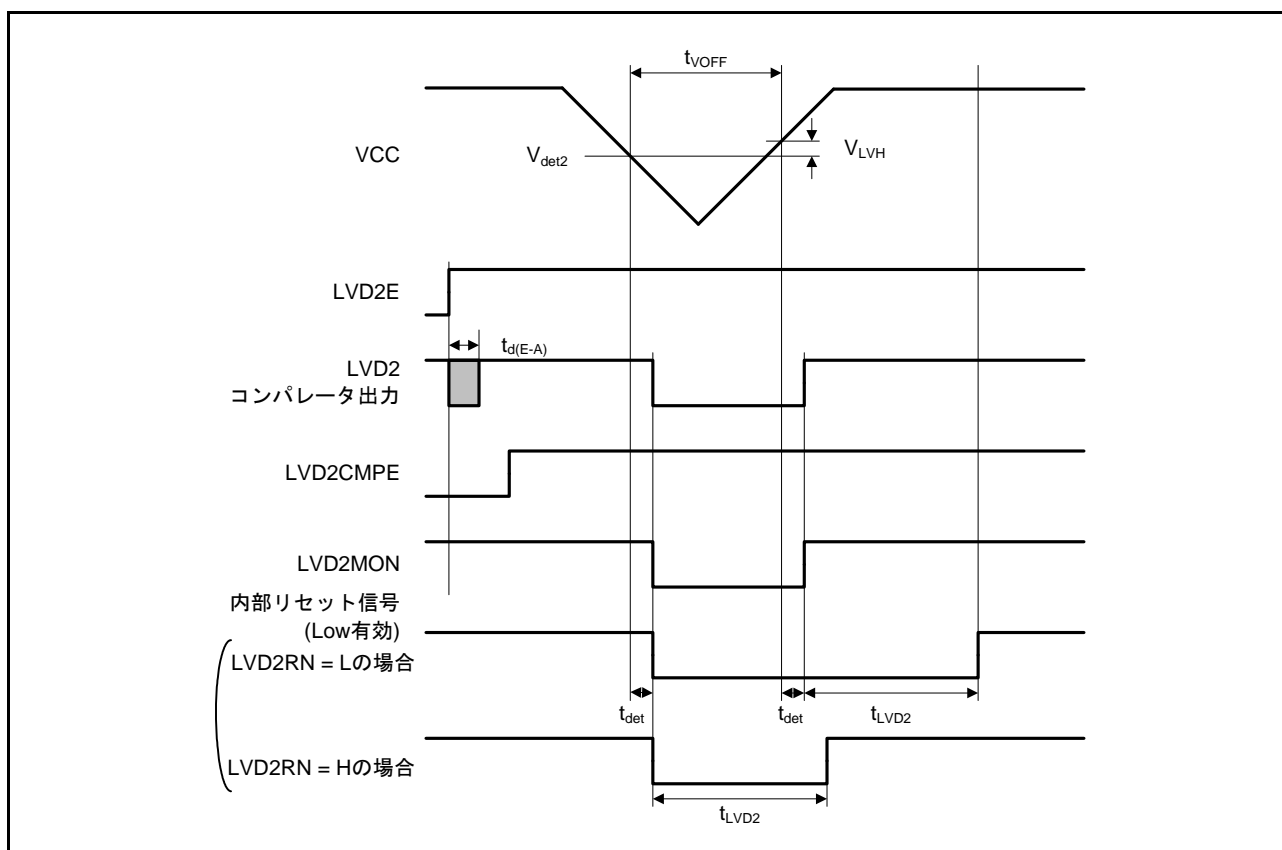


図 2.62 電圧検出回路タイミング (V_{det2})

2.12 発振停止検出タイミング

表2.71 発振停止検出回路特性

条件 : $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$, $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図2.63

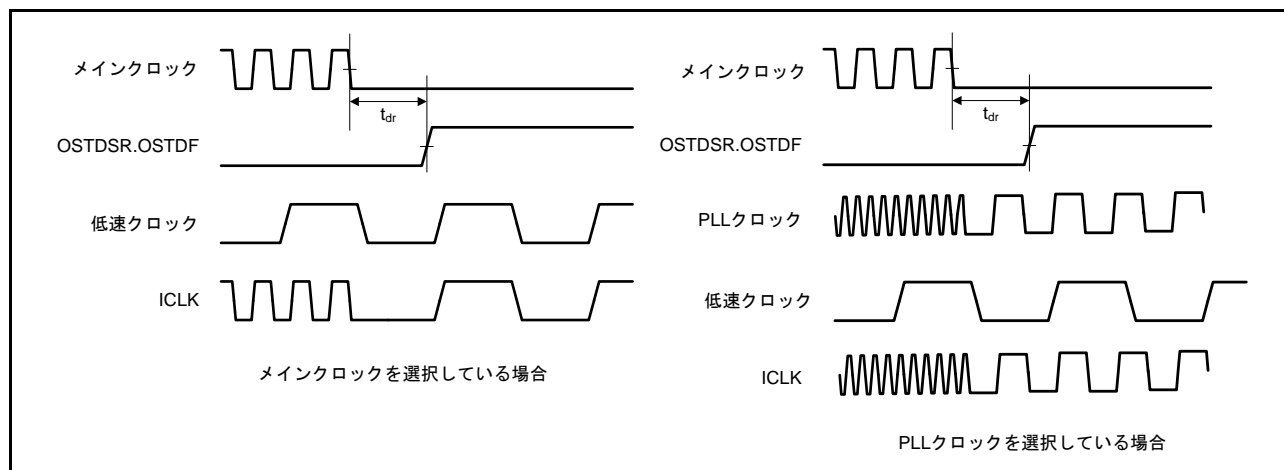


図 2.63 発振停止検出タイミング

2.13 ROM (コード格納用フラッシュメモリ) 特性

表2.72 ROM (コード格納用フラッシュメモリ) 特性(1)

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル(注1)	N_{PEC}	1K	—	—	回	
データ保持時間 (注2、注3)	N_{PEC} 1K回後	t_{DRP}	20	—	—	年 $T_a = +105^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 1K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に8バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.73 ROM (コード格納用フラッシュメモリ) 特性(2) 高速動作モード

条件： $1.8\text{V} \leq V_{CC} \leq 5.5\text{V}$, $1.8\text{V} \leq AV_{CC0} \leq 5.5\text{V}$, $V_{SS} = AV_{SS0} = 0\text{V}$

プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94	843.5	—	45.4	448.7	—	45.1	446.0	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	64Kバイト	t_{E64K}	—	105	2331	—	12.7	375.4	—	12.4	368.0	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45.0	—	—	8.9	—	—	8.2	μs
	2Kバイト	t_{BC2K}	—	—	1573	—	—	120	—	—	115	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	—	—	11.1	—	—	11.0	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	—	5.6	438.0	—	5.6	437.7	ms
ROMモード遷移待ち時間1		t_{DIS}	2	—	—	2	—	—	2	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	15	—	—	15	—	—	15	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

表2.74 ROM (コード格納用フラッシュメモリ)特性(3) 中速動作モード
 条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			FCLK = 24MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	—	45.7	450.7	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	—	5.4	220.2	ms
	64Kバイト	t_{E64K}	—	105	2331	—	17.0	500.5	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	—	—	9	μs
	2Kバイト	t_{BC2K}	—	—	1573	—	—	115	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	—	—	11.2	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	—	5.6	437.7	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	—	5.6	437.7	ms
ROMモード遷移待ち時間1		t_{DIS}	2	—	—	2	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	15	—	—	15	—	—	μs

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。
 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

表2.75 ROM (コード格納用フラッシュメモリ)特性(4) 中速動作モード2
 条件: $1.8V \leq VCC \leq 5.5V$, $1.8V \leq AVCC0 \leq 5.5V$, $VSS = AVSS0 = 0V$
 プログラム/イレーズ時の動作温度範囲: $T_a = -40 \sim +105^\circ C$

項目	記号	FCLK = 1MHz			単位	
		min	typ	max		
プログラム時間	8バイト	t_{P8}	—	94.0	843.5	μs
イレーズ時間	2Kバイト	t_{E2K}	—	8.3	282.0	ms
	64Kバイト	t_{E64K}	—	105	2331	ms
ブランクチェック時間	8バイト	t_{BC8}	—	—	45	μs
	2Kバイト	t_{BC2K}	—	—	1573	μs
イレーズ処理強制停止時間		t_{SED}	—	—	22.8	μs
スタートアップ領域入れ替え設定時間		t_{SAS}	—	8.2	503.3	ms
アクセスウィンドウ設定時間		t_{AWS}	—	8.2	503.3	ms
ROMモード遷移待ち時間1		t_{DIS}	2	—	—	μs
ROMモード遷移待ち時間2		t_{MS}	15	—	—	μs

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。
 注. FCLKの周波数精度は $\pm 3.5\%$ である必要があります。クロックソースの周波数精度をご確認ください。

2.14 E2 データフラッシュ (データ格納用フラッシュメモリ) 特性

表2.76 E2データフラッシュ特性(1)

項目	記号	min	typ	max	単位	条件	
再プログラム/イレーズサイクル(注1)	N _{DPEC}	100K	1000K	—	回		
データ保持時間	N _{DPEC} 10K回後	t _{DDRP}	20(注2、注3)	—	—	年	T _a = +105°C
	N _{DPEC} 100K回後		5(注2、注3)	—	—	年	
	N _{DPEC} 1000K回後	—	1(注2、注3)	—	—	年	T _a = +25°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回(n = 100K回)の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、256バイトのブロックについて、それぞれ異なる番地に1バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。(上書き禁止)

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表2.77 E2データフラッシュ特性(2) 高速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			FCLK = 48MHz			単位	
		min	typ	max	min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.1	341.2	—	34.8	338.8	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.4	—	5.4	220.1	ms
	4Kバイト	t _{DE4K}	—	55.0	1273.7	—	9.0	295.4	—	8.8	291.7	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	8.9	—	—	8.2	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	120	—	—	115	μs
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11.1	—	—	11.0	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.78 E2データフラッシュ特性(3) 中速動作モード

条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	—	35.3	343.2	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	—	5.4	220.2	ms
	4Kバイト	t _{DE4K}	—	55.0	1273.7	—	8.8	291.8	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	—	—	9.0	μs
	256バイト	t _{DBC256}	—	—	1573	—	—	115	ms
イレーズ処理強制停止時間	t _{DSED}	—	—	22.8	—	—	11.2	μs	
データフラッシュ STOP解除時間	t _{DSTOP}	250	—	—	250	—	—	ns	

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表2.79 E2データフラッシュ特性(4) 中速動作モード2
 条件：1.8V ≤ VCC ≤ 5.5V, 1.8V ≤ AVCC0 ≤ 5.5V, VSS = AVSS0 = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +105°C

項目		記号	FCLK = 1MHz			単位
			min	typ	max	
プログラム時間	1バイト	t _{DP1}	—	83.0	729.5	μs
イレーズ時間	256バイト	t _{DE256}	—	8.3	282.0	ms
	4Kバイト	t _{DE4K}	—	55.0	1273.7	ms
ブランクチェック時間	1バイト	t _{DBC1}	—	—	44.6	μs
	256バイト	t _{DBC256}	—	—	1573	ms
イレーズ処理強制停止時間		t _{DSED}	—	—	22.8	μs
データフラッシュ STOP解除時間		t _{DSTOP}	250	—	—	ns

- 注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。
 注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。
 注. FCLKの周波数精度は±3.5%である必要があります。

2.15 使用上の注意事項

2.15.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (VCL 端子) と VSS 端子間には、内部電圧安定用のコンデンサ $4.7\mu\text{F}$ を接続する必要があります。外付けコンデンサ接続方法を図 2.64 ～ 図 2.66 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は $0.1\mu\text{F}$ (推奨値) を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「35. 12ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ) でも説明していますので、最新版をルネサスエレクトロニクスホームページから入手して参照ください。

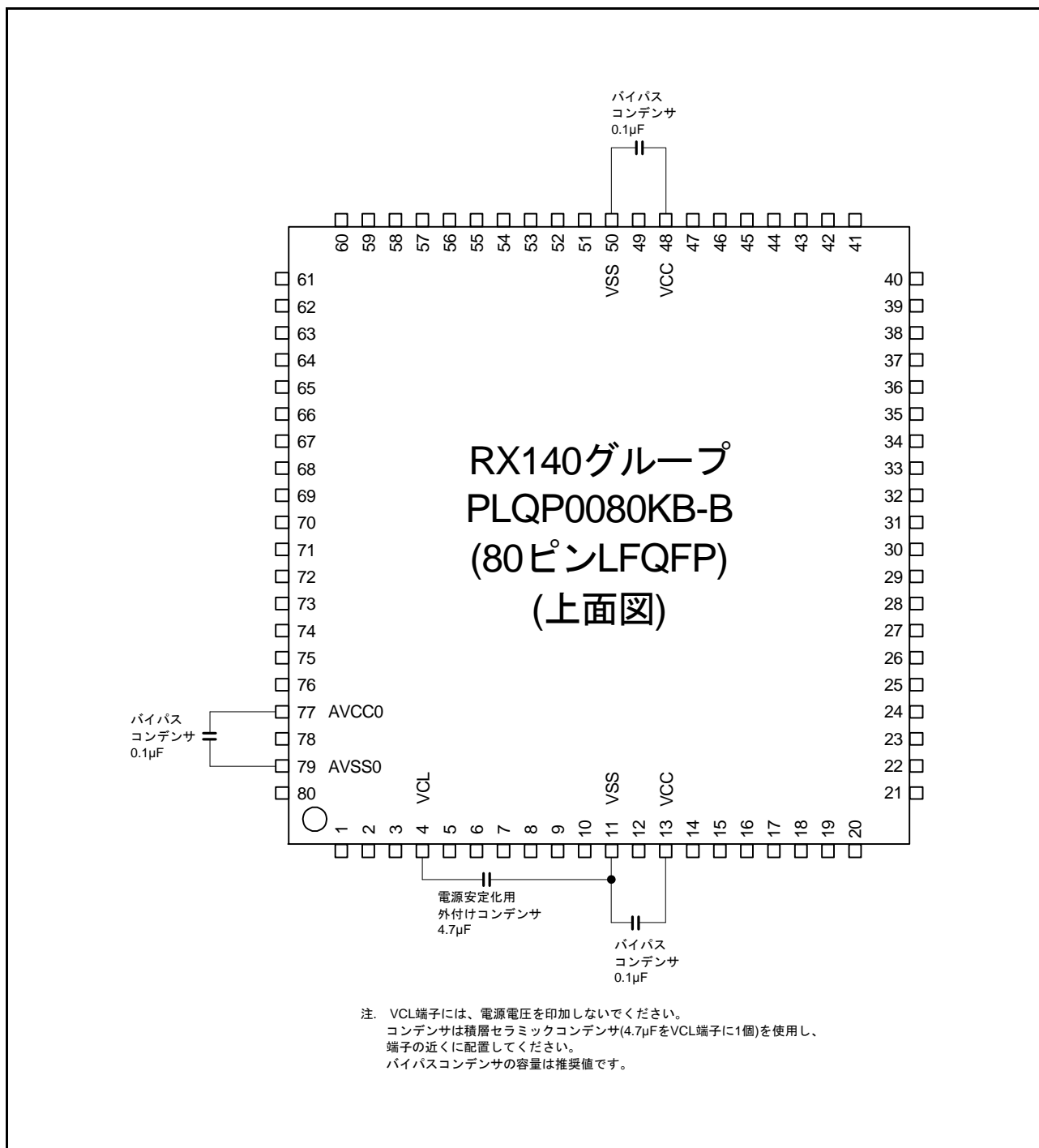


図 2.64 コンデンサ接続方法 (80ピン)

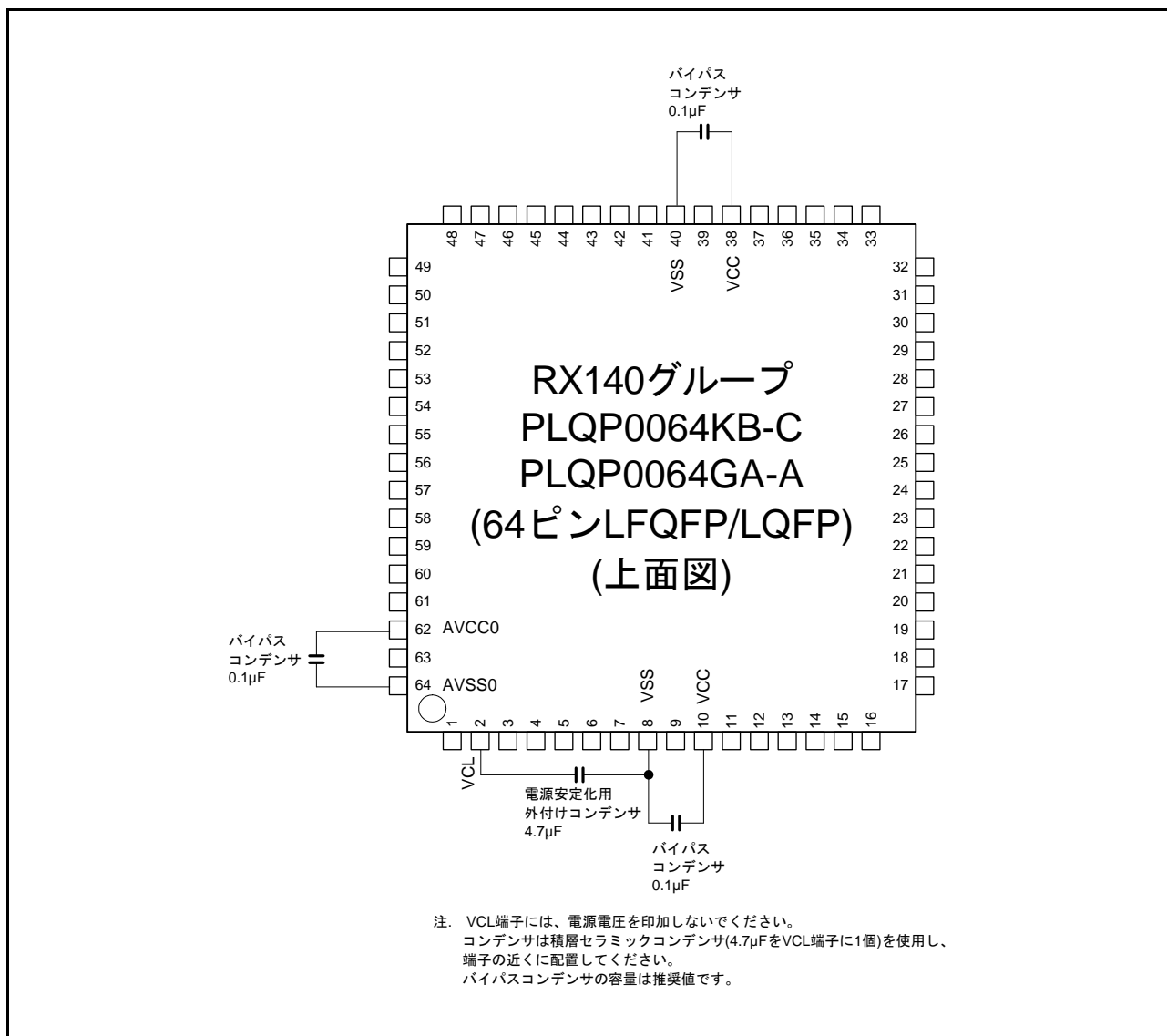


図 2.65 コンデンサ接続方法 (64 ピン)

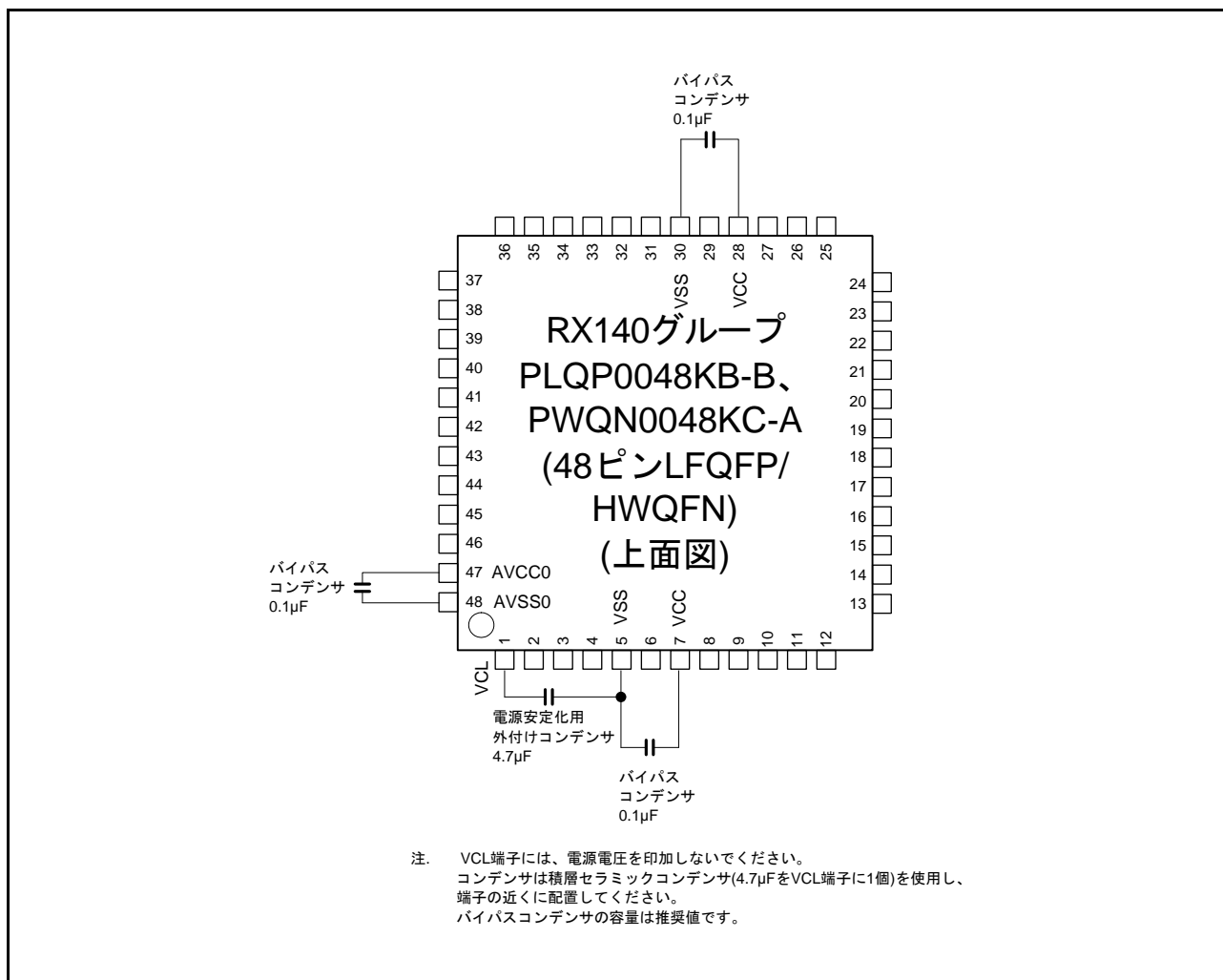


図 2.66 コンデンサ接続方法 (48 ピン)

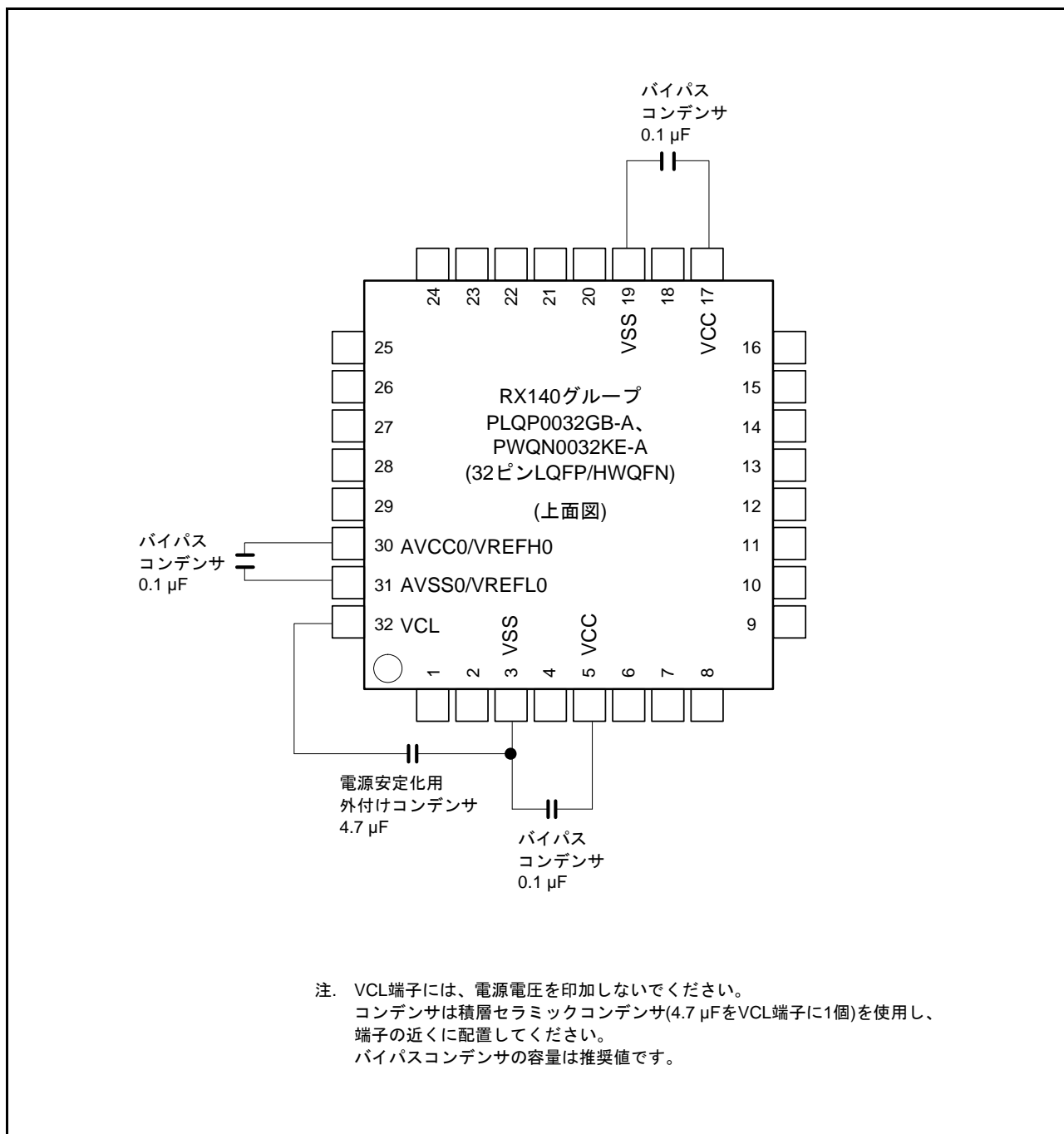


図 2.67 コンデンサ接続方法 (32 ピン)

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

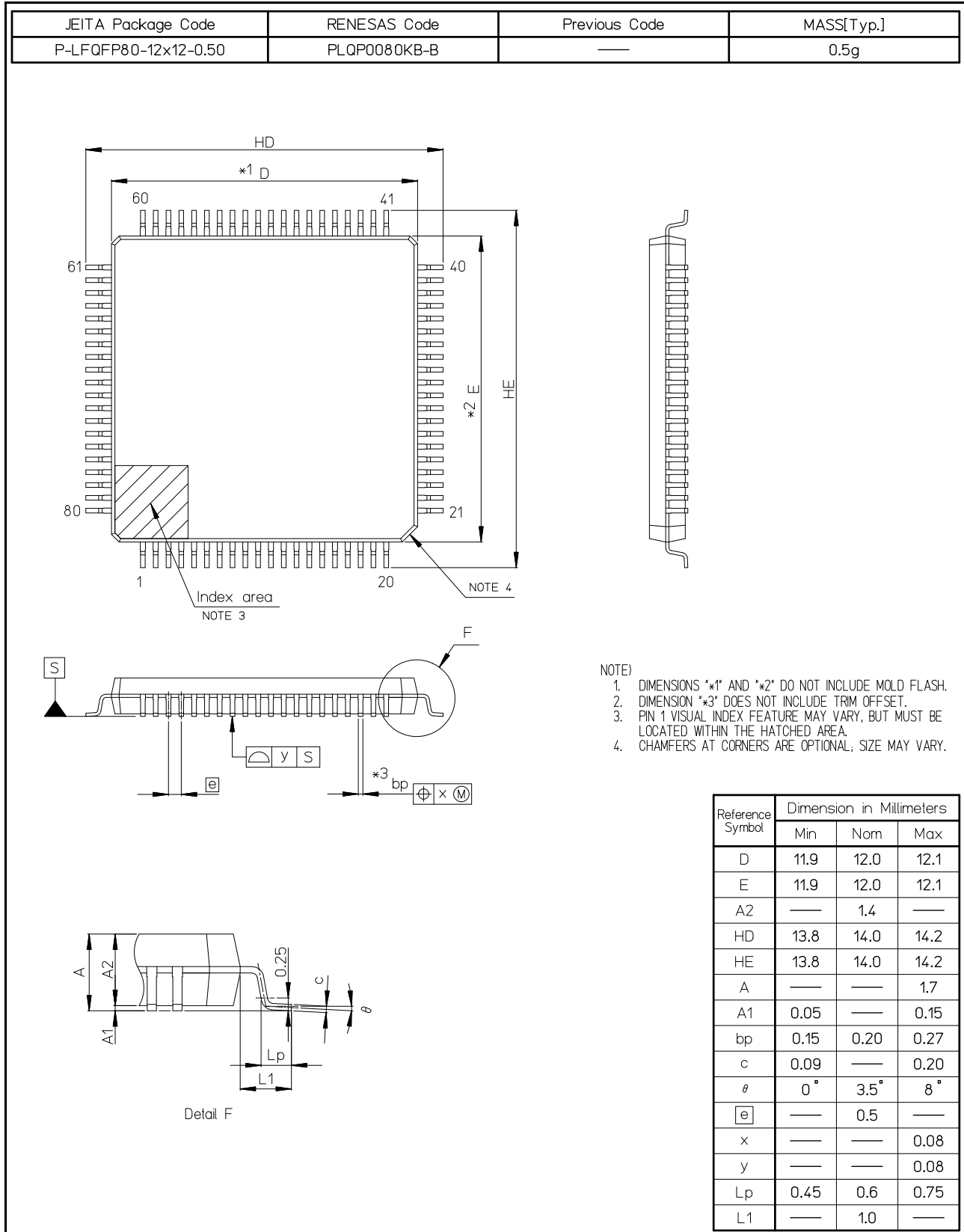


図 A. 80ピン LFQFP (PLQP0080KB-B)

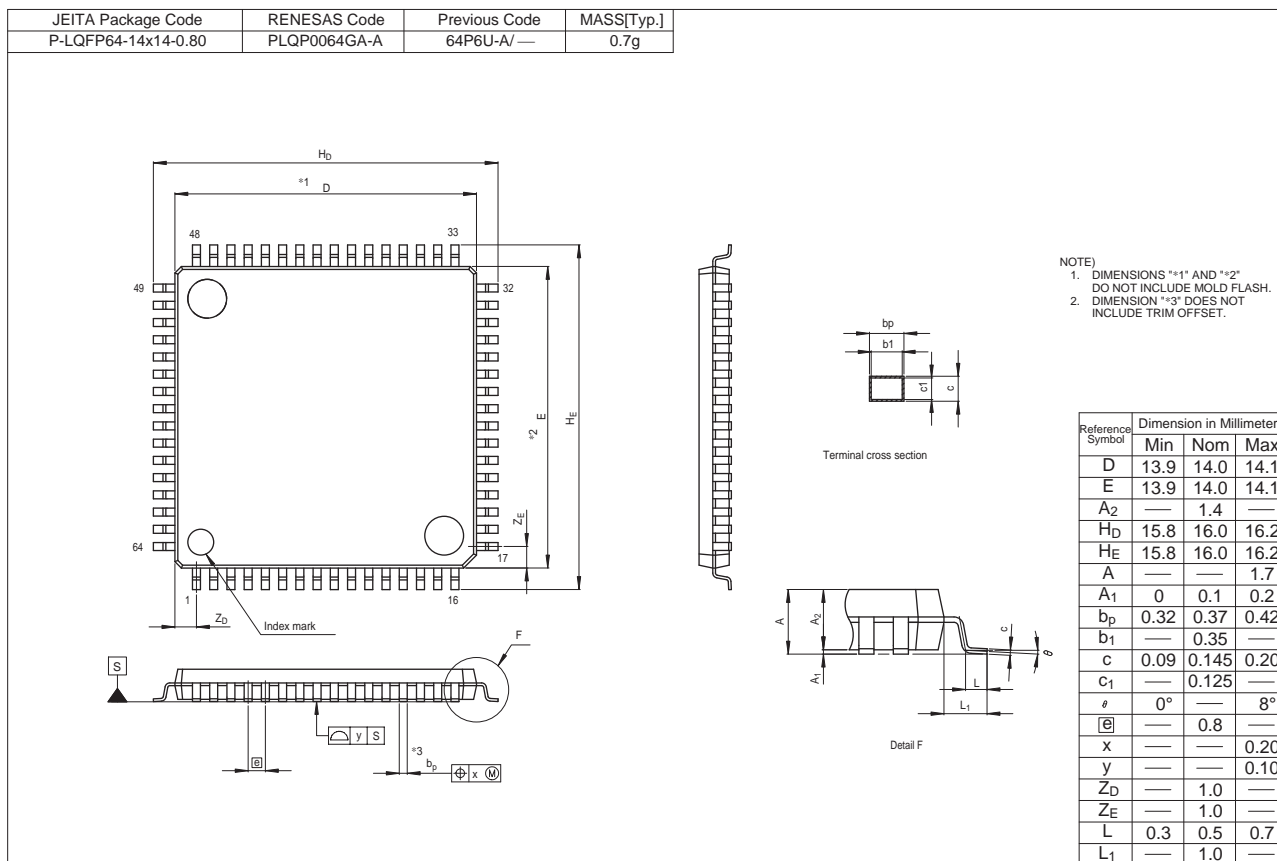


図 B. 64ピンLQFP (PLQP0064GA-A)

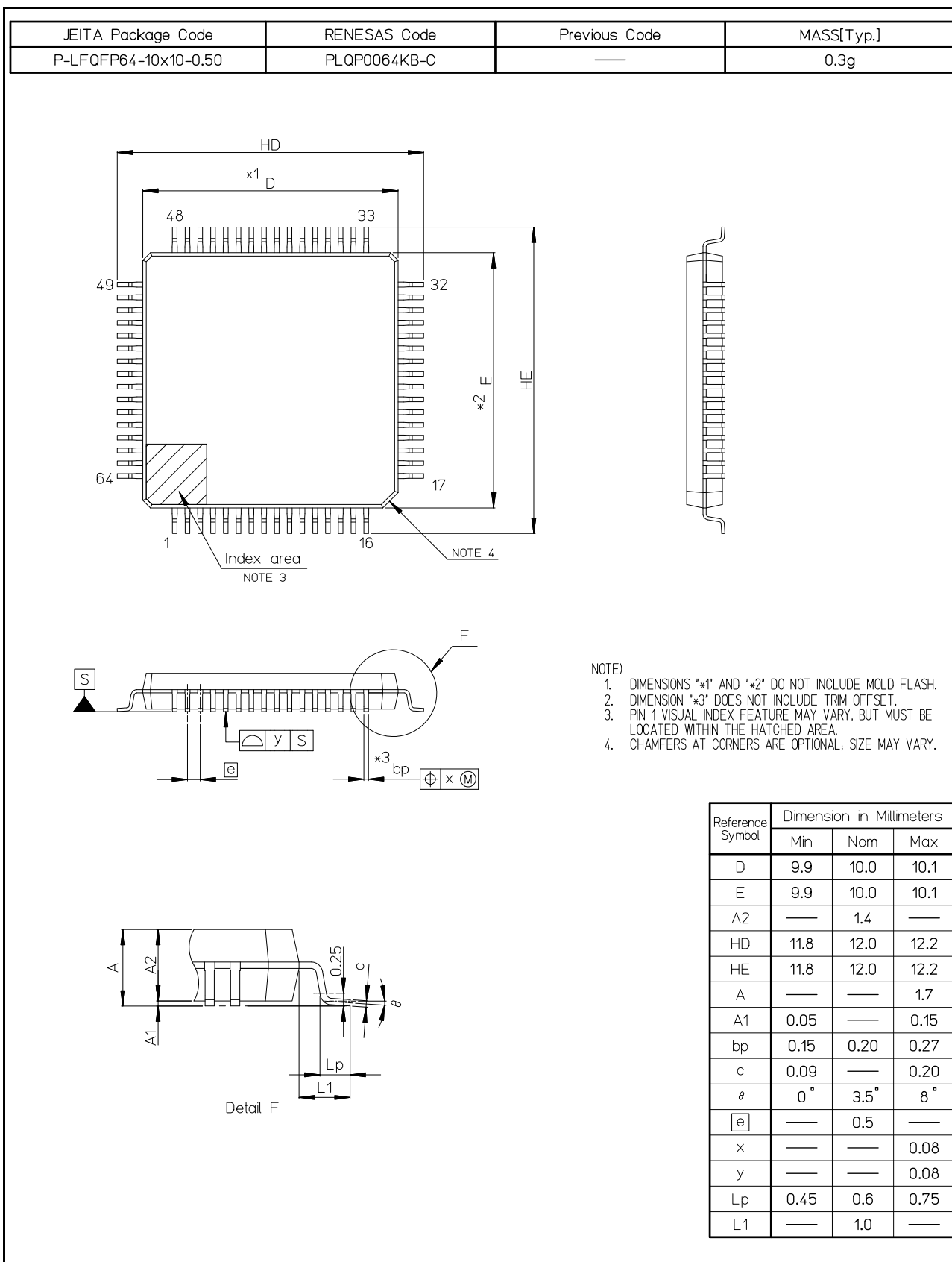
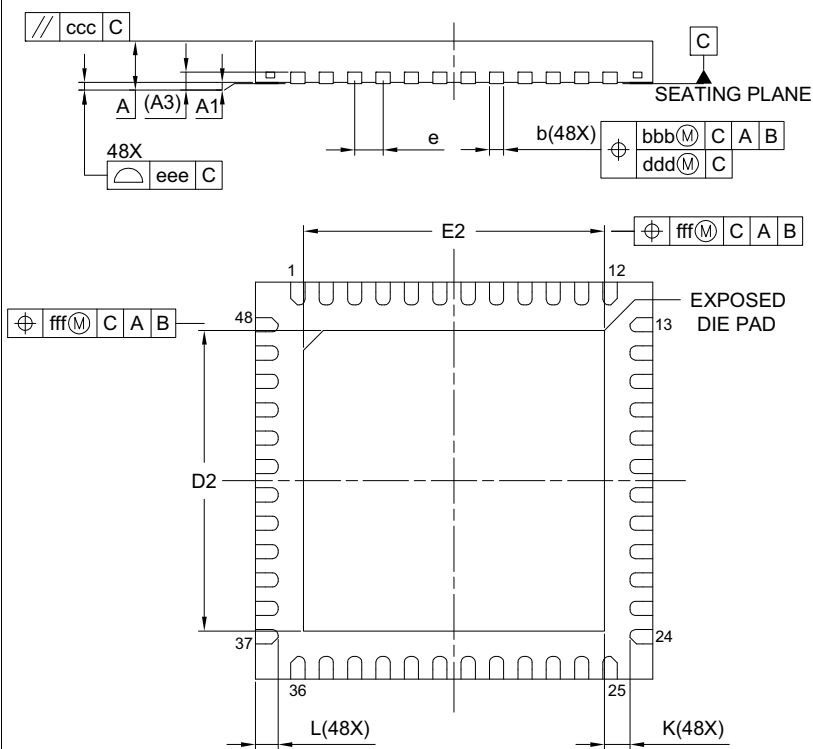
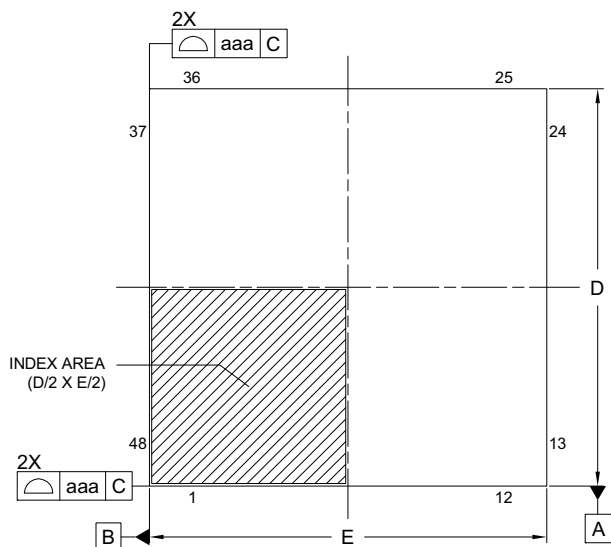


図 C. 64ピン LFQFP (PLQP0064KB-C)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.25	5.30	5.35
E ₂	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 D. 48ピン HWQFN (PWQN0048KC-A)

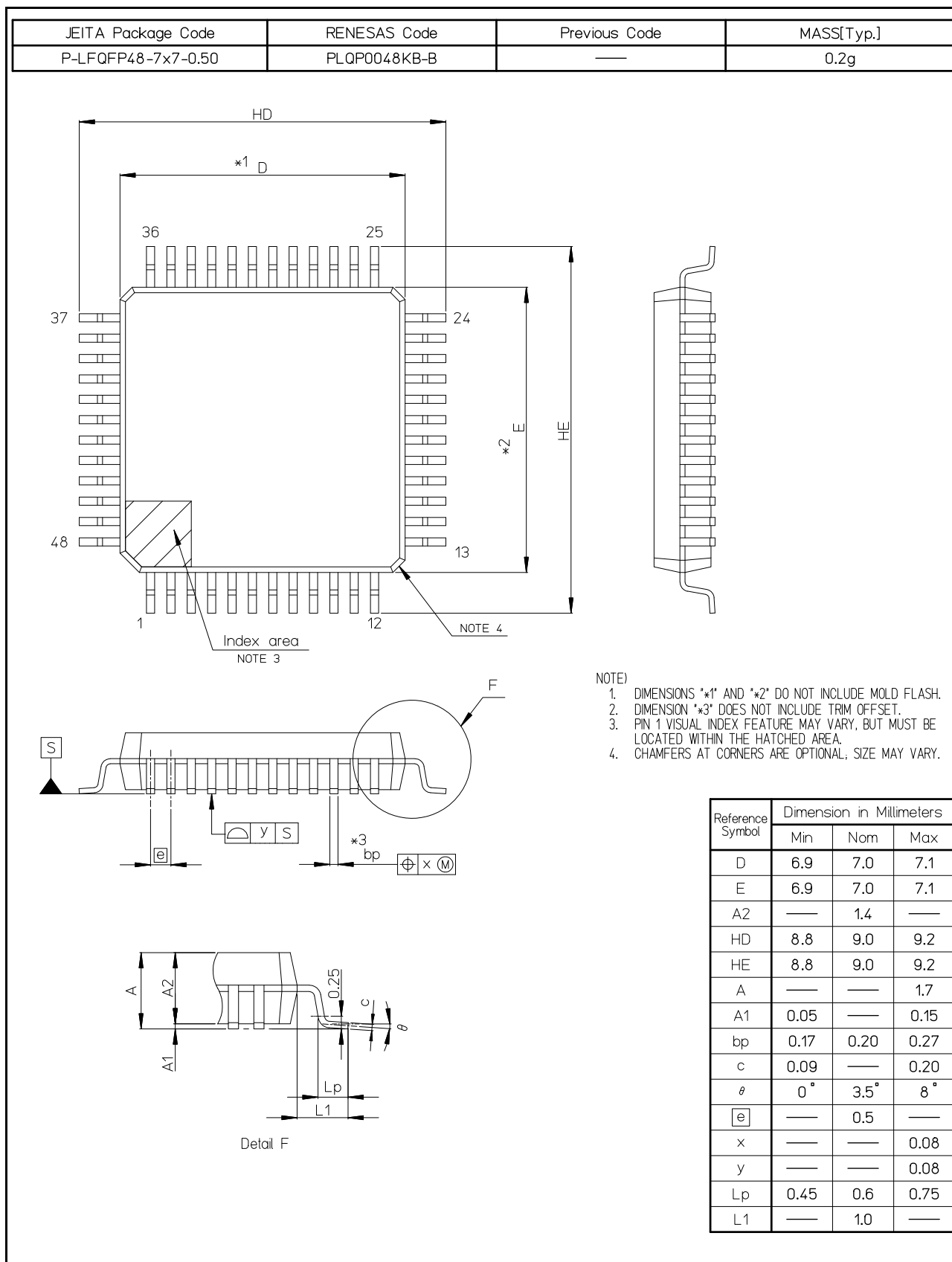
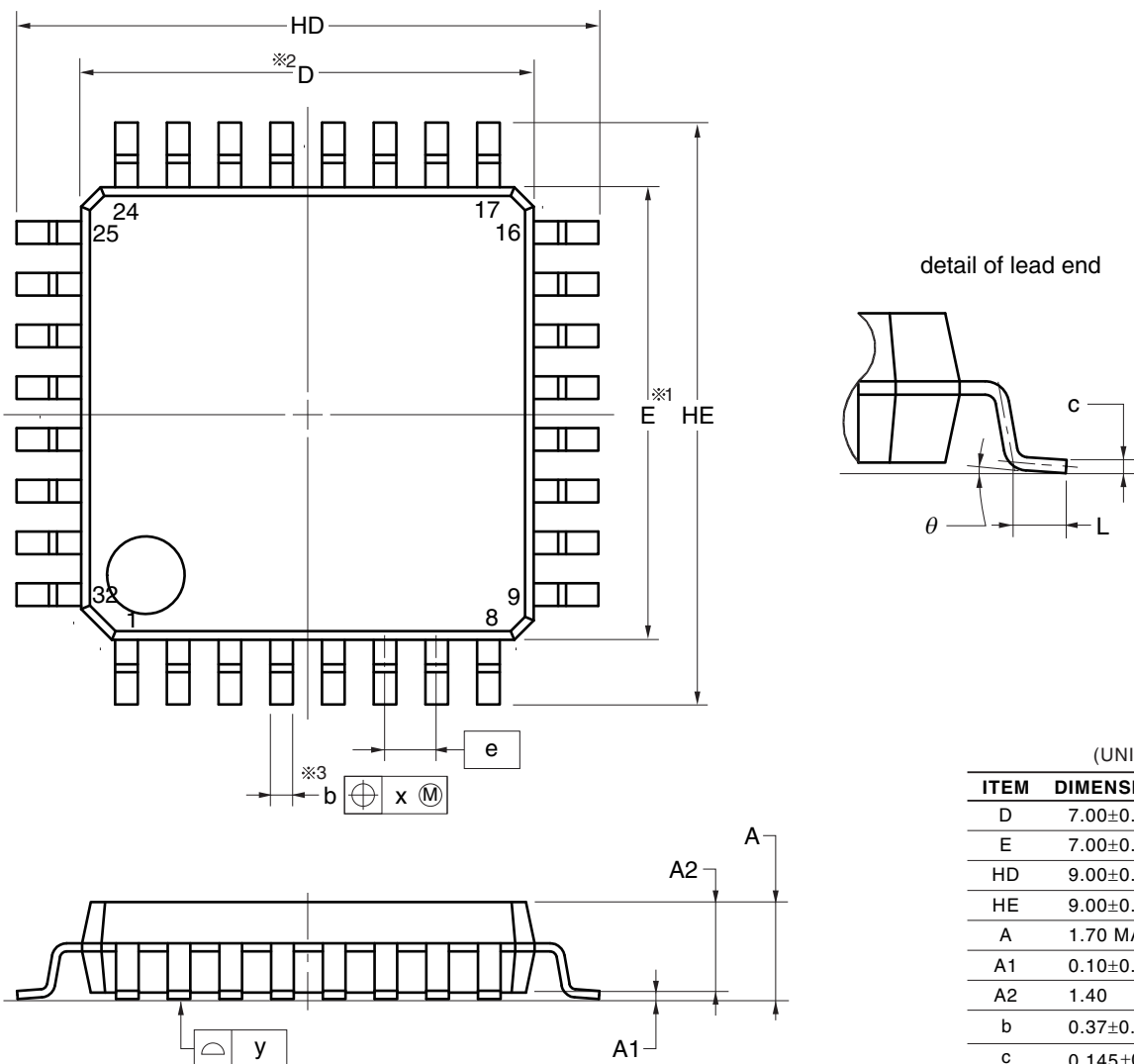


図 E. 48ピンLFQFP (PLQP0048KB-B)

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2



(UNIT:mm)

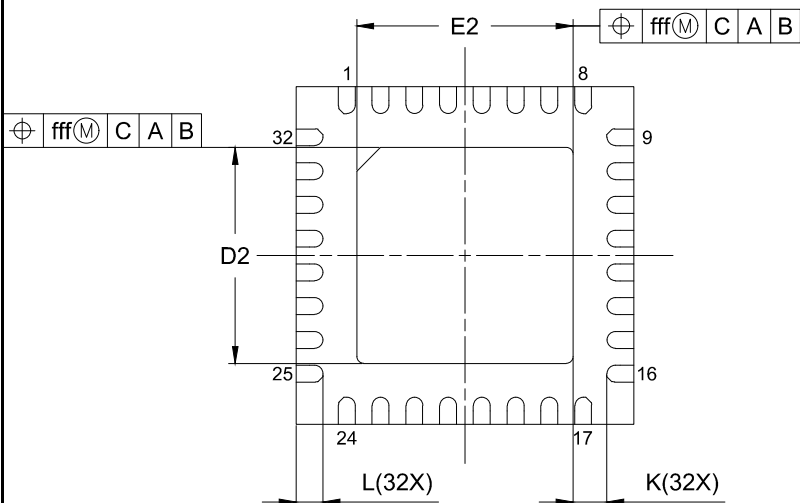
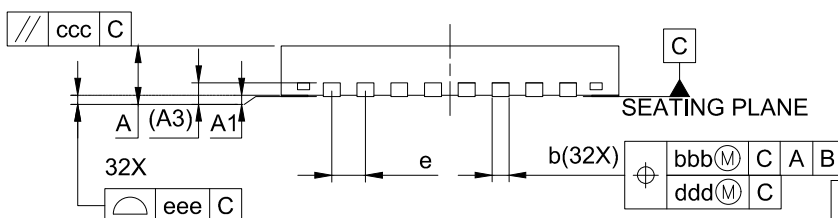
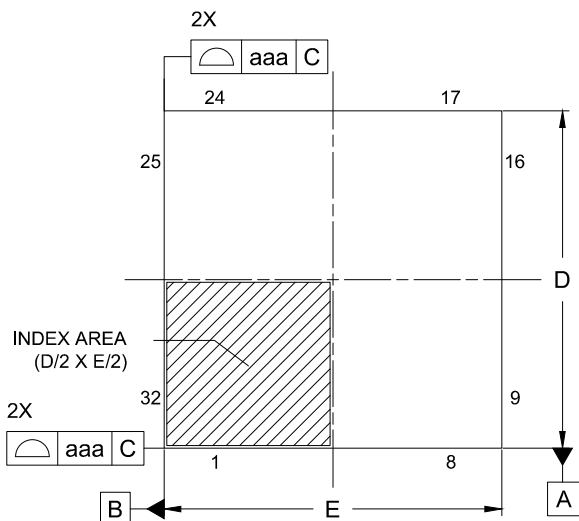
ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

1. Dimensions “※1” and “※2” do not include mold flash.
2. Dimension “※3” does not include trim offset.

図 F. 32 ピン LQFP (PLQP0032GB-A)

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D ₂	3.15	3.20	3.25
E ₂	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 G. 32ピン HWQFN (PWQN0032KE-A)

改訂記録	RX140 グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2021.08.05	—	初版発行	
1.10	2022.04.20	特長		
		1	■消費電流低減機能 変更	TN-RX*-A0258A/J
		1. 概要		
		3	表 1.1 仕様概要 (2/4) 変更	
		7, 8	表 1.3 製品一覧表 変更	
		9	図 1.1 型名とメモリサイズ・パッケージ 変更	
		13	表 1.4 端子機能一覧 (3/3) 変更	
		14	図 1.3 80ピンLFQFPピン配置図 変更	
		15	図 1.4 64ピンLFQFP、64ピンLQFPピン配置図 変更	
		16	図 1.5 48ピンLQFPピン配置図 変更	
		16	図 1.6 48ピンHWQFNピン配置図 変更	
		18	表 1.5 機能別端子一覧(80ピンLFQFP) (1/2) 変更	
		20	表 1.6 機能別端子一覧(64ピンLFQFP、64ピンLQFP) (1/2) 変更	
		24	表 1.8 機能別端子一覧(32ピンLQFP、32ピンHWQFN) 変更	
		2. 電気的特性		
		全体	PH7、PH6の特性 追加	
		全体	ROM容量128Kバイト以上の製品の特性 追加	
		47	表 2.14 DC特性(9) 変更	TN-RX*-A0258A/J
		50	表 2.17 出力許容電流値(2) 変更	
		51	表 2.21 熱抵抗値(参考値) 注1 追加	
		57	表 2.36 HOCOクロックタイミング(ROM容量：64Kバイト以上の製品) 注1 追加	TN-RX*-A0258A/J
		86	表 2.59 A/D変換特性(2) 変更	
		89	表 2.62 A/D変換特性(5) 変更	
		103	表 2.77 E2データフラッシュ特性(2) 高速動作モード 変更	
		付録1. 外形寸法図		
		115	図 F. 32ピンLQFP (PLQP0032GB-A) 追加	

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットを解除してください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。