

# 4 1/2桁19999 周波数カウンタキット

メインカウンタにIntersil社ICM7224IPLを使用  
最高動作周波数25MHzの高速C-MOS・ICです。



Intersil ICM7224IPL使用

# 4½桁 19999

## 液晶表示 C-MOS

# 周波数カウンタキット

### ポケット周波数カウンタ概要

#### ◇◇◇◇◇◇◇◇◇◇ 基本性能 ◇◇◇◇◇◇◇◇◇◇◇◇

- ◇メインカウンタにはINTERSiL社、ICM7224IPLを使用。ICM7224は最高動作周波数25MHz (typ)、高速C-MOS・ICです。
- ◇表示は4½桁大型ハイコントラスト液晶表示器[361002]を採用。(単位表示)
- ◇低消費電力。電源は5V単一動作7mA (typ) 006P電池で24時間連続使用可能。
- ◇基準発振源は、高精度タイムベースモジュールSPG8651B使用で、完全無調整。基準発振確度は±1ppm以内。
- ◇測定範囲は0.01Hz~25MHz、プリスケラ (オプション) 使用で1GHzに拡大可能。オーディオ帯からUHF帯までフルカバーします。

#### ◇◇◇◇ 入力系 ◇◇◇◇◇◇◇◇ 制御系 ◇◇◇◇◇◇

- |  |   |
|--|---|
| <ul style="list-style-type: none"> <li>◇入力は4種類を電氣的に切換え。           <ul style="list-style-type: none"> <li>● IN Lo (入力レベル1Vp-p以下用)</li> <li>● IN Hi (入力レベル1Vp-p以上用)</li> <li>● TTL (IN HiのDCカップリング)</li> <li>● プリスケラIN</li> </ul> </li> <li>◇ IN Loの入力感度。           <ul style="list-style-type: none"> <li>● 0.01~5MHz 15mVp-p</li> <li>● 5M~10MHz 50mVp-p</li> <li>● 10M~25MHz 100mVp-p</li> </ul> </li> <li>◇ TTLレベル専用入力により発振器調整時等のレベル不整合によるミスカウントが防げます。</li> <li>◇ MB504 (1GHz 1/1000) プリスケラ専用入力も用意しました。</li> </ul> | <ul style="list-style-type: none"> <li>◇ 標準ゲートタイムは6種。           <ul style="list-style-type: none"> <li>0.01Hz・0.1Hz・1Hz・10Hz・100Hz・1KHz (最小分解能) ターボスイッチ兼で10KHzまで</li> </ul> </li> <li>◇ プリスケラ用ゲートタイムは3種。           <ul style="list-style-type: none"> <li>10KHz・100KHz・1MHz (最小分解能)</li> </ul> </li> <li>◇ ゲート切り替えを電氣的に行うと同時に、単位切換えも集中制御。</li> <li>◇ 表示器はHz, K, M及び小数点(D.P.)の単位を表示。読取を向上します。</li> <li>◇ ゲートオープン時にはHz表示が消灯し読取タイミングを知らせます。</li> <li>◇ ゲートタイム10Hz以上の高速ゲート測定時には、動作にウエイトを掛け液晶のちらつきを防止しています。</li> </ul> |
|--|---|

◇キットにはスイッチ・ケース等は含まれておりません。動作にはゲート切り替え用として、1回路3接点のものが2個(中点 OFFのトグルスイッチ等でも可)、押しボタンスイッチ、電源スイッチ等が必要です。詳細はワイヤリングの項をご覧ください

## ◆ パーツリスト ◆

★半導体	★コンデンサ	5 1 Ω (緑黒銀金) × 1
ICM7224 [Intersil]	470 pF (471)セラミック × 1	82 Ω (灰赤黒金) × 1
SPG8651B [Seiko Epson]	1000 pF (102)セラミック × 2	100 Ω (茶黒茶金) × 1
74HC4052 [各社]	0.1 μF (104)積層セラミック × 10	300 Ω (橙黒茶金) × 1
C-MOS 4011 [各社]	10 μF 16V 電解 × 5	1 K Ω (茶黒茶金) × 2
C-MOS 4030 [各社] × 2	★マイクロインダクタ	22 K Ω (赤赤黒金) × 2
S81350AG [Seiko I]	100 μH (黒緑) × 2	47 K Ω (黄紫橙金) × 1
2SK241 (MOS FET)	★半固定抵抗	220 K Ω (赤赤黒金) × 1
2SC1923 (トランジスタ)	50 K Ω (503) × 1	330 K Ω (橙橙黒金) × 1
1S1588 [各社相当品] × 6	★専用基板 AE-7224	390 K Ω (橙白黒金) × 1
★液晶表示器	★006P用電池スナップ	1 M Ω (茶黒緑金) × 1
[361002]	★抵抗 (1/8-1/4W)	6.8 M Ω (青灰緑金) × 1

★0.1 μF 及び 10 μF はカップリング及びパスコンですから、0.01 ~ 1 μF、  
注 1 ~ 47 μF (16V以上) の容量の場合があります。

★各ICと液晶表示器にはICソケットが付きま

★IC及びFETはMOS構造ですから、取り扱いには十分注意して下さい。

### ◆ はじめて周波数カウンタを使う方へ ◆

周波数カウンタとは当然周波数をカウントするものです。では周波数とは何かを考えてみましょう。周波数の単位はHz。(回/秒) 1秒間に何回の波があるかということが周波数であります。1秒間に1000回の波があれば1000Hz(1kHz)になります。

周波数カウンタの動作原理は、基準となるクロックから1秒間のゲート(門)を作ります。そのゲートの間だけカウンタに波をカウントさせれば、Hz単位の周波数がわかることになります。

4 1/2桁のカウンタでは最大 19999までのカウントしかできません。つまり19999Hzより以上・1Hzより以下は測定できないことになります。そこでゲートの時間を変えて例えば0.1秒間のゲートとすれば、199.99KHzまで測定できます。このようにゲートタイムを10の倍数で変えられるようにすることで、少ない桁数でも広範囲の周波数測定が可能になります。

当周波数カウンタでは少ない桁数をカバーできるよう、6種類のゲートタイムを用意し(オプションで7種)、0.01Hz~25MHzまでを測定

可能にしています。また微小なアナログレベルでも測定できるよう入力アンプが用意され、測定できるレベルまで増幅します。

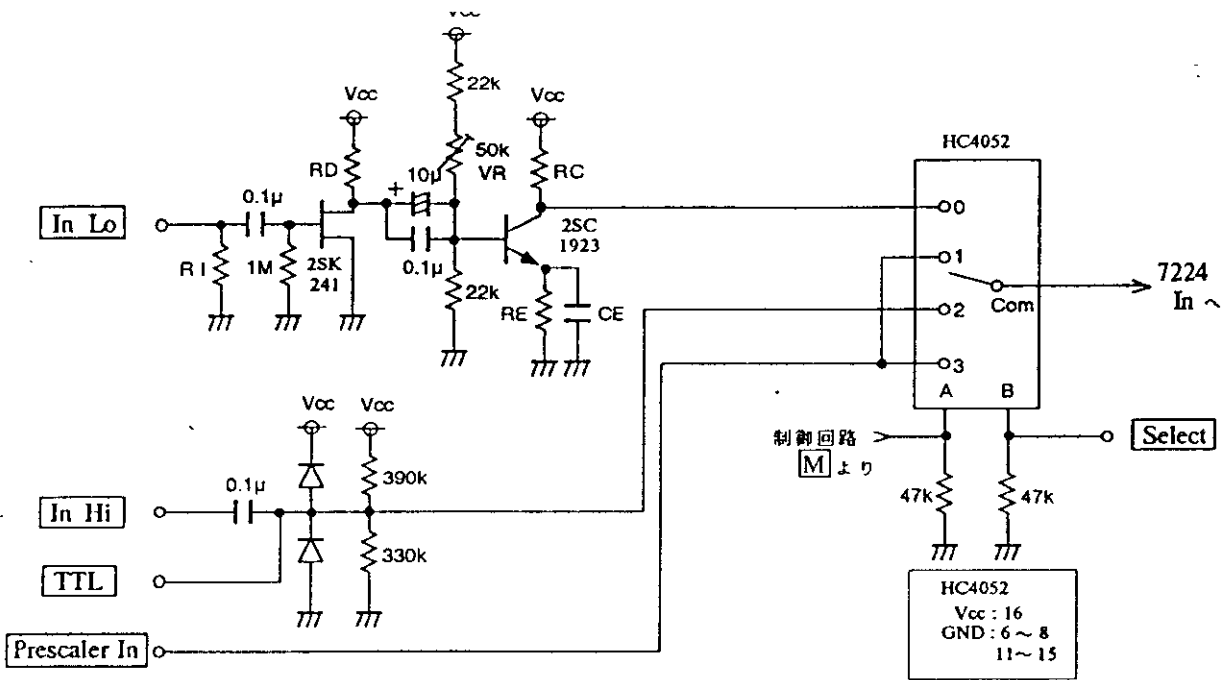
### ◆ 当周波数カウンタの設計思想 ◆

当機の設計はまず小型軽量であるということを中心に、低消費電力すなわち電池動作ができるよう設計しています。

このため極力低消費電力の素子を選び、表示は電力を多く使うLEDは避け、液晶を使用しています。またゲート切り替えもシンプルにできるようにし、いつでも持ち運べるポケットカウンタとして、また初心者にも操作しやすいよう考慮しています。

ですがこの反面ハイインピーダンス・ハイゲインの設計のため、非常にノイズに弱いという事と、回路的なゲート切り替えの複雑さから、1/10" 以外のプリスケラには対応できないという事を、予めご了承頂きますようお願いいたします。

25MHz以上の測定についてはMB504使用の1/1000 max1GHzのプリスケラをオプションとして用意しました。またこのプリスケラ専用入力端子を本体に用意し、対応できるようにしてあります。



【入力系回路図】

### ◆動作説明◆

当周波数カウンタは4種類のパートから構成されています。入力系、制御系、メインカウンタ及び表示系、電源系です。この4種が組み合わさりはじめて周波数カウンタになります。各系統ごとに動作について説明していきます。

### ◆入力系動作◆

入力系は大まかに分け、入力切換え、アンプ、保護及びバイアス回路から構成されています。

アンプの動作は主に1V以下の周波数を、メインカウンタ7224がカウントできるレベルまで増幅します。回路的には入力インピーダンスの高いFETによるソース接地と周波数特性のよいトランジスタによるエミッタ接地の2段アンプ構成です。

回路図をご覧ください。数値の記載がない抵抗及びコンデンサが合わせて5個あります。(RI RD RC RE CE)これは使用者のニーズに合わせて選択します。

RIについて。これはアンプの入力インピーダンスを決定します。標準では取り付けなくて結構です。測定ラインが50Ωで整合されている場合のみ、51Ωの抵抗を取り付けます。

RI	入力インピーダンス
なし	1 MΩ
51Ω	50Ω

【RIと入力インピーダンスの関係】

RD RC RE CE について。全体の消費電流のほとんどはアンプで消費されています。ここではアンプの周波数特性がある程度フラットでなくても消費電流を押さえるか (A)、周波数特性をフラットにし消費電流をあげてしまうか (B) を決定します。

	RD	RC	RE	CE	消費電流
A	1KΩ	1KΩ	100Ω	0.1μF	6mA
B	1KΩ	300Ω	82Ω	470pF	20mA

Aセッティングについて。Aセッティングは5MHz程度までは30db程度のゲインがあり、それより高い周波数では下降曲線をたどります。25MHzでのゲインは18db程度。

Bセッティングについて。Bセッティングは15MHzまで完全にフラットでゲインは約22db。25MHzでのゲインやはり18db程度。

この2つのセッティングのどちらかを選ぶかは、カウンタの入力アンプですから、さほどフラットさは要求されませんので標準では消費電流の少ないAセッティングを選択しますが、ハイゲイン・ハイインピーダンスの為正規の入力がない場合は、ノイ

ズにより常にランダムなカウントをしてしまします。その点Bセッティングはランダムカウントは少なく、ゲイン的にも非常に安定してますが、消費電流は大きいです。これらのことを踏まえセッティングを決定してください。また入力に対し保護については、入力レベル10Vp-p程度までなら2SK241の破壊はありませんので感度を悪くしてしまう保護回路は取り付けていません。

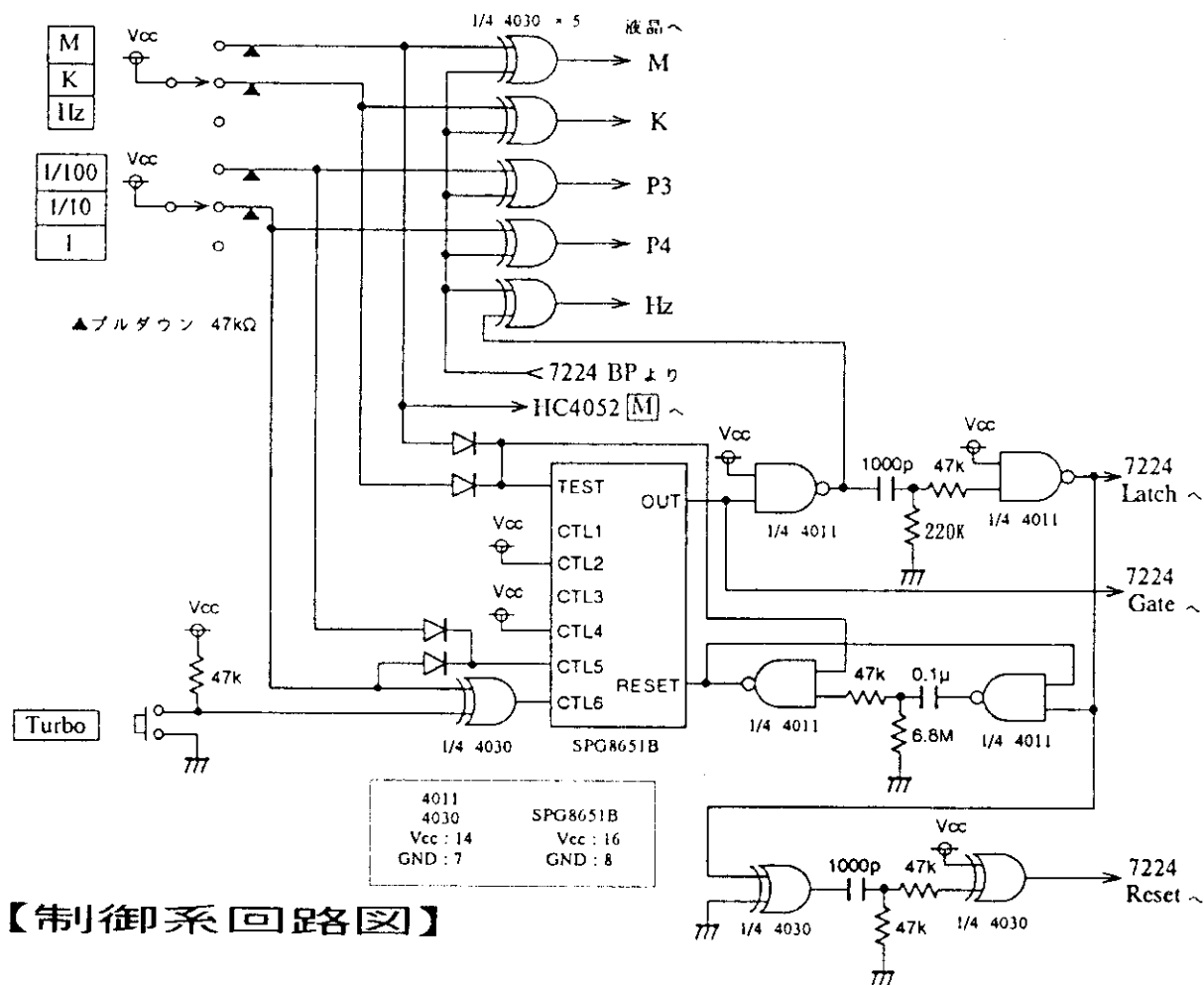
IN Hiについて、IN Hiはゲインを与えずそのまま7224に入力してしまう入力です。7224の入力はシュミットで構成されており、1V以上のレベルではダイレクトに入力できます。またスレッシュドレベルは約2.3Vのところであり(チップ10)、このバイアスを330K $\Omega$ と390K $\Omega$ の抵抗で与え、ダイオードによる保護と共に入力回路を構成しています。ダイオード保護により入力最大レベルは、ダイオードの最大耐圧に依存し、30Vp-p程度になります。

TTL入力は IN HiのDCカップリングで、すでにバイアスが与えられている交流に対し、別のバイアスを与えたことによる mismatchingを避けるものです。つまりTTLレベルなら7224にはそのまま入力すればよい訳です。

これらの入力の切換えには帯域が数十MHzに及ぶハイスピードCMOSアナログスイッチ74HC4052で行います。高域でのインピーダンス上昇による多少の感度低下はありますが、使いやすいICです。入力対応表を示します。

Select	M	Input
Lo	Lo	IN Lo
Hi	Lo	IN Hi, TTL
×	Hi	Prescaler

Select端子は開放でIN Lo, 5Vに接続するとIN Hi, TTLを選択します。M端子はゲートタイムスイッチに連動させ、Select端子にかかわらず MHz測定時にはプリスケラINを選択します。こうして選択された入力信号は、7224COUNT INに接続されます。



## ◆制御系動作◆

制御系は大まかに分けゲートタイム系、液晶制御系、7224コントロール系の3回路から構成されています。ゲートタイム系と液晶制御系はセレクトスイッチで連動させています。

まずゲートタイム系ですが、主な動作はSPG8651Bが行っています。8651のCTL端子の選択により自由にパルスタイムを設定できます。基本となるセッティングはCTL1、2、3、4をそれぞれLo、Hi、Lo、Hiに固定し、CTL5、6を外部スイッチによりコントロールすることにより1/2~1/200Hzを選択できます。(8651データ参照)これはパルスがHiレベルとなっている時間が1~100秒に相当し、このまま1~1/100Hzのゲートタイムとして使用しています。

また8651のTEST端子を利用し、KHz、MHz選択時には上記のゲートタイムの1000倍になり1K~10Hzのゲートタイムとなります。

MHzは1/1000のプリスケラの使用を前提としているため、ゲートタイムはKHzと同一でよいことになります。

	1	1/10	1/100	
Hz	1Hz	0.1Hz	0.01Hz	※実際には Kと同一 タイム
K	1KHz	100Hz	10Hz	
M※	1MHz	100KHz	10KHz	

### 【スイッチとゲートタイムの関係】

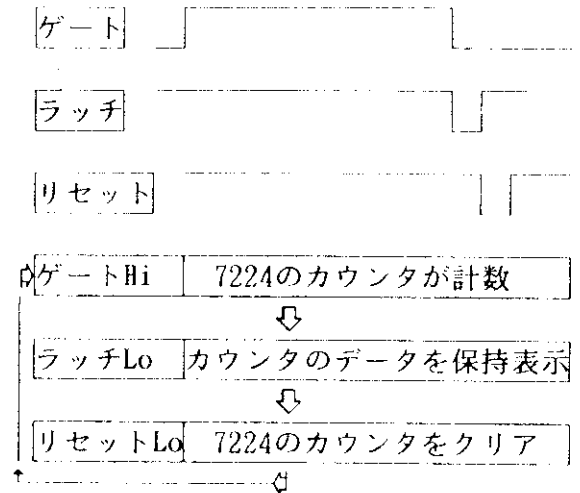
オプションのTurboスイッチはゲートタイムを1KHzとした場合でも最高測定周波数は19.999MHzまでしか測定できないため、これを超えてしまう場合10KHzのゲートタイムを発生させ25MHzまでの測定を可能にしています。ただしこれを使用できるのはゲートタイム1KHzの時のみでまた単位はサポートできません。

液晶制御系は液晶の全ての単位について制御しています。液晶は交流点灯ですから液晶コモン(BP)と同相でセグメントOFF、逆相でセグメントONになります。このためEX-ORである4030の片側に7224BPを入力し、ゲートタイムのセレクトにより同相か逆相かを選択し単位を点灯しています。またゲ

ートオープン時には動作の確認が行いやすいようHz単位を消灯させています。

7224コントロール系は、7224のラッチ(データ保持)、リセット(カウンタクリア)及び8651のウエイト(一時動作の停止)の各制御パルスを作成しています。

ラッチ及びリセットパルスですが、ゲートパルスのエッジを利用し、4011の遅延パルス発生回路でまずラッチパルスを作り出します。このパルスのエッジから4030の遅延パルス発生回路でリセットパルスを作ります。なおラッチ・リセットパルスはゲートパルスと論理が異なります。以下にタイミングチャートを示します。

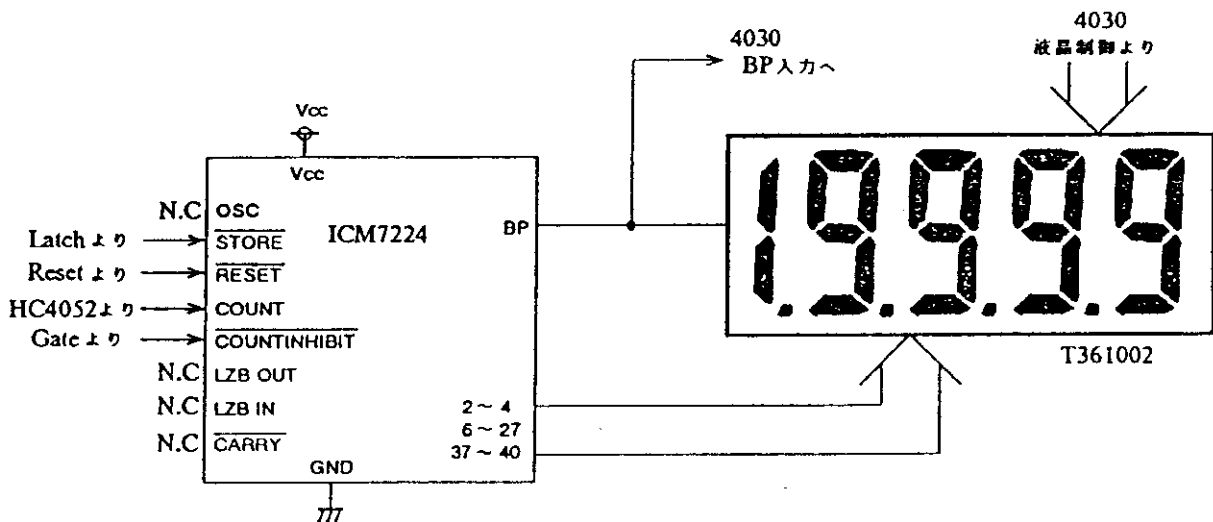


### 【7224コントロール動作概略図】

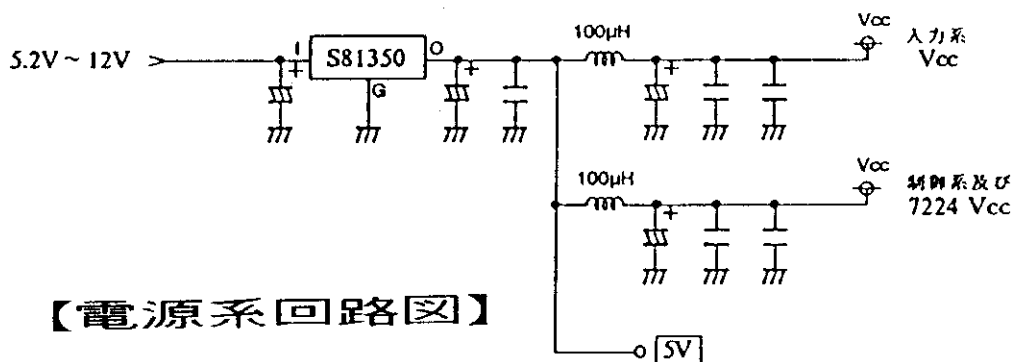
ウエイトパルスですが、これは10Hz以上の高速ゲート測定時に液晶表示のちらつきを押さえ、読み取りを向上させるためのものです。4011のゲートを2個使用したON、OFF付きのワンショットマルチバイブレータで構成されており、K及びMを選択した時のみ動作します。

動作としては、ラッチパルスのある一定時間のパルスにワンショットマルチバイブレータで引き延ばし、8651をその一定時間のあいだ一時動作を停止させ、サンプリング回数を任意に少なくしています。

この時定数は0.1μFと6.8MΩで決定されており、実際の使用にあたりサンプリング回数の好みにより、1M~10MΩの間で調整して頂いても結構です。



【メインカウンタ回路図】



【電源系回路図】

◆メインカウンタ、表示部動作◆

メインカウンタである7224の動作については基本的には単純なアップカウンタで、詳しくは7224データを参照してください。(英文ですがぜひ一読ください。)ここでは各制御入力についてのみ、ふれて置きます。制御入力にはCOUNT INHIBIT(ゲート)、STORE(ラッチ)、RESET、LEADING ZERO BLANKING INの4種類があります。以下に動作の一覧を示します。

COUNT	Hi	カウント動作
INHIBIT	Lo	カウント停止
STORE	Hi	出力ラッチ回路は記憶保持
	Lo	出力ラッチ回路はスルー
RESET	Hi	通常動作
	Lo	カウンタは0000にリセット
LEADING ZERO	Hi	上位桁のゼロは表示しない
	Lo	上位桁のゼロは表示される

(注)全ての制御入力はプルアップされており、Hiレベルはオープンでも可。

液晶表示器[361002]にはダイナミック点灯もできるように3つのコモンが設けられています。7224はスタティック点灯ですから液晶表示器のCOM1, 2, 2'を全て7224BPに接続します。(液晶データ参照)またカウンタ表示に関係ない不必要なセグメントもBPに接続し誤表示を防いであります。

◆電源系動作◆

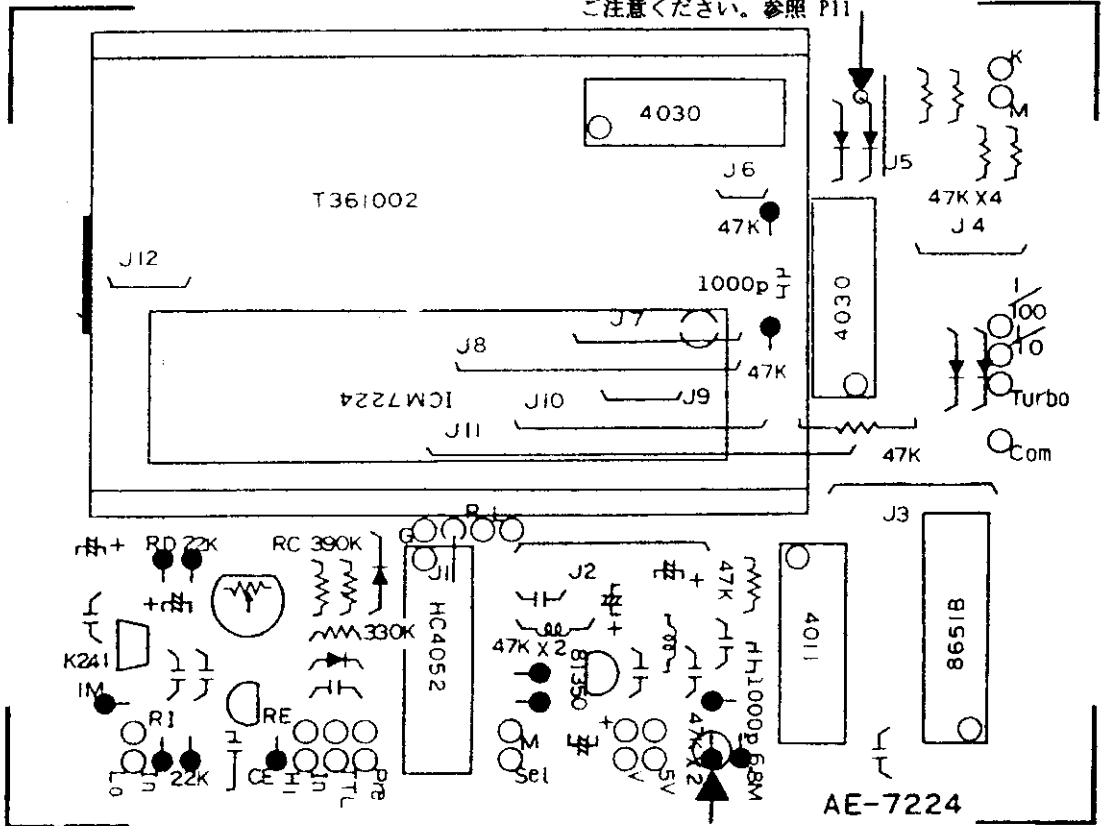
電源系には安定化回路に低ドロップ三端子レギュレータIC、S81350を使用します。このレギュレータは5.2~12Vの入力で安定化された5Vを作ります。9V006P電池を電源に使った場合でも、電池電圧が5.2Vになるまで使用でき、それが長時間動作ができる秘密になっています。

またデジタル系とアナログ系の電源ノイズを相互に防ぐため、デカップリングとしてマイクロインダクタ 100µHを挿入し干渉による誤動作を防いでいます。

おしまい。

# 【部品配置図】

この部分にパターン切れがあります。  
ご注意ください。参照 P11



この抵抗を 47KΩ から 220KΩ に変更します。

## ★数値表記無き部品一覧★

	積層セラミックコンデンサ 0.1µF		マイクロインダクタ 100µH
	電解コンデンサ 10µF		スイッチングダイオード 1S1588相当品

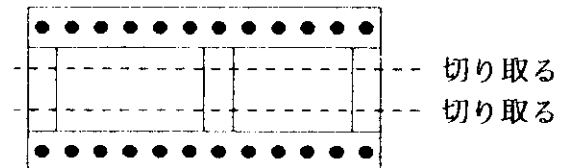
## ◆製作編◆

基板を見ていただくと分かると思いますが、パターン、部品配置は密集し液晶表示器の下にも部品が配されています。部品の付け間違い、付け忘れは致命的になる恐れがありますので、各回路図、部品配置図と共に十分注意して製作に取りかかってください。部品は根元までしっかりと差しこみ、半田付けは特に半田ブリッジに注意し、確実な半田付けを行いましょ。

まずジャンパー線を取りつけます。ジャンパー線はJ1~J12までの12本あります。ICの下にあるジャンパー線もありますので、取り付け忘れに注意してください。特にHC4052の下のJ1は分かりにくいので、部品配置図で確認してください。またジャンパー線には抵抗の余りリード等細目の物を使用し、極力背を低く取り付けてください。IC

ソケットが取り付けられなくなりますよ。

コストの高いICを半田付けによる熱破壊から守るため各ICにはICソケットを取りつけます。各ICのICソケットは4011・4030x2が14ピン、74HC4052・8651が16ピン、7224が40ピンを使用します。液晶表示器にもソケットを使いますが、42ピンと8ピンというように50ピン分の二個のICソケットが付属しています。これの接合部をニッパで切り取り片側25ピンのシングルインライン用のソケットとして組み合わせ使用します。



液晶用ソケットは7224用ソケットにぶつかる可能性がありますので、仮に差しこみ向きを確認してください。



ダイオード及びマイクロインダクタを取り付けます。ダイオードは6個、マイクロインダクタは2個あります。またダイオードには向きがあります。注意してください。

抵抗及びコンデンサを取り付けます。かなりの数の抵抗・コンデンサを取り付けますので、基板右上から端から順に付け残しがないよう取りつけて行きましょう。最後にアンプ部分を取りつけるようにします。また電解コンデンサのみ向きがあります。注意してください。積層セラミックにはピン間隔により2種類の取り付け穴を用意されています。適宜取り付けてください。

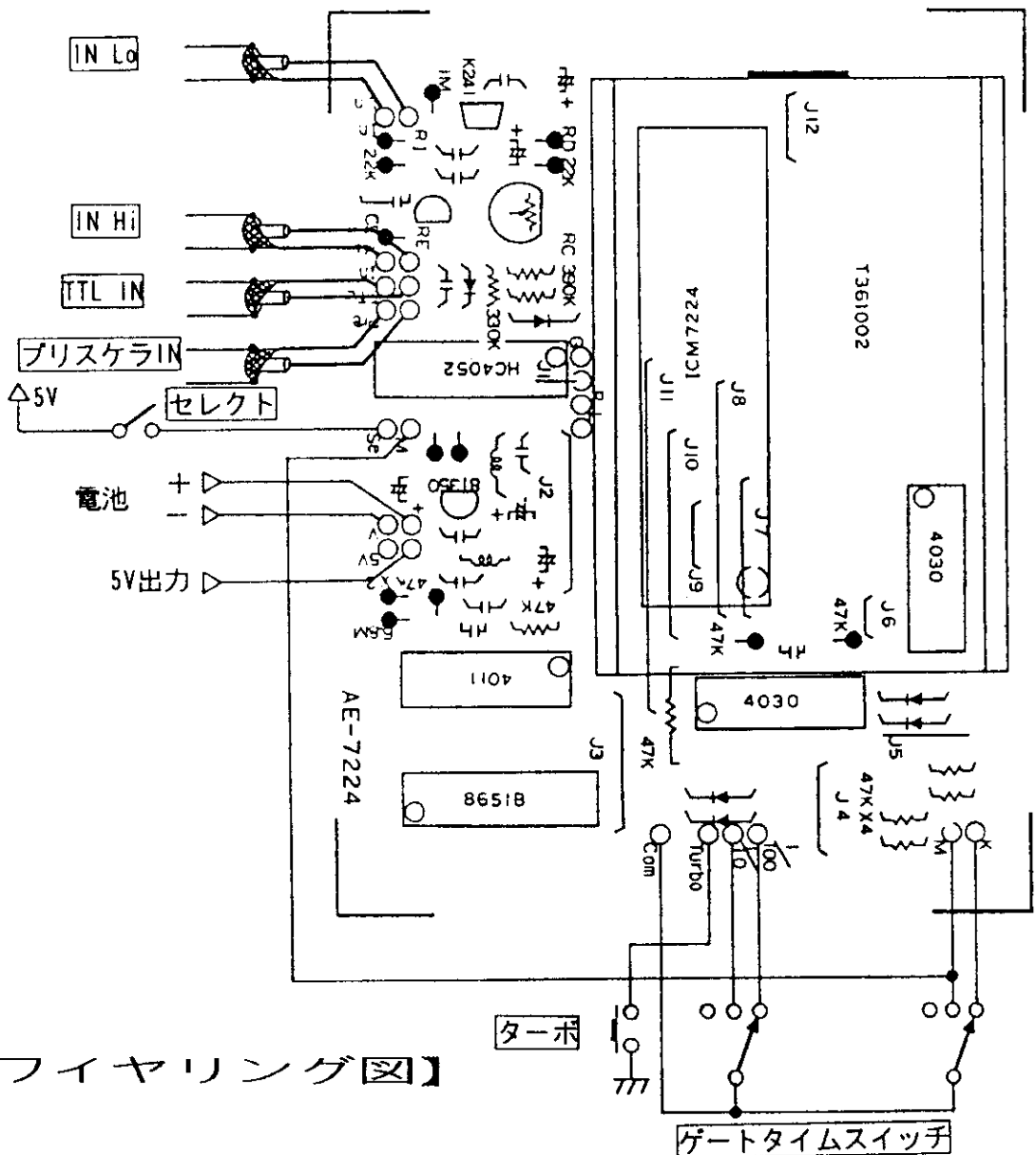
ここでもう一度RD、RC、RE、CEを示します。

	RD	RC	RE	CE
A セティング	1KΩ	1KΩ	100Ω	0.1μF
B セティング	1KΩ	300Ω	82Ω	470pF

必ず決定したセティングの定数の抵抗・コンデンサを取り付けてください。

半固定抵抗及びトランジスタ類を取り付けます。半固定抵抗にはいくつかの取り付け穴があります。ピン配置により適宜取り付けてください。2SK241、2SC1923、S81350を向きを間違えないよう取り付けます。

付け残しはありませんか。IC、液晶は差さずに基板のチェックを行ってください。



【ワイヤリング図】

## ◆電源チェック◆

まだICを差さずに各ICに正しく電圧がきているかをチェックします。V端子は内側が+、外側が-になりますので間違えないよう電池を接続してください。各電源端子+-をテスターで5Vであるか確認します。各ピン番号を一覧表にしておきます。

	4011	4030	HC4052	8651	7224
+	14	14	16	16	1
-	7	7	8	8	35

## ◆調整◆

ここではじめてICを挿入します。その後液晶表示器を挿入します。各向きには細心の注意を払ってください。液晶表示器はガラス封印部が左にくるようにします。電源をつないでください。Hz単位が点滅していますか。点滅していればほぼ完成です。

(この時点では特にゲートセレクトスイッチは取り付けなくても構いません。この場合ゲートタイムは1Hzになっています。)

調整ヶ所は1ヶ所。入力アンプのバイアス設定用VRのみです。このVRでHC4052の1ピンを2.3Vに調整します。アンプのセッティングがBセッティングの場合、2.3Vに調整できないことがあります。この場合VR左上の抵抗 22K $\Omega$ をジャンパーショートしてください。もしオシロスコープと発信器がある場合は、7224の32ピンを測定しながら発信器の出力レベルを下げていき、最小レベルで動作するよう調整してください。

## ◆ワイヤリング◆

基板完成後は左記のワイヤリング図を参考にして、配線してください。ゲートタイムスイッチには1回路3接点のロータリーか、スライドスイッチが2個。多少使い勝手は悪くなりますが、中点 OFFのトグルスイッチでも使えます。M端子は2ヶ所にありますのでスイッチ上で接続します。電源、セレクト、ターボの各スイッチ及びコネクタ類は好みのものをお使いください。完成後は必ず金属性のケースに入れ、外部からのノイズの影響を防いでください。

(スイッチ、ケース類は当社では取り扱っておりません。御了承ください。)

## ◆御注意◆

最初にもお断わりしておきましたが、IN Lo使用時はアンプがハイゲイン、ハイインピーダンスのため、ランダムなカウントもしくは 150~180Hzのカウントを起こしてしまいます。これは外遊ノイズもしくは液晶コモンノイズの影響です。正規の入力があればこれらはミスカウントしないものであり、異常ではありません。正常に動作している目印とお考えください。

少しでもランダムカウントを減らしたい方へ。本体のシールド、入力ラインのシールド線使用は当然です。アンプをBセッティングにする。または入力RIに51 $\Omega$ を取り付けるとランダムカウントは止まります。(Bセッティングにしても 150~180Hzのカウントを起こす場合はあります。)通常はセレクトを IN Hiにしておくのもいい手です。使い勝手を考えるとやはり気にしないのが一番ですね。

## ◆応用編◆

高域のゲインを上げるには。高域での多少のゲイン落ちはHC4052の内部インピーダンスによるものです。これを防ぐにはHC4052を取り外し使用する入力のみ、直接7224に入力してしまう、または機械式のスイッチに取り替えてしまうのがよいでしょう。この場合配線及び配線の引き回しには十分な配慮をしてください。

消費電力を下げたい、入力レベルが500mVp-p以上しか測定しないという場合。ほとんどの消費電流はアンプで消費しています。アンプ部は組み立てないのが一番です。また IN Loをセレクトしているときのみアンプ電源が入るような仕組みにしてもよいでしょう。

応用編はあくまで参考であり、自由にアレンジしていただくためのものです。この項に関して技術的サポートはできません。

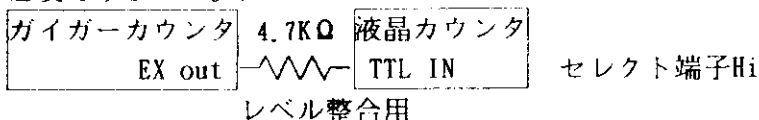
ご質問は往復葉書か封書でおねがいします  
〒158 世田谷区瀬田5-15-6 秋月電子通商  
4 1/2桁液晶表示周波数カウンタキット  
製作マニュアルVer2 1989-8-13 by G O !

# ⇨ ガイガーカウンタ・アプリケーション ⇩

ガイガーカウンタ計数部の応用へとお考えの方へ。

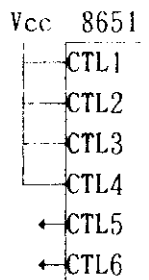
放射エネルギーの多少はあくまで「数」ですから、その計測にはある一定時間単位のカウントが必要になります。標準では1分間、10分間、1時間、1日単位が考えられます。ですが実使用を考えると、そうそう放射能検出パルスが大量に発生することは考えにくいので、この時間単位は測定者自信がコントロールするものでも十分です。以下に応用として周波数カウンタフルセットを利用した1分間、10分間単位の自動計測と、7224と表示器のみのアップカウンタへの応用を示します。

★1分間、10分間単位の自動計測。液晶周波数カウンタキットを使用。(IN Loアンプは必要ありません。)



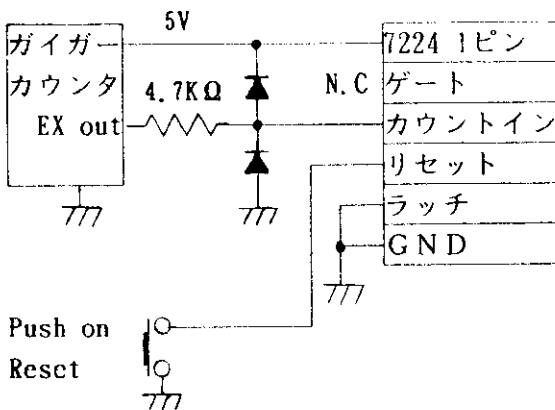
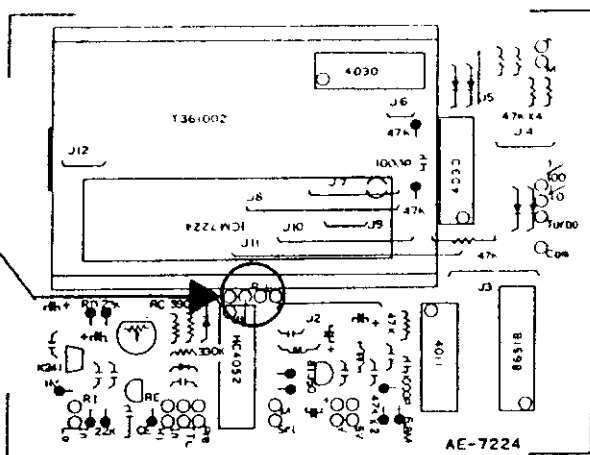
8651のゲートタイムを変更

8651の2、4ピンを3ピンとショートさせ5Vに接続。(この時2ピンは基板上でGNDに接続されているので適宜切り離します。) これで $\frac{1}{10}$ スイッチを使用で6秒、1分、10分に切り替えられます。(各ゲートタイムで機能の制約上、同時間のインターバルがあります。)



★アップカウンタへの応用。時間単位はリセットスイッチによりコントロールします。

使用部品は7224、液晶表示器、専用基板、CR部品少々です。基板組み立てはJ9、J12と7224及び表示器を取り付けます。電源はガイガーカウンタから5Vを7224、1ピンへ供給します。専用ボード丸印の部分に各入力端子がきています。左からゲート、カウントイン、リセット、ラッチです。これらをコントロールしアップカウンタにします。

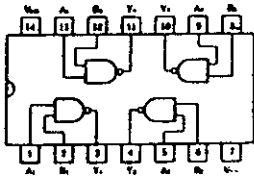


この方法だとリアルタイムでカウント数が見えて便利。また7224のみだと非常に低消費電力なので時間単位、1日単位など長時間計測も可能になります。ICデータをよく見て製作してください。何にせよ、この様な物が不要な世界になって欲しいものですね。

1989-8-16 by Go!

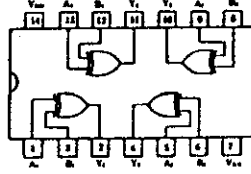
### 4011B

QUAD 2-INPUT NAND GATE



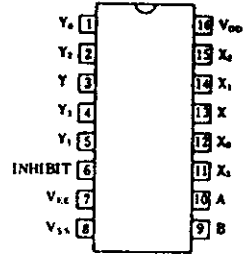
### 4030B

QUAD EXCLUSIVE OR GATE

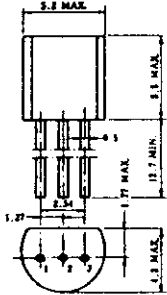


### 74HC4052

4-CHANNEL MULTIPLEXER



### S81350



- 1 OUT
- 2 GND
- 3 IN

### C-MOS IC

#### 論理表

4011

A	B	OUTPUT
Lo	Lo	Hi
Hi	Lo	Hi
Lo	Hi	Hi
Hi	Hi	Lo

4030

A	B	OUTPUT
Lo	Lo	Lo
Hi	Lo	Hi
Lo	Hi	Hi
Hi	Hi	Lo

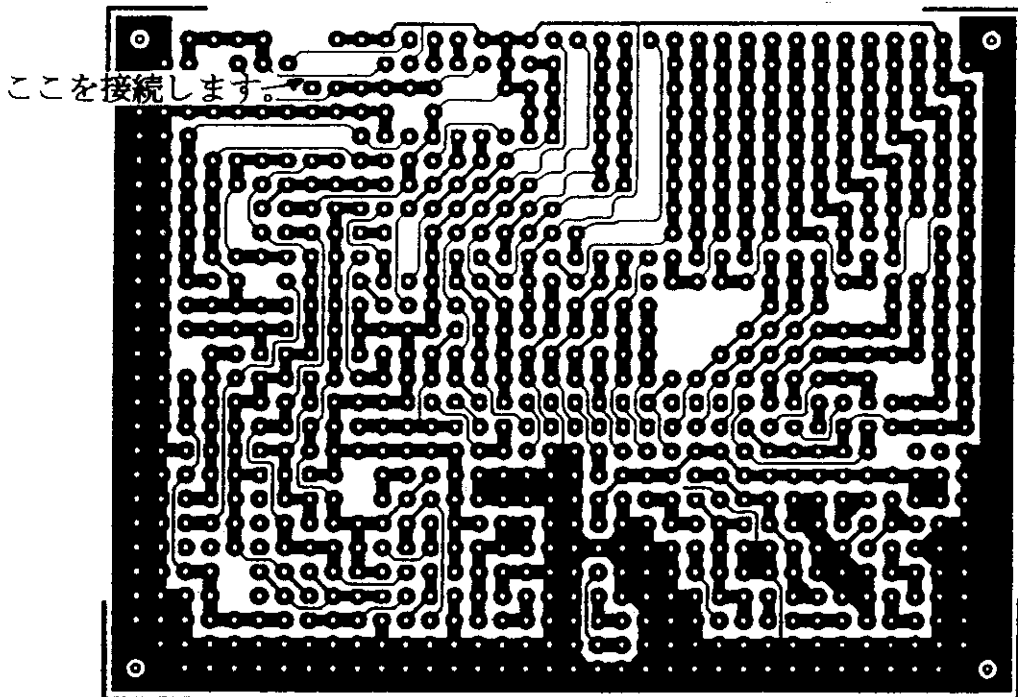
HC4052

A	B	OUTPUT
Lo	Lo	0
Hi	Lo	1
Lo	Hi	2
Hi	Hi	3

### 専用ボードAE-7224にパターン切れ発覚!

J5となりのダイオードカソード側(上側)のランドが、その上のパターンと接続されていません。カッター等ですぐ上のパターンのレジストを削り落とし接続してください。お手数をお掛けします。御容赦いただきますようお願いいたします。

秋月電子 GO!



# プログラマブル水晶発振器

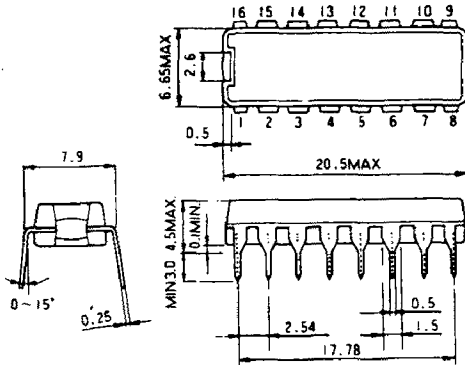
PROGRAMMABLE STANDARD PULSE GENERATOR

## ■8650B、8651B

設定端子	CTL4	0	0	0	0	1	1	1	1	
CTL5	0	0	1	1	0	0	1	1	1	
CTL1	CTL2	CTL4	0	1	0	1	0	1	1	
0	0	0	100K	10 K	1K	100	10	1	1/10	1/100
0	0	1	10K	1 K	100	10	1	1/10	1/100	1/1000
0	1	0	50K	5 K	500	50	5	1/2	1/20	1/200
0	1	1	33.3K	3.3K	333.3	33.3	3.33	1/3	1/30	1/300
1	0	0	25K	2.5K	250	25	2.5	1/4	1/40	1/400
1	0	1	20K	2 K	200	20	2	1/5	1/50	1/500
1	1	0	16.6K	1.6K	166.6	16.6	1.6	1/6	1/60	1/600
1	1	1	8.3K	833.3	83.3	8.3	0.83	1/12	1/120	1/1200

# SPG8651B

## ■外形寸法及び端子接続



- 1. NC      16. V<sub>DD</sub>
  - 2. CTL3    15. NC
  - 3. CTL2    14. RESET
  - 4. CTL1    13. NC(CSEL)
  - 5. CTL6    12. NC(EXC)
  - 6. CTL5    11. FOUT
  - 7. CTL4    10. TEST
  - 8. V<sub>SS</sub>(V<sub>DD</sub>) 9. OUT
- NC:外部接続はしないで下さい。

## ■端子説明

### (a)CTL1~6

源振に対する分周比をプログラムします。プルダウン抵抗が内蔵されています。

### (b)OUT

CTL1~6により設定された周波数を出力します。(周波数表参照)

### (c)FOUT

内部水晶の源振周波数を常時出力します。

### (d)RESET

この端子をLにすればリセットが動作し、OUTからの出力が停止されます。

プルアップ抵抗が内蔵されています。

### (e)TEST

この端子はテスト用の端子です。CTL4がHの場合、この端子をHにすれば出力が設定値の1000倍になります。プルダウン抵抗が内蔵されています。

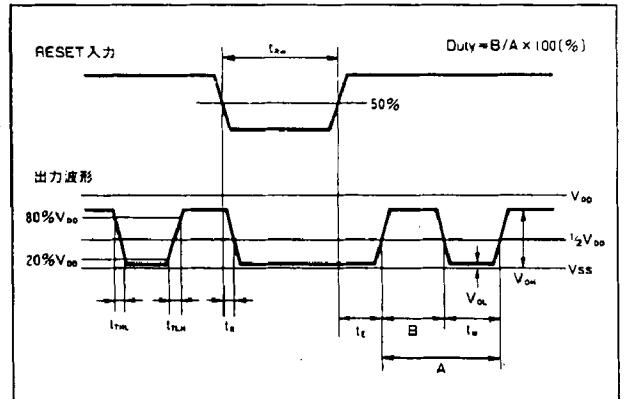
## ■絶対最大定格

項目	記号	定格値	単位
最大供給電圧	V <sub>DD</sub> -V <sub>SS</sub>	-0.3~7.0	V
保存温度	T <sub>STG</sub>	-55~125	℃
ハンダ付条件 (リード部)	T <sub>SOL</sub>	温度 260℃以下 時間 10秒以下	

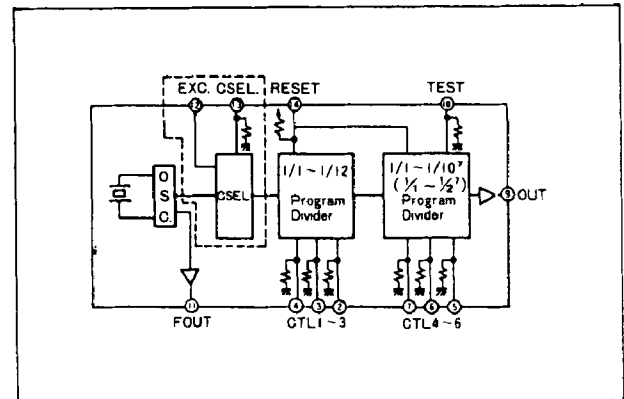
## ■動作条件

項目	記号	定格値			単位
		MIN	TYP	MAX	
電源電圧	V <sub>DD</sub>	4.5	5.0	5.5	V
動作温度	T <sub>OPR</sub>	-10		70	℃

## ■タイミングチャート



## ■ブロック図



□ 8650N  
( ) 8650D

# ICM7224/ICM7225

## 4 1/2-Digit LCD/LED Display Counter



### GENERAL DESCRIPTION

The ICM7224 and ICM7225 devices constitute a family of high-performance CMOS 4 1/2-digit counters, including decoders, output latches, display drivers, count inhibit, leading zero blanking, and reset circuitry.

The counter section provides direct static counting, guaranteed from DC to 15 MHz, using a 5V ± 10% supply over the operating temperature range. At normal ambient temperatures, the devices will typically count up to 25 MHz. The COUNT input is provided with a Schmitt trigger to allow operation in noisy environments and correct counting with slowly changing inputs. The COUNT INHIBIT, STORE and RESET inputs allow a direct interface with the ICM7207/A to implement a low cost, low power frequency counter with a minimum component count.

These devices also incorporate several features intended to simplify cascading four-digit blocks. The CARRY output allows the counter to be cascaded, while the Leading Zero Blanking Input and Output allows correct Leading Zero Blanking between four-decade blocks. The BackPlane driver of the LCD devices may be disabled, allowing the segments to be slaved to another backplane signal, necessary when using an eight or twelve digit, single backplane display. In common-anode LED systems, the BRighTness input to several ICM7225 devices may be ganged to one potentiometer.

The ICM7224/ICM7225 family are packaged in a standard 40-pin dual-in-line plastic or CERDIP package, or in dice.

### ORDERING INFORMATION

Part Number	Display Type	Count Option
ICM7224IPL	LCD	19999
ICM7225IPL	LED	19999

Evaluation Kits, order ICM7224 EV/Kit or ICM7225 EV/Kit

### FEATURES

- High Frequency Counting — Guaranteed 15MHz, Typically 25MHz at 5V
- Low Power Operation — Typically Less Than 100µW Quiescent
- STORE and RESET Inputs Permit Operation as Frequency or Period Counter
- True COUNT INHIBIT Disables First Counter Stage
- CARRY Output for Cascading Four-Digit Blocks
- Schmitt-Trigger On The COUNT Input Allows Operation in Noisy Environments or With Slowly Changing Inputs
- Leading Zero Blanking Input and Output for Correct Leading Zero Blanking With Cascaded Devices
- LCD Devices Provide Complete Onboard Oscillator and Divider Chain to Generate Backplane Frequency, or Backplane Driver May Be Disabled Allowing Segments to be Slaved to A Master Backplane Signal
- LED Devices Provide BRighTness Input Which Can Function Digitally As A Display Enable or As A Continuous Display Brightness Control With A Single Potentiometer

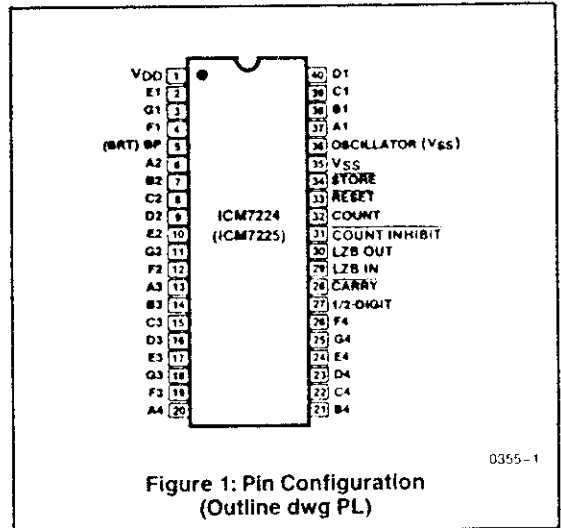


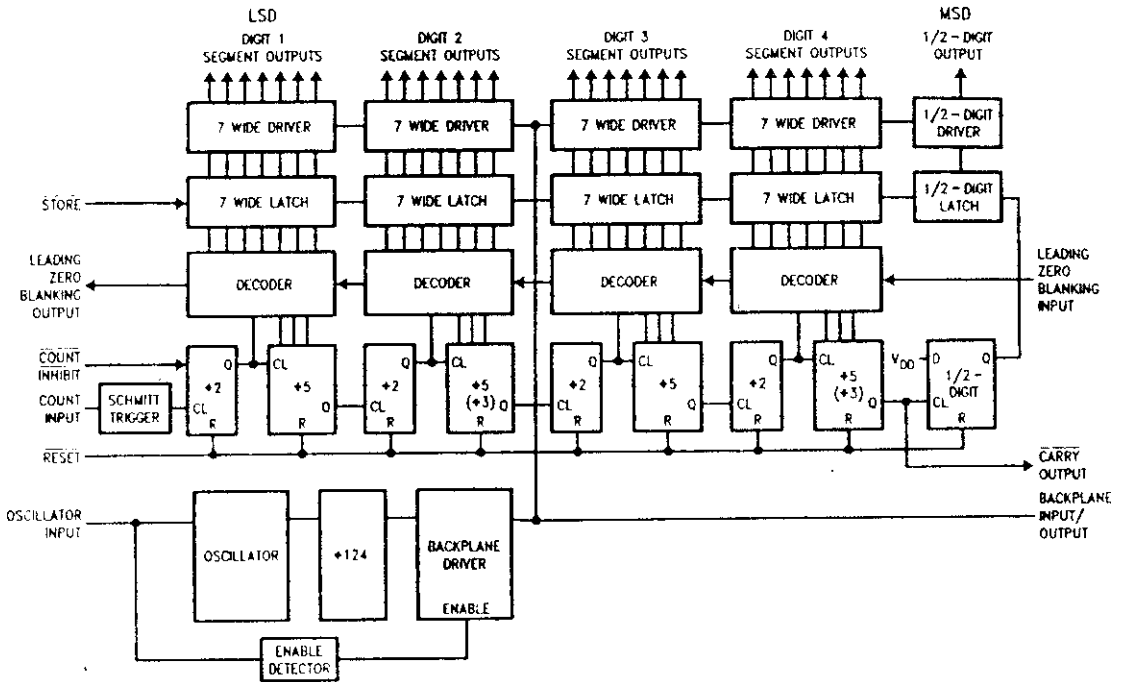
Figure 1: Pin Configuration (Outline dwg PL)

0355-1

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

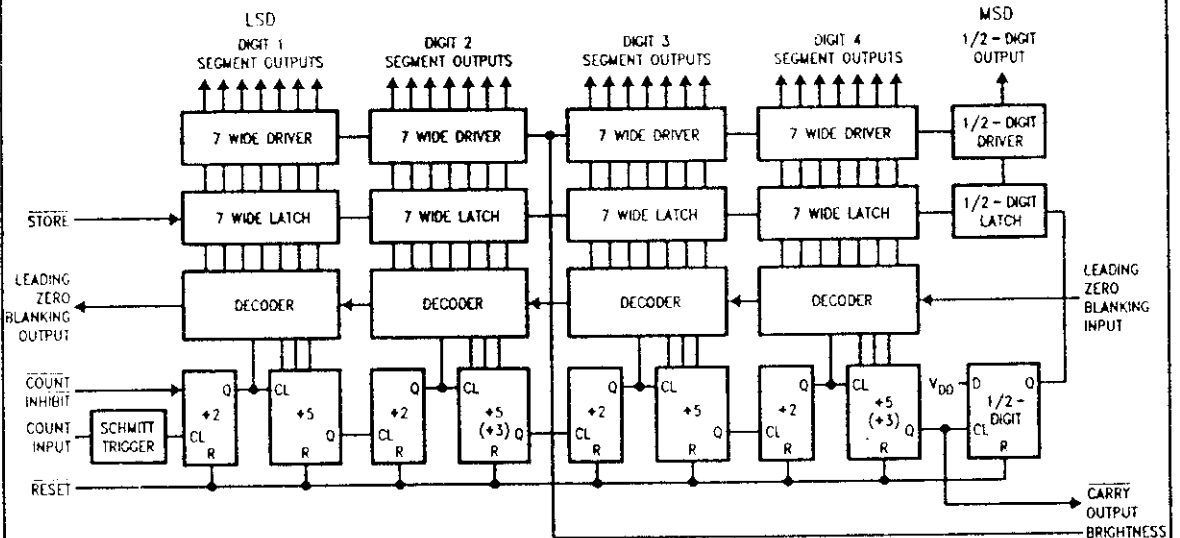
NOTE: All typical values have been characterized but are not tested.

ICM7224(A)



0355-2

ICM7225(A)



0355-3

Figure 2: Functional Diagrams

INTERNIS'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage ( $V_{DD} - V_{SS}$ )	6.5V	Operating Temperature Range	-25°C to +85°C
Input Voltage (Any Terminal) (Note 2)	( $V_{DD} + 0.3V$ ) to ( $V_{SS} - 0.3V$ )	Storage Temperature Range	-65°C to +150°C
Power Dissipation (Note 1)	0.5W @ 70°C	Lead Temperature (Soldering, 10sec)	300°C

NOTE 1: This limit refers to that of the package and will not be obtained during normal operation.

- 2: Due to the SCR structure inherent in the CMOS process, connecting any terminal to voltages greater than  $V_{DD}$  or less than  $V_{SS}$  may cause destructive device latchup. For this reason, it is recommended that no inputs from sources operating on a different power supply be applied to the device before its supply is established, and that in multiple supply systems, the supply to the ICM7224/ICM7225 be turned on first.

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS ( $V_{DD} = 5V$ , $V_{SS} = 0V$ , $T_A = 25^\circ C$ , unless otherwise indicated)

### ICM7224 CHARACTERISTICS

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_{DD}$	Operating current	Test circuit, Display blank		10	50	$\mu A$
$V_{SUPPLY}$	Operating supply voltage range ( $V_{DD} - V_{SS}$ )		3		6	V
$I_{OSCI}$	OSCILLATOR input current	Pin 36		$\pm 2$	$\pm 10$	$\mu A$
$t_R, t_F$	Segment rise/fall time	$C_{load} = 200pF$		0.5		$\mu s$
$t_R, t_F$	BackPlane rise/fall time	$C_{load} = 5000pF$		1.5		
$f_{OSC}$	Oscillator frequency	Pin 36 Floating		19		kHz
$f_{BP}$	Backplane frequency	Pin 36 Floating		150		Hz

### ICM7225 CHARACTERISTICS

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_{STBY}$	Operating current display off	Pin 5 (BRIGHtNESS) at $V_{SS}$ Pins 29, 31-34 at $V_{DD}$		10	50	$\mu A$
$V_{SUPP}$	Operating supply voltage range ( $V_{DD} - V_{SS}$ )		4		6	V
$I_{DD}$	Operating current	Pin 5 at $V_{DD}$ , Display 18888		200		mA
$I_{SLK}$	Segment leakage current	Segment Off		$\pm 0.01$	$\pm 1$	$\mu A$
$I_{SEG}$	Segment on current	Segment On, $V_{out} = +3V$	5	8		mA
$I_H$	Half-digit on current	Half-digit on, $V_{out} = +3V$	10	16		

## FAMILY CHARACTERISTICS

SYMBOL	PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$I_P$	Input Pullup Currents	Pins 29, 31, 33, 34 $V_{out} = V_{DD} - 3V$		10		$\mu A$
$V_{IH}$	Input High Voltage	Pins 29, 31, 33, 34	3			V
$V_{IL}$	Input Low Voltage	Pins 29, 31, 33, 34			1	
$V_{CT}$	$\overline{COUNT}$ Input Threshold			2		
$V_{CH}$	$\overline{COUNT}$ Input Hysteresis			0.5		
$I_{OH}$	Output High Current	$\overline{CARRY}$ Pin 28 Leading Zero Blanking OUT Pin 30 $V_{out} = V_{DD} - 3V$	350	500		$\mu A$
$I_{OL}$	Output Low Current	$\overline{CARRY}$ Pin 28 Leading Zero Blanking Out Pin 30 $V_{out} = +3V$	350	500		
$f_{COUNT}$	Count Frequency	$4.5V < V_{DD} < 6V$	0		15	MHz
$t_s, t_q$	$\overline{STORE}$ , $\overline{RESET}$ Minimum Pulse Width		3			$\mu s$

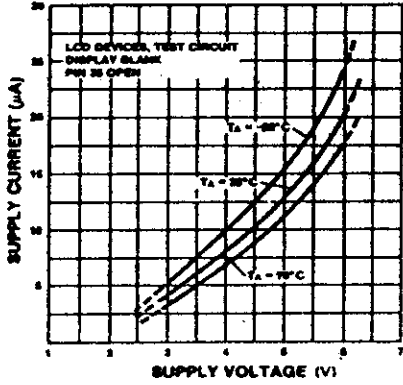
INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.



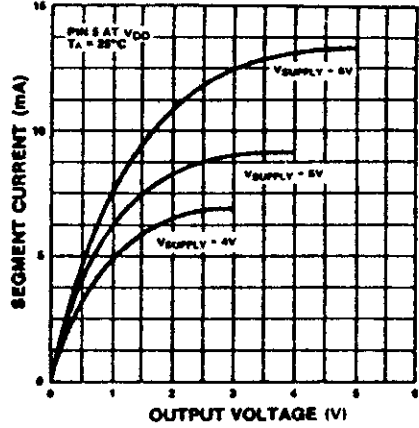
# TYPICAL PERFORMANCE CHARACTERISTICS

7224 OPERATING SUPPLY CURRENT AS A FUNCTION OF SUPPLY VOLTAGE



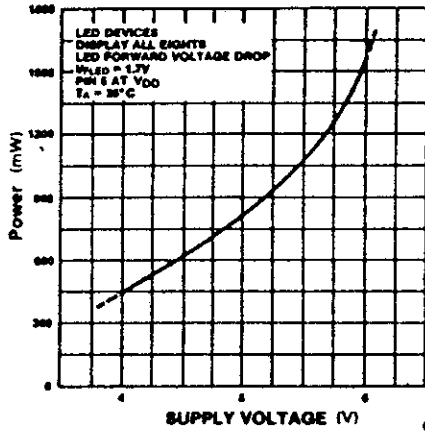
0355-4

7225 LED SEGMENT CURRENT AS A FUNCTION OF OUTPUT VOLTAGE



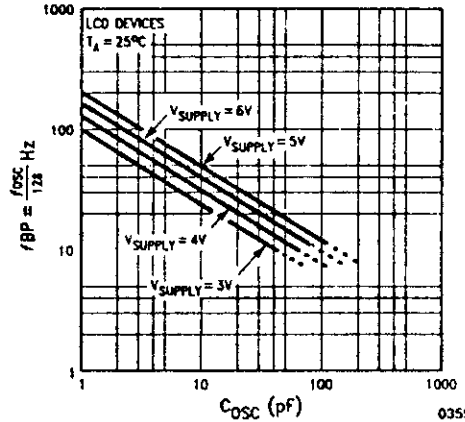
0355-5

7225 OPERATING POWER (LED DISPLAY) AS A FUNCTION OF SUPPLY VOLTAGE



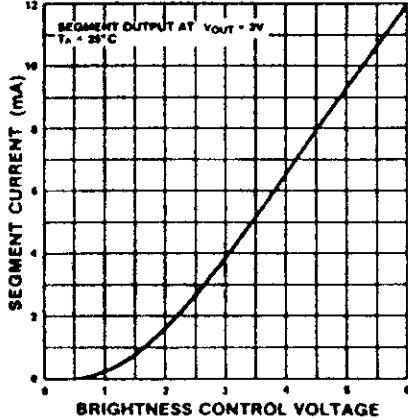
0355-7

7224 BACKPLANE FREQUENCY AS A FUNCTION OF OSCILLATOR CAPACITOR  $C_{OSC}$



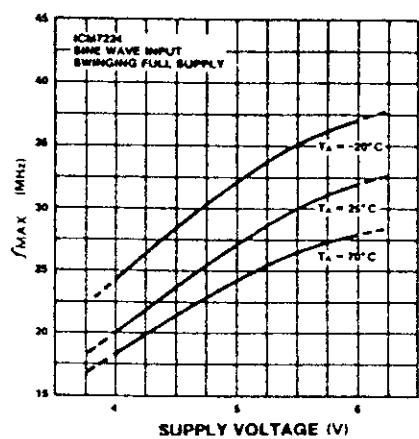
0355-8

7225 LED SEGMENT CURRENT AS A FUNCTION OF BRIGHTNESS CONTROL VOLTAGE



0355-9

MAXIMUM COUNT FREQUENCY (TYPICAL) AS A FUNCTION OF SUPPLY VOLTAGE

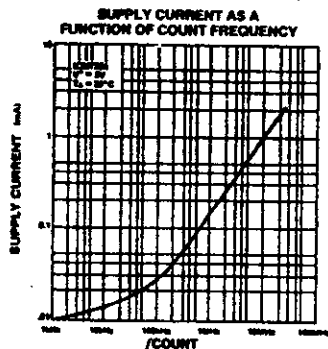


0355-10

INTERSIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested

## TYPICAL PERFORMANCE CHARACTERISTICS (Continued)



0056-11

TABLE 1: Control Input Definitions

INPUT	TERMINAL	VOLTAGE	FUNCTION
Leading Zero Blanking Input	29	V <sub>DD</sub> or Floating V <sub>SS</sub>	Leading Zero Blanking Enabled Leading Zeros Displayed
COUNT INHIBIT	31	V <sub>DD</sub> or Floating V <sub>SS</sub>	Counter Enabled Counter Disabled
RESET	33	V <sub>DD</sub> or Floating V <sub>SS</sub>	Inactive Counter Reset to 0000
STORE	34	V <sub>DD</sub> or Floating V <sub>SS</sub>	Output Latches Not Updated Output Latches Updated

### CONTROL INPUT DEFINITIONS

In Table 1, V<sub>DD</sub> and V<sub>SS</sub> are considered to be normal operating input logic levels. Actual input low and high levels are specified in the Operating Characteristics. For lowest power consumption, input signals should swing over the full supply.

### DETAILED DESCRIPTION

#### LCD Devices

The LCD devices in the family (ICM7224 and ICM7224A) provide outputs suitable for driving conventional 4½-digit by seven segment LCD displays. They include 29 individual segment drivers, a backplane driver, and a self-contained oscillator and divider chain to generate the backplane frequency.

The segment and backplane drivers each consist of a CMOS inverter, with the n- and p-channel devices ratioed to provide identical on resistances, and thus equal rise and fall times. This eliminates any D.C. component which could arise from differing rise and fall times, and ensures maximum display life.

The backplane output devices can be disabled by connecting the OSCILLATOR input (pin 36) to V<sub>SS</sub>. This synchronizes the 29 segment outputs directly with a signal input at the BP terminal (pin 5) and allows cascading of several slave devices to the backplane output of one master device. The backplane may also be derived from an external oscillator. IBM'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

source. This allows the use of displays with characters in multiples of four and a single backplane. A slave device will represent a load of approximately 200pF (comparable to one additional segment). The limitation on the number of devices that can be slaved to one master device backplane driver is the additional load represented by the larger backplane of displays of more than four digits, and the effect of that load on the backplane rise and fall times. A good rule of thumb to observe in order to minimize power consumption, is to keep the rise and fall times less than about 5 microseconds. The backplane driver devices of one device should handle the backplane to a display of 16 one-half-inch characters without the rise and fall times exceeding 6µs (e, 3 slave devices and the display backplane driven by a fourth master device). It is recommended that if more than four devices are to be slaved together, that the backplane signal be derived externally and all the ICM7224 devices be slaved to it.

This external backplane signal should be capable of driving very large capacitive loads with short (1-2µs) rise and fall times. The maximum frequency for a backplane signal should be about 150kHz, although this may be too fast for optimum display response at lower display temperatures, depending on the display used.

The onboard oscillator is designed to free run at approximately 19kHz, at microampere power levels. The oscillator frequency is divided by 128 to provide the backplane frequency, which will be approximately 150Hz with the oscilla-

tor free-running. The oscillator frequency may be reduced by connecting an external capacitor between the OSCILLATOR terminal (pin 36) and V<sub>DD</sub>; see the plot of oscillator/backplane frequency in "Typical Characteristics" for detailed information.

The oscillator may also be overdriven if desired, although care must be taken to insure that the backplane driver is not disabled during the negative portion of the overdriving signal (which could cause a D.C. component to the display). This can be done by driving the OSCILLATOR input between the positive supply and a level out of the range where the backplane disable is sensed, about one fifth of the supply voltage above the negative supply. Another technique for overdriving the oscillator (with a signal swinging the full supply) is to slew the duty cycle of the overdriving signal such that the negative portion has a duration shorter than about one microsecond. The backplane disable sensing circuit will not respond to signals of this duration.

#### LED Devices

The LED devices in the family (ICM7225, ICM7225A) provide outputs suitable for directly driving 4½-digit by seven segment common-anode LED displays. They include 26 individual segment drivers and one half-digit driver, each consisting of a low-leakage current-controlled open-drain n-channel transistor.

The drain current of these transistors can be controlled by varying the voltage at the BRIGHNESS input (pin 5). The voltage at this pin is transferred to the gates of the output devices for "on" segments, and thus directly modulates the transistor's "on" resistance. A brightness control can be easily implemented with a single potentiometer controlling the voltage at pin 5, connected as in Figure 3. The potentiometer should be a high value (100kΩ to 1MΩ) to minimize power consumption, which can be significant when the display is off.

The BRIGHNESS input may also be operated digitally as a display enable; when at V<sub>DD</sub>, the display is fully on, and at V<sub>SS</sub>, fully off. The display brightness may also be controlled by varying the duty cycle of a signal swinging between the two supplies at the BRIGHNESS input.

Note that the LED devices have two connections for V<sub>SS</sub>; both should be connected. The double connection is necessary to minimize effects of bond wire resistance with the large total display currents possible.

When operating the LED devices at higher temperatures and/or higher supply voltages, the device power dissipation may need to be reduced to prevent excessive chip temperatures. The maximum power dissipation is 1 watt at 25°C, derated linearly above 35°C to 500mW at 70°C (15mW/°C above 35°C). Power dissipation for the device is given by:

$$P = (V_{DD} - V_{FLED}) \times (\#SEG) \times (I_{SEG})$$

where V<sub>FLED</sub> is the LED forward voltage drop, I<sub>SEG</sub> is segment current, and #SEG is the number of "ON" segments. It is recommended that if the device is to be operated at elevated temperatures the segment current be limited by use of the BRIGHNESS input to keep power dissipation within the limits described above.

IBM'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

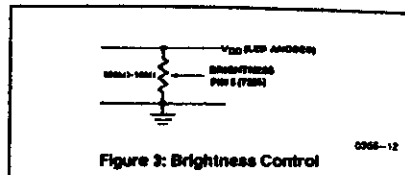


Figure 3: Brightness Control

0056-12

#### COUNTER SECTION

The devices in the ICM7224/ICM7225 family implement a four-digit ripple carry reseedable counter, including a Schmitt trigger on the COUNT input and a CARRY output. Also included is an extra D-type flip-flop, clocked by the CARRY signal which controls the half-digit segment driver. This output driver can be used as either a true half-digit or as an overflow indicator. The counter will increment on the negative-going edge of the signal at the COUNT input, while the CARRY output provides a negative-going edge following the count which increments the counter from 9999 (or 5999) to 10000. Once the half-digit flip-flop has been clocked, it can only be reset (with the rest of the counter) by a negative level at the RESET terminal, pin 33. However, the four decades will continue to count in a normal fashion after the half-digit is set, and subsequent CARRY outputs will not be affected.

A negative level at the COUNT INHIBIT input disables the first divide-by-two in the counter chain without affecting its clock. This provides a true inhibit, not sensitive to the state of the COUNT input, which prevents false counts that can result from using a normal logic gate to prevent counting.

Each decade of the counter directly drives a four-to-seven segment decoder which develops the required output data. The output data is latched at the driver. When the STORE pin is low, these latches are updated, and when it is high or floating, the latches hold their contents.

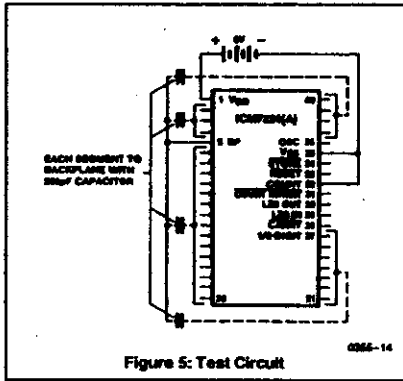
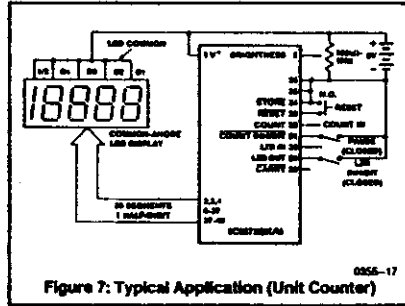
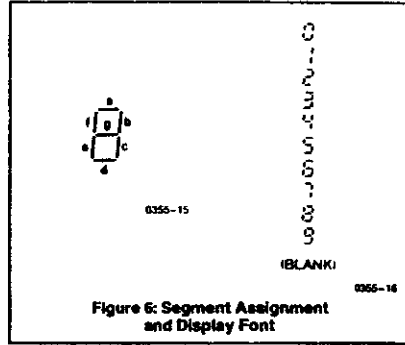
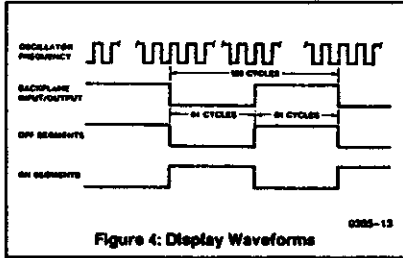
The decoders also include zero detect and blanking logic to provide leading zero blanking. When the Leading Zero Blanking Input is floating or at a positive level, this circuitry is enabled and the device will blank leading zeros. When it is low, or the half-digit is set, leading zero blanking is inhibited, and zeros in the four digits will be displayed. The Leading Zero Blanking Output is provided to allow cascaded devices to blank leading zeros correctly. This output will assume a positive level only when all four digits are blanked; this can only occur when the Leading Zero Blanking Input is at a positive level and the half-digit is not set.

For example, in an eight-decade counter with overflow using two ICM7224/ICM7225 devices, the Leading Zero Blanking Output of the high order digit would be connected to the Leading Zero Blanking Input of the low order digit device. This will assure correct leading zero blanking for all eight digits.

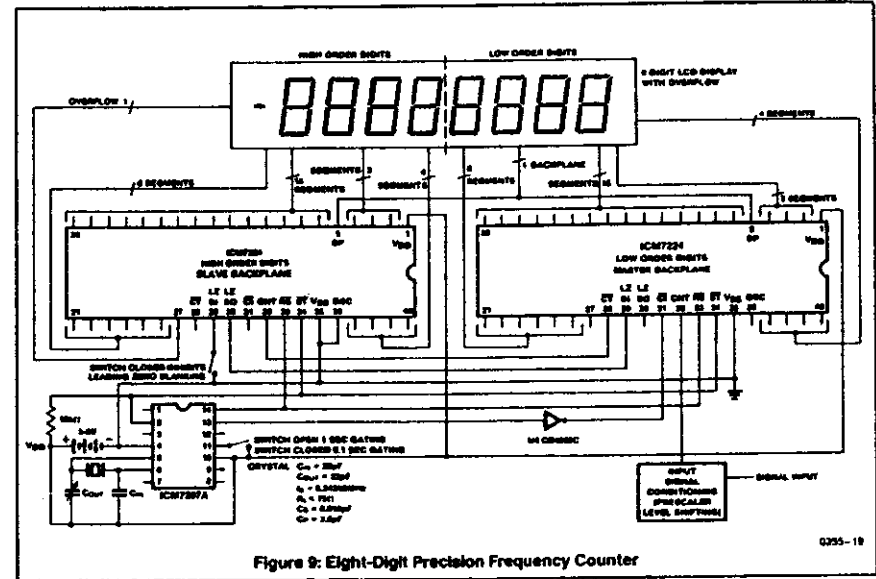
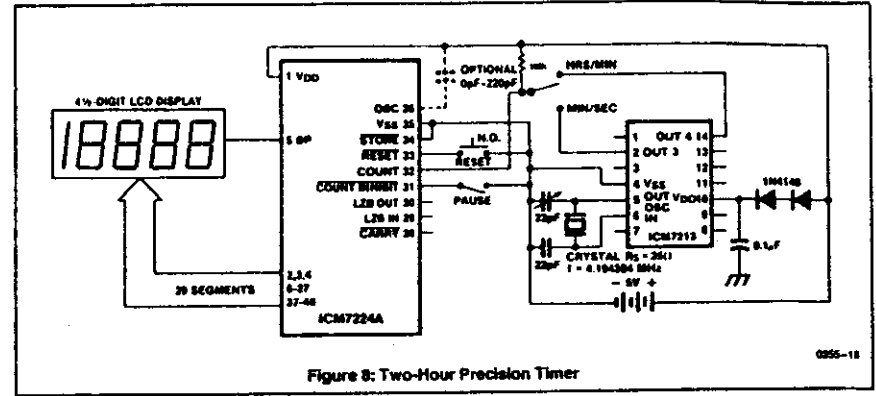
# ICM7224/ICM7225



The STORE, RESET, COUNT INHIBIT, and Leading Zero Blanking inputs are provided with pullup devices, so that they may be left open when a positive level is desired. The CARRY and Leading Zero Blanking outputs are suitable for interfacing to CMOS logic in general, and are specifically designed to allow cascading of ICM7224 to ICM7225 devices in four-digit blocks.



## APPLICATIONS



INTERMIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

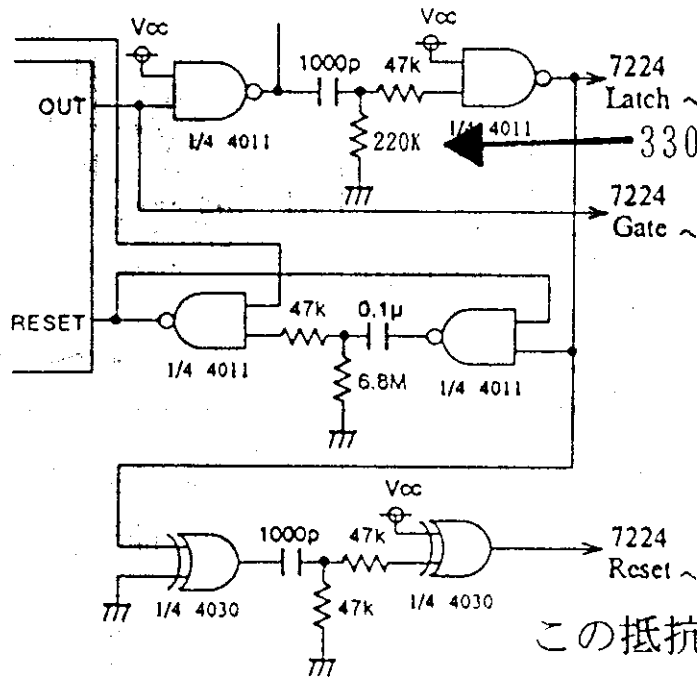
NOTE: All typical values have been characterized but are not tested.

INTERMIL'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITION OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

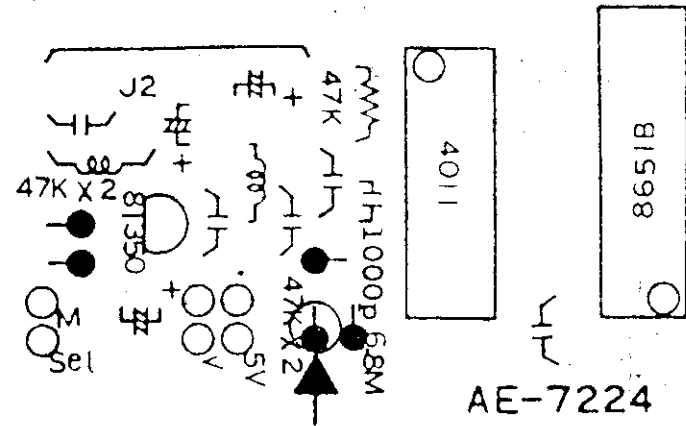
NOTE: All typical values have been characterized but are not tested.

## ■追記■

液晶表示器においてセグメントが正しい表示をしない場合があります。この場合は制御系回路中、ラッチパルス発生回路のパルス幅が短すぎる場合に発生します。これは時定数コンデンサ1000pFの容量誤差及び基板リーク、基板浮遊容量(個人差)に起因し、各制御パルスの制約により決定できません。もし表示器に数字らしい数字が表示されない場合、ラッチパルス発生回路の時定数抵抗である220KΩを付属の330KΩに変更してください。 秋月電子 '90-1-15

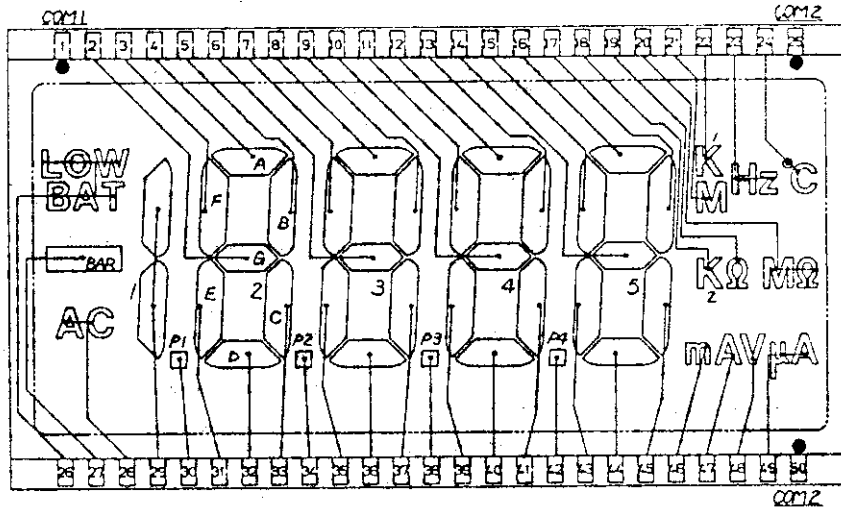


330Kに交換する。

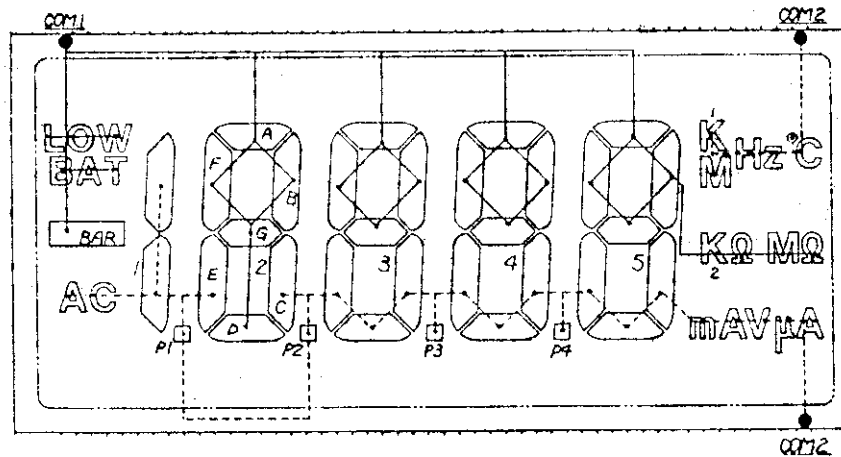


この抵抗を47KΩから220K又は330KΩに変更します。

SEGMENT



COMMON



DRAWING ISSUED ON  
NOV. 1, 1988  
SEIKO I  
AKITA SEIMITSU DENSHI

NO	COM1	COM2	NO	COM1	COM2
1	COM1	-	26	LOWBAT	-
2	2G	-	27	BAR	-
3	2F	-	28	-	AC
4	2A	-	29	-	1BC
5	2B	-	30	-	P1
6	3G	-	31	-	2E
7	3F	-	32	2D	-
8	3A	-	33	-	2C
9	3B	-	34	-	P2
10	4G	-	35	-	3E
11	4F	-	36	-	3D
12	4A	-	37	-	3C
13	4B	-	38	-	P3
14	5G	-	39	-	4E
15	5F	-	40	-	4D
16	5A	-	41	-	4C
17	5B	-	42	-	P4
18	K-2	-	43	-	5E
19	Ω	-	44	-	5D
20	MΩ	-	45	-	5C
21	-	M	46	-	m
22	-	K-1	47	-	A
23	-	Hz	48	-	V
24	-	°C	49	-	μA
25	-	COM2	50	-	COM2

CUSTOMER (株) 三井物産		MATERIAL		DRAWING NUMBER		DATE 29.OCT.1988	SHEET No 3 of 4	REV
DRIVER		SCALE UNIT		PART NUMBER		TITLE ELECTRODE LAYOUT		PAGE
DESIGNED BY <i>[Signature]</i>		DRAWN BY <i>[Signature]</i>		T361002		Seiko Instruments Inc.		